

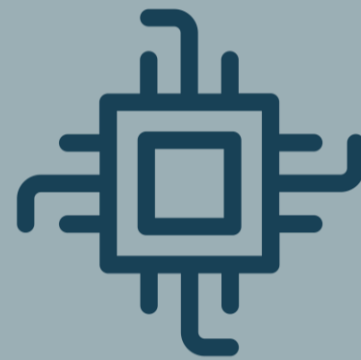


Universidade Federal
de Campina Grande



INTERRUPÇÕES

ATMEGA328P



Prof.

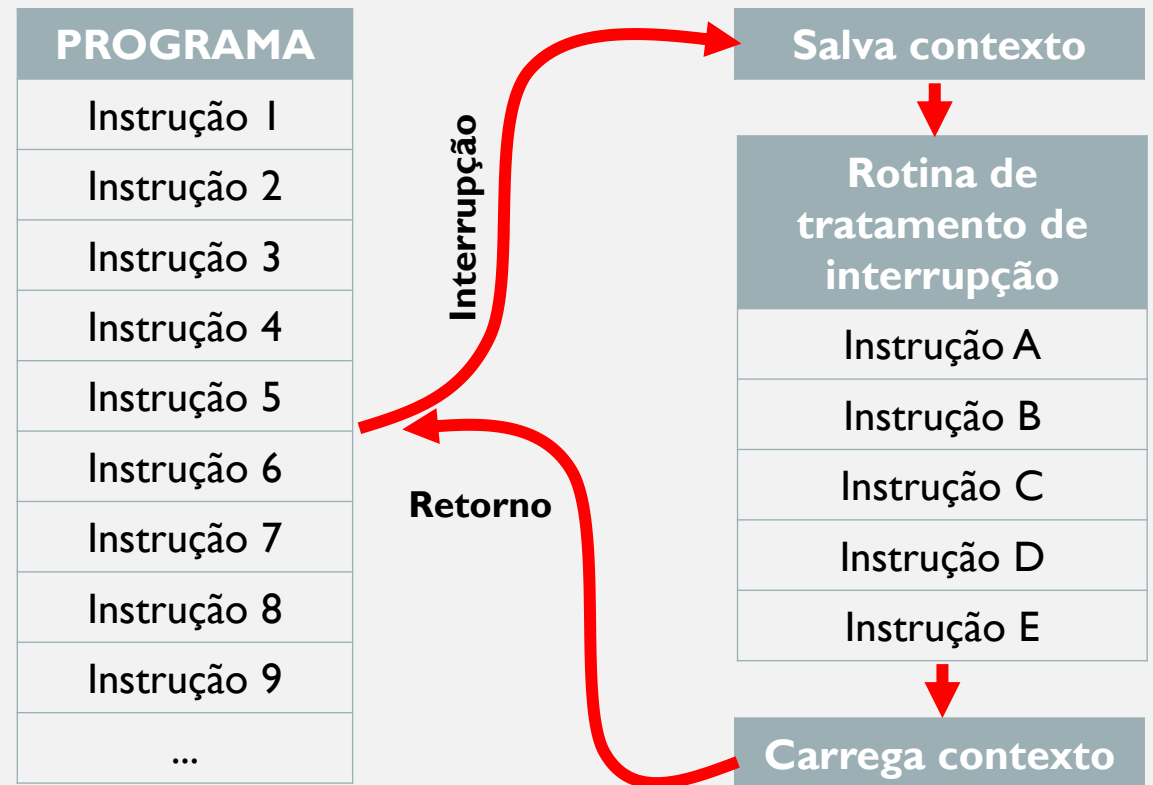
**Rafael
Lima**

INTERRUPÇÕES

Interrupções

São desvios do programa em execução mediante a ocorrência de algum evento interno ou externo.

Ao ocorrer o evento, a CPU para a execução do programa, salva o contexto, desvia para um trecho de código, recarrega novamente o contexto e por fim volta a execução para o ponto exato do programa antes da interrupção



Vetor	End.	Fonte	Definição da Interrupção
1	0x00	RESET	Pino externo, Power-on Reset, Brown-out Reset e Watchdog Reset
2	0x01	INT0	interrupção externa 0
3	0x02	INT1	interrupção externa 1
4	0x03	PCINT0	interrupção 0 por mudança de pino
5	0x04	PCINT1	interrupção 1 por mudança de pino
6	0x05	PCINT2	interrupção 2 por mudança de pino
7	0x06	WDT	estouro do temporizador <i>Watchdog</i>
8	0x07	TIMER2 COMPA	igualdade de comparação A do TC2
9	0x08	TIMER2 COMPB	igualdade de comparação B do TC2
10	0x09	TIMER2 OVF	estouro do TC2
11	0x0A	TIMER1 CAPT	evento de captura do TC1
12	0x0B	TIMER1 COMPA	igualdade de comparação A do TC1
13	0x0C	TIMER1 COMPB	igualdade de comparação B do TC1
14	0x0D	TIMER1 OVF	estouro do TC1
15	0x0E	TIMER0 COMPA	igualdade de comparação A do TC0
16	0x0F	TIMER0 COMPB	igualdade de comparação B do TC0
17	0x10	TIMER0 OVF	estouro do TC0
18	0x11	SPI, STC	transferência serial completa - SPI
19	0x12	USART, RX	USART, recepção completa
20	0x13	USART, UDRE	USART, limpeza do registrador de dados
21	0x14	USART, TX	USART, transmissão completa
22	0x15	ADC	conversão do ADC completa
23	0x16	EE_RDY	EEPROM pronta
24	0x17	ANA_COMP	comparador analógico
25	0x18	TWI	interface serial TWI – I2C
26	0x19	SPM_RDY	armazenagem na memória de programa pronta

INTERRUPÇÕES NO ATMEGA328P

- **São vetoradas.** Cada interrupção tem um endereço de atendimento específico na memória de programa
- Todas as interrupções são **mascaráveis**. Ou seja podem ser habilitadas ou desabilitadas individualmente
- O bit I do registrador de status (SREG) habilita ou desabilita **todas** as interrupções de uma vez só

INTERRUPÇÕES NO ATMEGA328P

Ao atender uma interrupção todas as outras são automaticamente desabilitadas, zerando o bit I do SREG



Ao retornar da interrupção o bit I do SREG é automaticamente setado reabilitando as interrupções

- Isso **não** permite interrupções aninhadas, a menos que as interrupções sejam reabilitadas explicitamente por software
- O AVR sempre executará uma instrução do programa principal antes de atender qualquer interrupção em espera.

INTERRUPÇÕES NO ATMEGA328P

Há 2 tipos de interrupções nos AVR

Tipo 1

- Um bit (flag) é ativado sinalizando que ocorreu uma interrupção. Ele é mantido em 1 até que a interrupção seja atendida, sendo zerado automaticamente por hardware.
- Isso permite que várias interrupções fiquem ativas enquanto uma está sendo atendida e sejam processadas por ordem de prioridade.

Tipo 2

- A interrupção é disparada quando o evento que a gera está presente. Não há fila de espera pois não há sinalização da sua ocorrência (Ex: interrupção externa por nível)

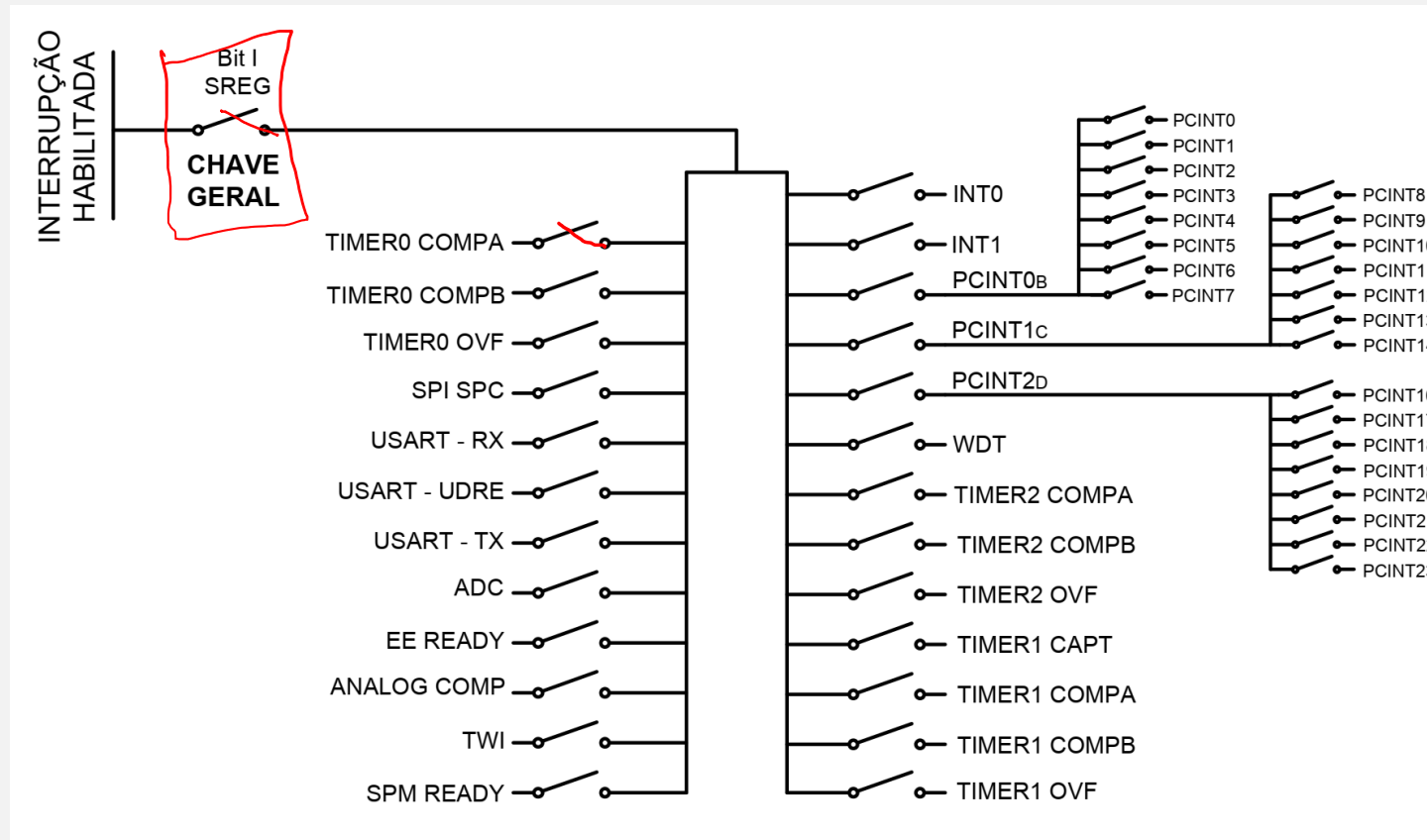
Função:

```
ISR(INT0_vect) { //interrupção externa 0 }
ISR(INT1_vect) { //interrupção externa 1 }
ISR(PCINT0_vect) { //interrupção 0 por mudança de pino }
ISR(PCINT1_vect) { //interrupção 1 por mudança de pino }
ISR(PCINT2_vect) { //interrupção 2 por mudança de pino }
ISR(WDT_vect) { //estouro do temporizador Watchdog }
ISR(TIMER2_COMPA_vect) { //igualdade de comparação A do TC2 }
ISR(TIMER2_COMPB_vect) { //igualdade de comparação B do TC2 }
ISR(TIMER2_OVF_vect) { //estouro do TC2 }
ISR(TIMER1_CAPT_vect) { //evento de captura do TCI }
ISR(TIMER1_COMPA_vect) { //igualdade de comparação A do TCI }
ISR(TIMER1_COMPB_vect) { //igualdade de comparação B do TCI }
ISR(TIMER1_OVF_vect) { //estouro do TCI }
ISR(TIMER0_COMPA_vect) { //igualdade de comparação A do TC0 }
ISR(TIMER0_COMPB_vect) { //igualdade de comparação B do TC0 }
ISR(TIMER0_OVF_vect) { //estouro do TC0 }
ISR(SPI_STC_vect) { //transferência serial completa - SPI }
ISR(USART_RX_vect) { //USART, recepção completa }
ISR(USART_UDRE_vect) { //USART, limpeza do registrador de dados }
ISR(USART_TX_vect) { //USART, transmissão completa }
✓ISR(ADC_vect) { //conversão do ADC completa }
ISR(EE_READY_vect) { //EEPROM pronta }
ISR(ANALOG_COMP_vect) { //comparador analógico }
ISR(TWI_vect) { //interface serial TWI }
ISR(SPM_READY_vect) { //armazenagem na memória de programa pronta }
```

FUNÇÕES PARA TRATAMENTO DE INTERRUPÇÕES

- No compilador AVR-GCC, a tabela de vetores de interrupção é pré-definida para apontar para rotinas de interrupção com nomes pré-determinados.
- As interrupções são escritas como funções

HABILITAÇÃO DAS INTERRUPÇÕES



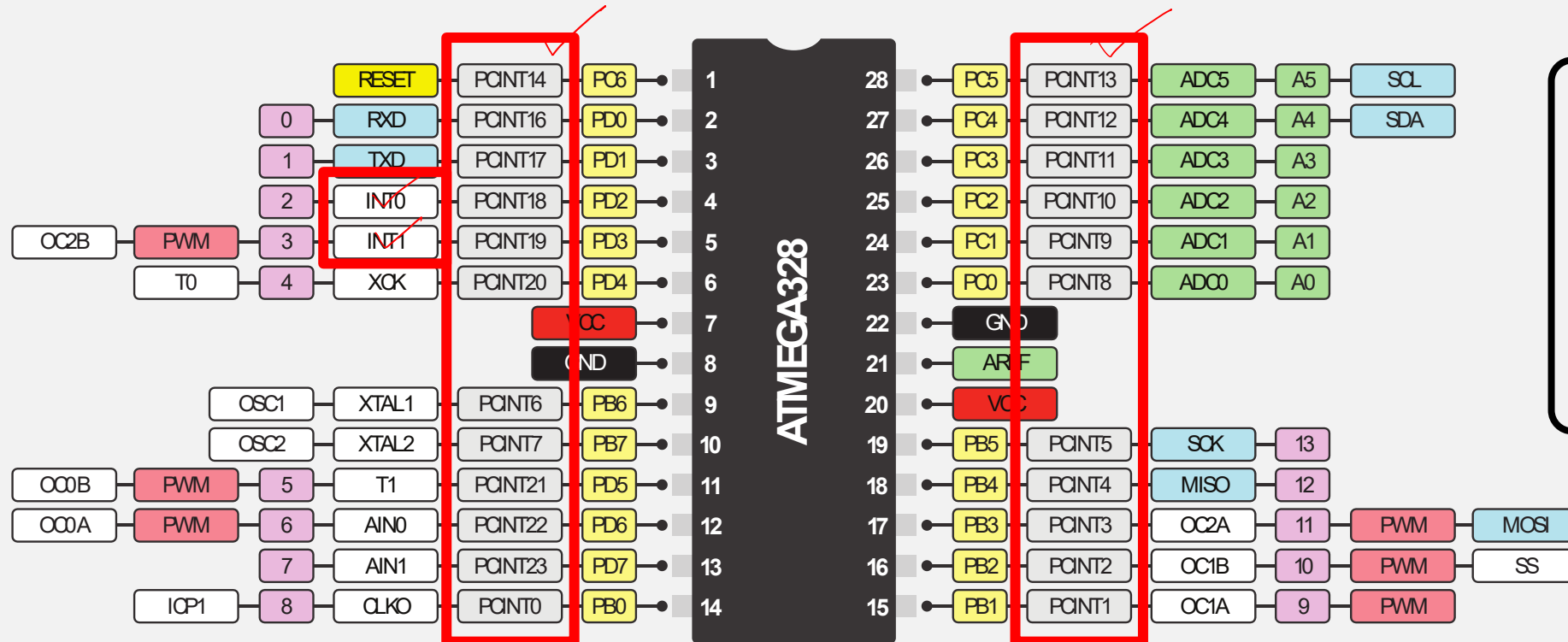
✓sei(); //Habilita todas as interrupções

✓cli(); //Desabilita todas as interrupções

INTERRUPÇÕES EXTERNAS

Interrupções Externas

- São interrupções disparadas por uma variação no estado de um determinado pino do microcontrolador



Todos os pinos de I/O do ATmega328 podem gerar interrupções

INTERRUPÇÕES EXTERNAS

End.	Fonte	Definição da Interrupção	Descrição
0x01	INT0	interrupção externa 0	Subida, descida ou nível do pino PD2
0x02	INT1	interrupção externa 1	Subida, descida ou nível do pino PD3
0x03	PCINT0	interrupção 0 por mudança de pino	Mudança de estado de qualquer pino da porta B
0x04	PCINT1	interrupção 1 por mudança de pino	Mudança de estado de qualquer pino da porta C
0x05	PCINT2	interrupção 2 por mudança de pino	Mudança de estado de qualquer pino da porta D

- Se habilitada, a interrupção pode ocorrer mesmo que o pino esteja configurado como saída, permitindo gerar interrupção por software ao se escrever no pino.

INTERRUPÇÕES EXTERNAS

- Registrador de controle EICRA (Extern Interrupt Control Register A) configuração das interrupções externas INT0 e INT1

Bit	7	6	5	4	3	2	1	0
EICRA	-	-	-	-	ISC11	ISC10	ISC01	ISC00
Lê/Escreve	L	L	L	L	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

ISC01	ISC00	Descrição
0	0	Um nível baixo em INT0 gera um pedido de interrupção.
0	1	Qualquer <u>mudança</u> lógica em INT0 gera um pedido de interrupção.
1	0	Uma borda de decida em INT0 gera um pedido de interrupção.
1	1	Uma borda de subida em INT0 gera um pedido de interrupção.

ISC11	ISC10	Descrição
0	0	Um nível baixo em <u>INT1</u> gera um pedido de interrupção.
0	1	Qualquer mudança lógica em INT1 gera um pedido de interrupção.
1	0	Uma borda de decida em INT1 gera um pedido de interrupção.
1	1	Uma borda de subida em INT1 gera um pedido de interrupção.

INTERRUPÇÕES EXTERNAS

- Registrador **EIMSK** (External Interrupt Mask Register) habilita as interrupções externas INT0 e INT1

Bit	7	6	5	4	3	2	1	0
EIMSK	-	-	-	-	-	-	INT1	INT0
Lê/Escreve	L	L	L	L	L	L	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

- Registrador **EIFR** (External Interrupt Flag Register) contém os dois bits sinalizadores que indicam se alguma interrupção externa ocorreu.

Bit	7	6	5	4	3	2	1	0
EIFR	-	-	-	-	-	-	INTF1	INTF0
Lê/Escreve	L	L	L	L	L	L	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

INTERRUPÇÕES EXTERNAS

- Registrador **PCICR** (Pin Change Interrupt Control Register) é responsável por habilitar as interrupções PCINT0 (port B), PCINT1 (port C) e PCINT2 (port D).

Bit	7	6	5	4	3	2	1	0
PCICR	-	-	-	-	-	PCIE2	PCIE1	PCIE0
Lê/Escreve	L	L	L	L	L	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

- Registrador **PCIFR** (Pin Change Interrupt Flag Register) contém os três bits sinalizadores que indicam se alguma interrupção ocorreu em PCINT0 (port B), PCINT1 (port C) ou PCINT2 (port D)

Bit	7	6	5	4	3	2	1	0
PCIFR	-	-	-	-	-	PCIF2	PCIF1	PCIF0
Lê/Escreve	L	L	L	L	L	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

INTERRUPÇÕES EXTERNAS

- Registadores **PCMSKx** habilitação individual dos pinos nas interrupções PCINT0 (port B), PCINT1 (port C) e PCINT2 (port D).

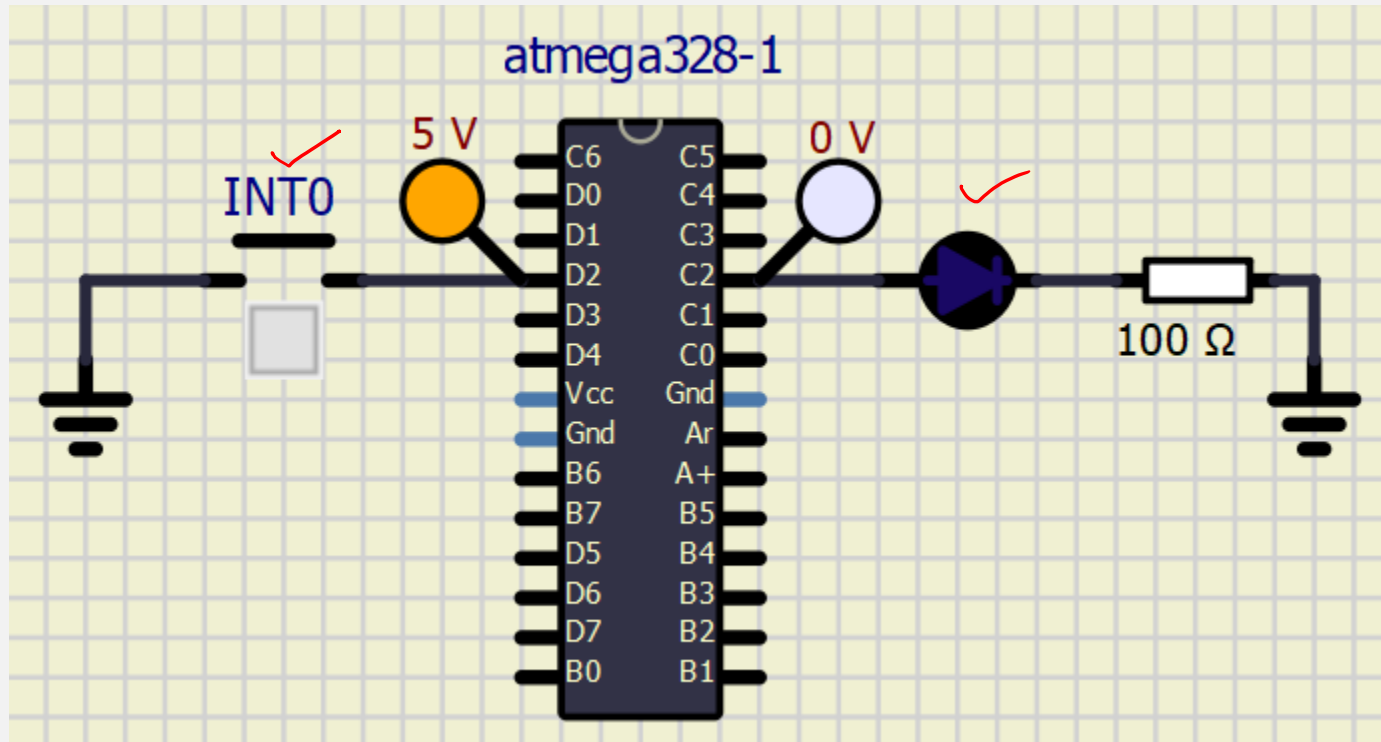
Bit	7	6	5	4	3	2	1	0
PCMSK0	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
PCMSK1	-	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Bit	7	6	5	4	3	2	1	0
PCMSK2	PCINT23	PCINT22	PCINT21	PCINT20	PCINT19	PCINT18	PCINT17	PCINT16
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

EXEMPLO INTERRUPTÃO EXTERNA

- **Exemplo:** Teste da interrupção INT0



EXEMPLO INTERRUPTÃO EXTERNA

```
#define F_CPU 16000000UL
```

```
#include <avr/io.h> ✓
```

```
#include <avr/interrupt.h> ✓
```

```
ISR(INT0_vect) //interrupção externa INT0, quando o botão é pressionado o LED troca de estado
```

```
{  
    PORTC ^= 0b00000100; //Inverte o estado do pino PC2  
}
```

```
int main(void) ✓
```

```
{
```

```
    //GPIO
```

```
    ✓ DDRD = 0x00; ✓ //Todos os pinos da porta D como entradas
```

```
    ✓ PORTD = 0xFF; ✓ //Todos os pull-ups da porta D habilitados
```

```
    ✓ DDRC = 0b00000100; //somente pino do LED como saída PC2
```

```
    //Configuração das interrupções
```

```
    ✓ EICRA = 0b00000010; ✓ //interrupção externa INT0 na borda de descida
```

```
    ✓ EIMSK = 0b00000001; ✓ //habilita a interrupção externa INT0
```

```
    ✓ sei(); ✓ //habilita interrupções globais, ativando o bit I do SREG
```

```
    while (1)
```

```
    {  
          
    }
```

```
}
```

REFERÊNCIAS

IDE

- Atmel Studio 7 (gratuito) <https://www.microchip.com/mplab/avr-support/atmel-studio-7>

Simuladores

- <https://www.simulide.com/p/blog-page.html>
- <https://github.com/lcgamboa/picsimlab/releases>
- <https://www.labcenter.com/downloads/>

Material de referência:

- Datasheet do Atmega 328p: <https://www.microchip.com/wwwproducts/en/ATmega328p#datasheet-toggle>
- Livro texto: <http://borgescorporation.blogspot.com/2012/05/avr-e-arduino-tecnicas-de-projeto.html>