75.03 Organización del Computador

U5 – COMPONENTES DE UN COMPUTADOR PROCESADOR

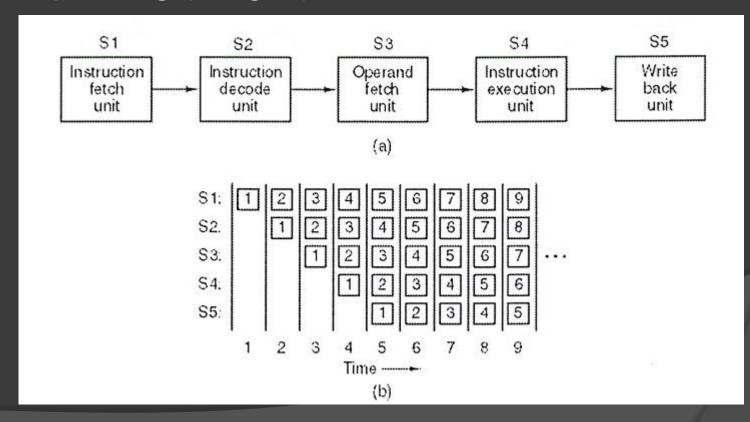
- Procesador
 - Arquitectura de procesadores
 - Historia
 - Primero orientado al hardware (hasta los '70)
 - Luego orientado al software (a partir de los '80)
 - Ecuación de Performance
 TiempoEjecuciónPGM (P) = Nro Instrucciones (I) * Ciclos por Instrucción (CPI) * TiempoCicloReloj (T)
 - CISC vs RISC
 - Paralelismo
 - Limitación de la velocidad del reloj (calor)
 - Técnicas
 - A nivel instrucción
 - A nivel procesador

- CISC (Complex Instruction Set Computer)
 - Pocos registros de procesador (especializados)
 - Set de Instrucciones amplio
 - Muchas instrucciones para trabaja con memoria
 - Microarquitectura en sofware/hardware compleja
 - Instrucciones complejas (más de un ciclo de reloj)
 - Varios modos de direccionamiento
 - Muchos tipos de datos
 - Muchos formatos de instrucción (variables o híbridos)
 - Orientado al hardware, compiladores relativamente simples (tamaño de código pequeño)
 - Ejemplos: VAX, Intel x86 (hasta IA -32), Intel-64, IBM Mainframe, Motorola 68k

- RISC (Reduced Instruction Set Computer)
 - Muchos registros de procesador de uso general
 - Set de Instrucciones pequeño
 - Solo acceso a memoria a través de LOAD/STORE
 - Microarquitectura en hardware simple
 - Instrucciones simples (un ciclo de reloj)
 - Pocos modos de direccionamiento
 - Pocos tipos de datos
 - Pocos formatos de instrucción (fijos)
 - Orientado al software, compiladores relativamente complejos (tamaño de código largo)
 - Ejemplos: SPARC, MIPS, ARM, Intel Itanium (IA-64)

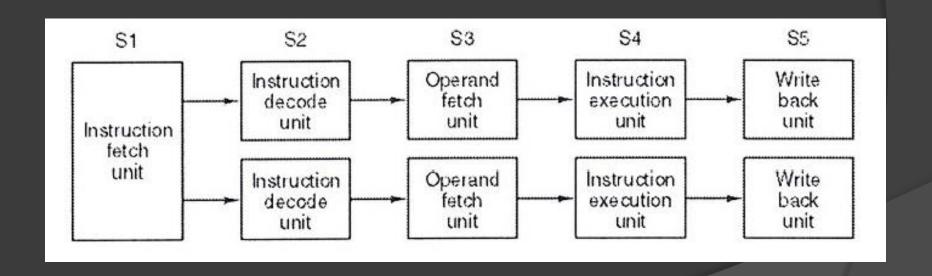
- Procesador
 - Paralelismo
 - A nivel instrucción
 - Pipelining (Stages)
 - Ejecuta una instrucción por ciclo de reloj
 - Control de dependencia entre las instrucciones (compilador o hardware)
 - Ej. Intel 486

- Procesador
 - Pipelining (Stages)



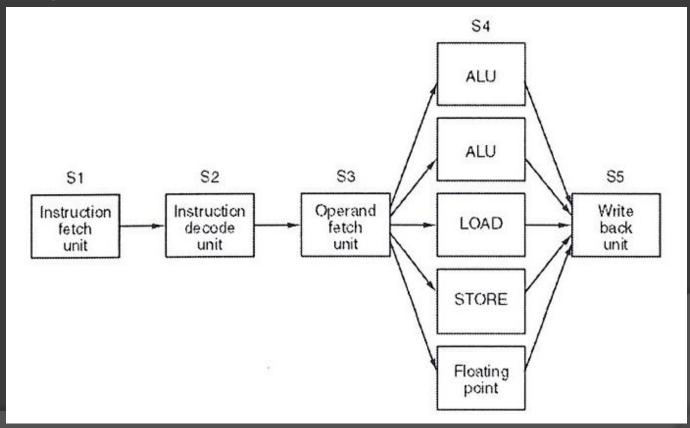
- Procesador
 - Paralelismo
 - A nivel instrucción
 - Dual Pipelining
 - Ejecuta dos instrucciones por ciclo de reloj
 - Ej. Intel Pentium

- Procesador
 - Dual Pipelining



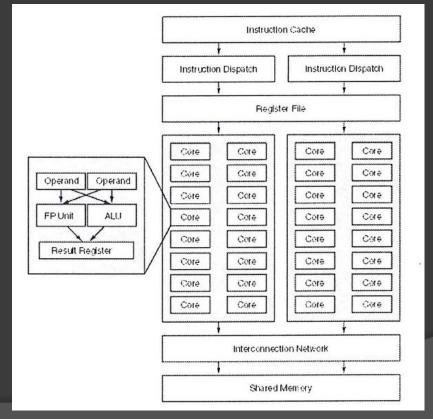
- Procesador
 - Paralelismo
 - A nivel instrucción
 - Superscalar (múltiples unidades funcionales)
 - Ejecuta más de una instrucción por ciclo de reloj
 - N-way / N-issue (N entre 3 y 6)
 - Ej. Intel Core

- Procesador
 - Superescalar



- Procesador
 - Paralelismo
 - A nivel procesador
 - Procesadores paralelos de datos
 - Una sola unidad de control
 - Múltiples procesadores
 - Métodos
 - SIMD Single Instruction Multiple Data
 - Múltiples procesadores ejecutan la misma secuencia de pasos sobre un conjunto diferente de datos
 - Ej. GPU (Nvidia Fermi GPU)
 - Vectoriales
 - Similar a SIMD
 - Registro vectorial: conjunto de registros convencionales que se cargan desde memoria en una sola instrucción.
 - Se opera por pipelining
 - Ej. Intel Core (SSE Streaming SIMD Extension)

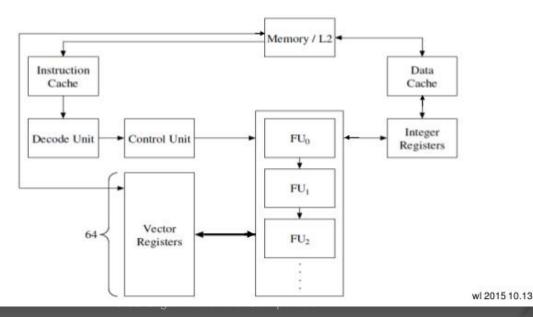
- Procesador
 - SIMD Single Instruction Multiple Data



- Procesador
 - Vectoriales

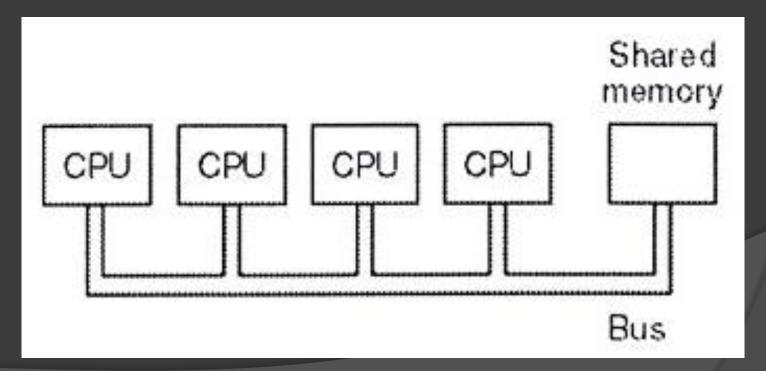
Vector processors

- vector registers, eg 8 sets x 64 elements x 64 bits
- vector instructions: VR3 = VR2 VOP VR1

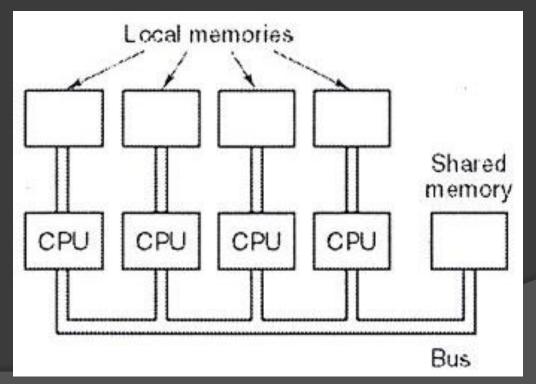


- Procesador
 - Paralelismo
 - A nivel procesador
 - Multiprocesadores
 - Múltiples CPUs que comparten memoria común
 - CPUs fuertemente acoplados
 - Diferentes implementaciones
 - Single bus y memoria compartida (centralizada)
 (UMA Uniform memory access)
 - Ej. Intel Core i7
 - CPUs con memoria local y memoria compartida (NUMA – non-uniform memory access)

- Procesador
 - Single bus y memoria compartida (centralizada)

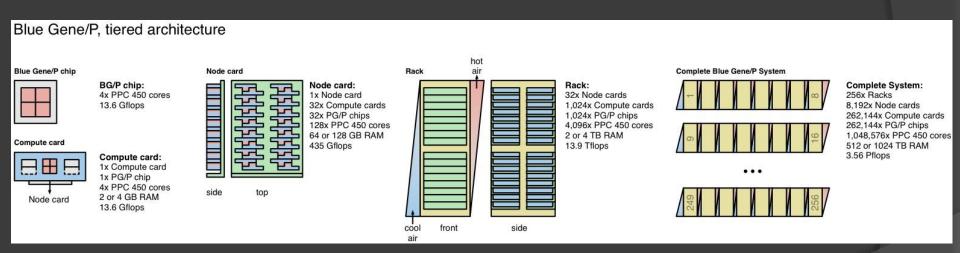


- Procesador
 - CPUs con memoria local y memoria compartida



- Procesador
 - Paralelismo
 - A nivel procesador
 - Multicomputadores
 - Computadores interconectados con memoria local (memoria distribuida)
 - No hay memoria compartida
 - CPUs ligeramente acoplados
 - Intercambio de mensajes
 - Topologías de grillas, árboles o anillos
 - Ej. IBM Blue Gene/P

- Procesador
 - IBM Blue Gene/P



Referencias

- "Structured Computer Organization" 6ta edición. Andrew Tanenbaum / Todd Austin
 - (http://www.pearsonhighered.com/educator/product/Structured-Computer-Organization-6E/9780132916523.page)
- "Computer Organization and Architecture Designing for Perfomance"
 9na edición. William Stallings
 - (http://williamstallings.com/ComputerOrganization/)