

پاسخ تمرین سری سوم

فهرست مطالب

۲	۱	سیگنال‌های کنترلی در یک پردازنده‌ی Single Cycle
۲	۲	پیش‌نیازهای داده‌ای
۲	۱.۲	وابستگی‌ها
۳	۲.۲	افزودن NOOP بدون وجود Full ForWArding
۳	۳.۲	افزودن NOOP با وجود Full ForWArding
۳	۳	نوشتن یک Pipeline Stage
۳	۴	رجیسترهای Pipeline ها
۳	۱.۴	رجیسترهای Pipeline
۳	۲.۴	اتفاقات هنگام اجرا
۳	۵	Execution در یک CPU عه Pipeline شده
۳	۶	Hazard ها
۳	۷	ارتباط بین ForWArding، Hazard و ISA Desing

۱ سیگنال‌های کنترلی در یک پردازنده‌ی Single Cycle

	RegWrite	MemRead	ALUMux	MemWrite	ALUOp	RegMux	Branch
a.	1	0	0 (Reg)	0	AND	1 (ALU)	0
b.	0	0	1 (Imm)	1	ADD	X	0

۲ پیش‌نیازهای داده‌ای

۱.۲ وابستگی‌ها

	Instruction Sequence	Dependencies
a.	I1: SW R16, -100(R6) I2: LW R4, 8(R16) I3: ADD R5, R4, R4	RAW on R4 from I2 to I3
b.	I1: OR R1, R2, R3 I2: OR R2, R1, R4 I3: OR R1, R1, R2	RAW on R1 from I1 to I2 and I3 RAW on R2 from I2 to I3 WAR on R2 from I1 to I2 WAR on R1 from I2 to I3 WAW on R1 from I1 to I3

برای مطالعه‌ی معنی وابستگی‌ها به این لینک مراجعه کنید:

https://en.wikipedia.org/wiki/Data_dependency

۲.۲	افزودن NOOP بدون وجود Full ForWArding
۳.۲	افزون NOOP با وجود Full ForWArding
۳	نوشتن یک Pipeline Stage
۴	رجیسترهای Pipeline ها
۱.۴	رجیسترهای Pipeline
۲.۴	اتفاقات هنگام اجرا
۵	Execution در یک CPU عه Pipeline شده
۶	Hazard ها
۷	ارتباط بین ForWArding، Hazard و ISA Desing