

پاسخ تمرین سری سوم

فهرست مطالب

۲	۱	سیگنال‌های کنترلی در یک پردازنده‌ی Single Cycle
۲	۲	پیش‌نیازهای داده‌ای
۲	۱.۲	وابستگی‌ها
۳	۲.۲	افزودن NOOP بدون وجود Full Forwarding
۳	۳.۲	افزودن NOOP با وجود Full Forwarding
۴	۳	نوشتن یک Pipeline Stage
۵	۴	رجیسترهای Pipeline ها
۵	۱.۴	رجیسترهای Pipeline
۵	۲.۴	اتفاقات هنگام اجرا
۵	۵	Execution در یک CPU عه Pipeline شده
۵	۶	Hazard ها
۵	۷	ارتباط بین Forwarding, Hazard و ISA Desing

۱ سیگنال‌های کنترلی در یک پردازنده‌ی Single Cycle

	RegWrite	MemRead	ALUMux	MemWrite	ALUOp	RegMux	Branch
a.	1	0	0 (Reg)	0	AND	1 (ALU)	0
b.	0	0	1 (Imm)	1	ADD	X	0

۲ پیش‌نیازهای داده‌ای

۱.۲ وابستگی‌ها

	Instruction Sequence	Dependencies
a.	I1: SW R16, -100(R6) I2: LW R4, 8(R16) I3: ADD R5, R4, R4	RAW on R4 from I2 to I3
b.	I1: OR R1, R2, R3 I2: OR R2, R1, R4 I3: OR R1, R1, R2	RAW on R1 from I1 to I2 and I3 RAW on R2 from I2 to I3 WAR on R2 from I1 to I2 WAR on R1 from I2 to I3 WAW on R1 from I1 to I3

برای مطالعه‌ی معنی وابستگی‌ها به این لینک مراجعه کنید:

https://en.wikipedia.org/wiki/Data_dependency

۲.۲ افزودن NOOP بدون وجود Full Forwarding

	Instruction Sequence	
a.	SW R16, -100(R6) LW R4, 8(R16) NOOP NOOP ADD R5, R4, R4	Delay I3 to avoid RAW hazard on R4 from I2
b.	OR R1, R2, R3 NOOP NOOP OR R2, R1, R4 NOOP NOOP OR R1, R1, R2	Delay I2 to avoid RAW hazard on R1 from I1 Delay I3 to avoid RAW hazard on R2 from I2

۳.۲ افزودن NOOP با وجود Full Forwarding

	Instruction Sequence	
a.	SW R16, -100(R6) LW R4, 8(R16) NOOP ADD R5, R4, R4	Delay I3 to avoid RAW hazard on R4 from I2 Value for R4 is forwarded from I2 now
b.	OR R1, R2, R3 OR R2, R1, R4 OR R1, R1, R2	No RAW hazard on R1 from text (forwarded) No RAW hazard on R2 from text (forwarded)

۳ نوشتن یک Pipeline Stage

	Instruction
a.	SW R16, 12(R6) LW R16, 8(R6) BEQ R5, R4, Label ; Assume R5 != R4 ADD R5, R1, R4 SLT R5, R15, R4

IF	ID	EXE	MEM	WB									
	IF	ID	EXE	MEM	WB								
		IF	ID	EXE	MEM	WB							
			**	**	IF	ID	EXE	MEM	WB				
						IF	ID	EXE	MEM	WB			

	Instruction
b.	SW R2, 0(R3) OR R1, R2, R3 BEQ R2, R0, Label ; Assume R2 == R0 OR R2, R2, R0 Label: ADD R1, R4, R3

IF	ID	EXE	MEM	WB					
	IF	ID	EXE	MEM	WB				
		IF	ID	EXE	MEM	WB			
			**	IF	ID	EXE	MEM	WB	

۴	رجیسترهای Pipeline ها
۱.۴	رجیسترهای Pipeline
۲.۴	اتفاقات هنگام اجرا
۵	Execution در یک CPU عه Pipeline شده
۶	Hazard ها
۷	ارتباط بین Forwarding، Hazard و ISA Desing