

## تمرین فصل سوم - پردازنده

حسن‌ا رجایی  
سجاد شیروانی  
مهدی حق‌وردی  
سید حسین حسینی

### چکیده

سوالات فصل سوم کتاب، که در مورد خود پردازنده صحبت می‌کند، برای شما آماده شده‌اند. پاسخ هر سوال را در قسمت مربوط آنها در کوئرا به صورت PDF به صورت تایپ شده، یا دست‌نویس خوش‌خط و خوانا آپلود کنید.

پس از پایان یافتن زمان ارسال تمرین، پاسخ‌های این تمرین در آدرس زیر قرار خواهد گرفت.

<https://github.com/mahdihaghverdi/arch-questions-answers/tree/main/the-processor>

### فهرست مطالب

|   |     |   |
|---|-----|---|
| ۲ | ۱   | سیگنال‌های کنترلی در یک پردازنده‌ی Single Cycle |
| ۲ | ۲   | پیش‌نیازهای داده‌ای                             |
| ۲ | ۱.۲ | وابستگی‌ها                                      |
| ۲ | ۲.۲ | افزودن NOOP بدون وجود Full Forwarding           |
| ۲ | ۳.۲ | افزودن NOOP با وجود Full Forwarding             |
| ۳ | ۳   | نوشتن یک Pipeline Stage                         |
| ۳ | ۴   | رجیسترهای Pipeline ها                           |
| ۳ | ۱.۴ | رجیسترهای Pipeline                              |
| ۳ | ۲.۴ | اتفاقات هنگام اجرا                              |
| ۳ | ۵   | Execution در یک CPU عه Pipeline شده             |
| ۴ | ۶   | Hazard ها                                       |

|   |  |     |
|---|--|-----|
| ۵ | ارتباط بین ISA Desing و Hazard ,Forwarding | ۷   |
| ۵ | افزودن NOOP                                | ۱۰۷ |
| ۵ | جابجا کردن دستورات                         | ۲۰۷ |

## ۱ سیگنال‌های کنترلی در یک پردازنده‌ی Single Cycle

سیگنال‌های کنترلی تولید شده در اجرای این دستورات را ذکر کنید.

|    | Instruction     | Interpretation   |
|----|-----------------|--|
| a. | AND Rd, Rs, Rt  | $\text{Reg}[\text{Rd}] = \text{Reg}[\text{Rs}] \text{ AND } \text{Reg}[\text{Rt}]$ |
| b. | SW Rt, Offs(Rs) | $\text{Mem}[\text{Reg}[\text{Rs}] + \text{Offs}] = \text{Reg}[\text{Rt}]$          |

## ۲ پیش‌نیازهای داده‌ای

دستورات زیر را در نظر بگیرید

|    | Instruction Sequence                                |
|----|---|
| a. | SW R16, -100(R6)<br>LW R4, 8(R16)<br>ADD R5, R4, R4 |
| b. | OR R1, R2, R3<br>OR R2, R1, R4<br>OR R1, R1, R2     |

### ۱.۲ وابستگی‌ها

تمامی وابستگی‌ها در این سلسله دستورات را بنویسید.

### ۲.۲ افزودن NOOP بدون وجود Full Forwarding

فرض کنید هیچ فورواردینگ در پردازنده وجود ندارد، ابتدا بگویید کجا hazard رخ می‌دهد و بین دستورات دستور NOOP بگذارید تا اجرا به درستی انجام بشود.

### ۳.۲ افزودن NOOP با وجود Full Forwarding

حالا فرض کنید در این پردازنده، فول فورواردینگ وجود دارد، ابتدا بگویید کجا hazard رخ می‌دهد و بین دستورات دستور NOOP بگذارید تا اجرا به درستی انجام بشود.

### ۳ نوشتن یک Pipeline Stage

برای دستورات زیر، یک نمودار Pipeline Stage بکشید، فرض کنید که در این پردازنده، Full forwarding داریم.

|    | Instruction Sequence   |
|----|--|
| a. | SW R16, 12(R6)<br>LW R16, 8(R6)<br>BEQ R5, R4, Label ; Assume R5 != R4<br>ADD R5, R1, R4<br>SLT R5, R15, R4    |
| b. | SW R2, 0(R3)<br>OR R1, R2, R3<br>BEQ R2, R0, Label ; Assume R2 == R0<br>OR R2, R2, R0<br>Label: ADD R1, R4, R3 |

### ۴ رجیسترهای Pipeline ها

دستورات زیر را در نظر بگیرید

|    | Instruction Sequence |
|----|----------------------|
| a. | SW R16, -100(R6)     |
| b. | OR R2, R1, R0        |

### ۱.۴ رجیسترهای Pipeline

وقتی که این دستورات اجرا می‌شوند، که داده‌هایی در رجیسترهای این پردازنده‌ی پایپ‌لاین شده ذخیره می‌شوند؟

### ۲.۴ اتفاقات هنگام اجرا

چه اتفاقی حین مرحله‌ی Execution و Memory می‌افتد؟

### ۵ Execution در یک CPU عه Pipeline شده

برای هر یک از دستورات زیر، در هر یک از stage‌های پایپ‌لاین، چه سینگال‌های کنترلی تولید می‌شوند؟

|    | Instruction Sequence |
|----|----------------------|
| a. | LW R1, 32(R2)        |
| b. | OR R1, R5, R6        |

## ۶ Hazardها

تمامی Hazardها را برای یک پردازنده پایپلاین شده با ۵ stage

• اگر فورواردینگ نداشته باشیم

• اگر فورواردینگ داشته باشیم

بنویسید.

|    | Instruction Sequence  |
|----|---|
| a. | ADD R1, R2, R1<br>LW R2, 0(R1)<br>LW R1, 4(R1)<br>OR R3, R1, R2 |
| b. | LW R1, 0(R1)<br>AND R1, R1, R2<br>LW R2, 0(R1)<br>LW R1, 0(R3)  |