

## پاسخ تمرین سری سوم

### فهرست مطالب

۲	۱	سیگنال‌های کنترلی در یک پردازنده‌ی Single Cycle
۲	۲	پیش‌نیازهای داده‌ای
۲	۱.۲	وابستگی‌ها
۲	۲.۲	افزودن NOOP بدون وجود Full Forwarding
۲	۳.۲	افزودن NOOP با وجود Full Forwarding
۲	۳	نوشتن یک Pipeline Stage
۲	۴	رجیسترهای Pipeline ها
۲	۱.۴	رجیسترهای Pipeline
۲	۲.۴	اتفاقات هنگام اجرا
۲	۵	Execution در یک CPU عه Pipeline شده
۲	۶	Hazard ها
۲	۷	ارتباط بین Forwarding, Hazard و ISA Desing

## ۱ سیگنال‌های کنترلی در یک پردازنده‌ی Single Cycle

	RegWrite	MemRead	ALUMux	MemWrite	ALUOp	RegMux	Branch
a.	1	0	0 (Reg)	0	AND	1 (ALU)	0
b.	0	0	1 (Imm)	1	ADD	X	0

## ۲ پیش‌نیازهای داده‌ای

۱.۲ وابستگی‌ها

۲.۲ افزودن NOOP بدون وجود Full Forwarding

۳.۲ افزودن NOOP با وجود Full Forwarding

## ۳ نوشتن یک Pipeline Stage

## ۴ رجیسترهای Pipeline

۱.۴ رجیسترهای Pipeline

۲.۴ اتفاقات هنگام اجرا

## ۵ Execution در یک CPU عه Pipeline شده

۶ Hazardها

## ۷ ارتباط بین Forwarding، Hazard و ISA Desing