

## تمرین فصل سوم - پردازنده

حسن‌ا رجایی  
سجاد شیروانی  
مهدی حق‌وردی  
سید حسین حسینی

### چکیده

سوالات فصل سوم کتاب، که در مورد خود پردازنده صحبت می‌کند، برای شما آماده شده‌اند. پاسخ هر سوال را در قسمت مربوط آنها در کوئرا به صورت PDF به صورت تایپ شده، یا دست‌نویس خوش‌خط و خوانا آپلود کنید.

پس از پایان یافتن زمان ارسال تمرین، پاسخ‌های این تمرین در آدرس زیر قرار خواهد گرفت.

<https://github.com/mahdihaghverdi/arch-questions-answers/tree/main/the-processor>

### فهرست مطالب

۲	۱	سیگنال‌های کنترلی در یک پردازنده‌ی Single Cycle
۲	۲	پیش‌نیازهای داده‌ای
۲	۱.۲	.....
۲	۲.۲	.....
۲	۳.۲	.....
۲	۳	نوشتن یک Pipeline Stage
۲	۴	رجیسترهای Pipeline ها
۲	۵	Execution در یک CPU عه Pipeline شده
۲	۶	Hazard ها
۲	۷	ارتباط بین Forwarding, Hazard و ISA Desing

## ۱ سیگنال‌های کنترلی در یک پردازنده‌ی Single Cycle

سیگنال‌های کنترلی تولید شده در اجرای این دستورات را ذکر کنید.

	Instruction	Interpretation
a.	AND Rd, Rs, Rt	$\text{Reg}[\text{Rd}] = \text{Reg}[\text{Rs}] \text{ AND } \text{Reg}[\text{Rt}]$
b.	SW Rt, Offs(Rs)	$\text{Mem}[\text{Reg}[\text{Rs}] + \text{Offs}] = \text{Reg}[\text{Rt}]$

## ۲ پیش‌نیازهای داده‌ای

۱.۲

۲.۲

۳.۲

## ۳ نوشتن یک Pipeline Stage

## ۴ رجیسترهای Pipeline ها

## ۵ Execution در یک CPU عه Pipeline شده

## ۶ Hazard ها

## ۷ ارتباط بین Forwarding، Hazard و ISA Desing