

تمرین فصل پنجم - گش

چکیده

سوالات فصل پنجم کتاب، که در مورد حافظه‌ی نهان و سیاست‌های آن صحبت می‌کند، برای شما آماده شده‌اند. پاسخ هر سوال را در قسمت مربوط آنها در کوئرا به صورت PDF به صورت تایپ شده، یا دست‌نویس خوش خط و خوانا آپلود کنید. پس از پایان یافتن زمان ارسال تمرین، پاسخ‌های این تمرین در آدرس زیر قرار خواهد گرفت.

<https://github.com/mahdihaghverdi/arch-questions-answers/tree/main/cache>

فهرست مطالب

۱	Miss Penalty ۱
۲	محاسبات ۲
۲	Associative cache ۳
۲	AMAT ۴

Miss Penalty ۱

یک cache با بلوک‌های ۴ کلمه‌ای (4 word cache block) را در نظر بگیرید. ساختار حافظه (DRAM) و باس (Bus) داده آن بصورت ۲ کلمه‌ای است (در هر آدرس، ۲ کلمه قرار دارد). فرض کنید ۲ سیکل برای ارسال آدرس به DRAM نیاز است. همچنین هر دسترسی به DRAM به ۲۰ سیکل زمان نیاز داشته و ارسال هر داده بر روی باس به ۲ سیکل زمان احتیاج دارد. برای این سیستم حافظه، Miss Penalty را محاسبه کنید.

۲ محاسبات

یک پردازنده دارای دو L1 cache مجزا برای instruction و data است. مشخصات این سیستم در زیر آمده است.

- CPIbase= 1.2 (Ideal Situation)
- Main memory access time=150 cycles
- Instruction mix: 47% arithmetic-logic, 35% load-store, 18% control
- I-Cache miss = 0.6%
- D-Cache miss = 7%

۱. CPI کل این سیستم را با فرض وجود cache محاسبه کنید.

۲. پردازنده ایدآل (بدون stall) چقدر از پردازنده دارای cache سریعتر است؟ (پاسخ را بصورت یک کسر میتوانید نمایش دهید)

۳. CPI کل این سیستم را با فرض عدم وجود cache محاسبه کنید.

۳ Associative cache

یک 4-way set associative cache را با

• 4-byte word size

• 16-word block size و

• 8-KB total data cache size

را در یک پردازنده با آدرس دهی ۳۲ بیتی در نظر بگیرید.

اندازه کل این cache را بر حسب بایت (یا KB) محاسبه کنید. (فقط پاسخ صحیح نمره دارد)

۴ AMAT

مقدار AMAT را بر حسب تعداد سیکل، برای سیستم حافظه زیر محاسبه کنید.

L1 2-way set associative cache with hit ratio=95% and access time=4 cycles
L2 direct mapped cache with hit ratio=80% and access time=18 cycles
Main memory access time=500 cycles