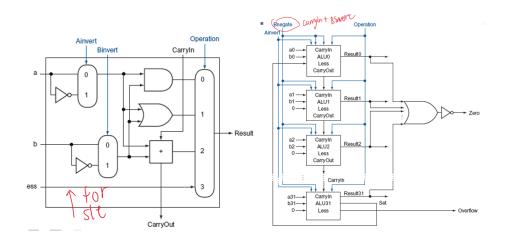
Computer Organization

0511105 李頤

Architecture diagrams:



- 基本上都是用講義上的架構·左邊為 alu_top(1bit)·右邊為 32bit
- 使用的模組: mux2, alu_top, alu
- Environment: Xilinx vivado
- 因為專案路徑的問題:我資料夾裡的 CO_LAB1 專案可能不會動 (but I included it anyway)

Hardware module analysis:

ALU Action	Name	ALU Control Input
And	And	0000
OR	Or	0001
Add	Addition	0010
Sub	Subtraction	0110
Nor	Nor	1100
Slt	Set less than	0111

ALU Control Input – Format Explained

總共有 4 bit,但 alu 單元的 op code 只有 2 bit,所以這裡的格式

拆分成左右半邊(各 2 bit)來實現上述 operation

右半邊: 送進每個 alu 的 op code

左半邊: 為 A_invert 和 B_invert

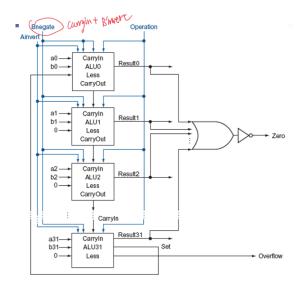
所以

Sub: b invert (01) 後加上 1 , 然後與 A 相加(10), 所以是 0110

Nor: a, b, invert(11) 後做 and (00),等於 Nor(1100)

• ALU Action – Hardware Implementation Detail

- And 把輸入訊號 src1, src2 丟入 and gate
- Or 丟入 or
- Add src1 ^ src2 ^ cin (xor)
- **Sub** Isb 的 cin 接 b_invert, 達到 flip bits + 1 (二補數)
- Nor a nor b = !a and !b
- **Slt** 拿 a, b 相減結果的 msb(sign bit)如果是 1 表示 a < b 拉線回 lsb alu 的 less 輸出 1



- **Zero**:把 result or 起來,然後再 flip,如圖

- Carry:加或減時輸出 carry,其他 operation 固定輸出 0

- Overflow: 參考此 YouTube 教學

- https://www.youtube.com/watch?v=p4yVpZGZ9tA

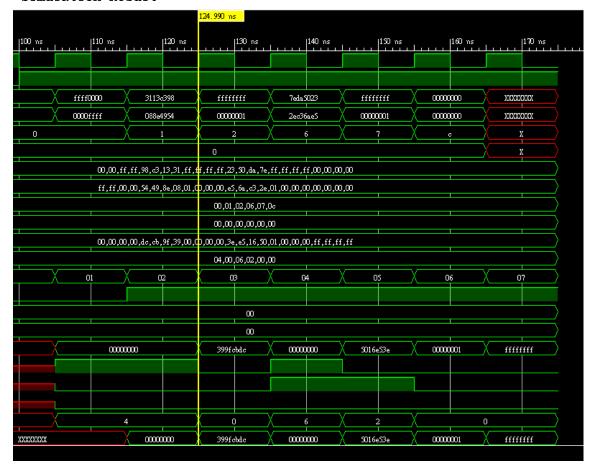
- 將最後兩個 alu 的 cout 做 xor

Experiment result:

Console Result

Stopped at time: 175 ns: File "C:/Users/Sciencethebird/Desktop/CO_LAB1/testbench.v" Line 130

• Simulation Result



Problems you met and solutions:

1. 結果早一個 clock 輸出

我多加了一個 ans_temp register 來儲存答案,再 posedge 時寫入 上一個時脈計算的結果的結果

2. Add 的結果不正確

carry 一直不對,是因為後面的 alu 沒有讀到前面 alu 新算出的 carry,解決辦法為在 alu 單元的 always 增加 cin,

always@(.....cin)

這樣 cin 更動時便會重新計算

3. Slt 實現方式

因為 slt 需要 a, b 相減取得 msb 的 result,但 op code 已經固定,我目前想不到有什麼比較好的方法讓 alu 減法完後再選擇 less 輸出,所以我用了比較直接的方法,多加一條 wire temp_diff = src1 - src2,也就是相減的動作是在我的 alu 外完成的,取得相減結果的 msb 拉回 lsb 的 less 此方法精神上應該差不多,希望不算太暴力@@

4. Nor zcv 的 c 輸出錯誤

忘記除了加減會有 carry,其他 operation 都是零,在 alu 單元 specify 一下就 好了

Summary:

- 學到基本 alu 的運作方式
- 學到 opcode 的運作方式
- 學到各 operation 的實現方式