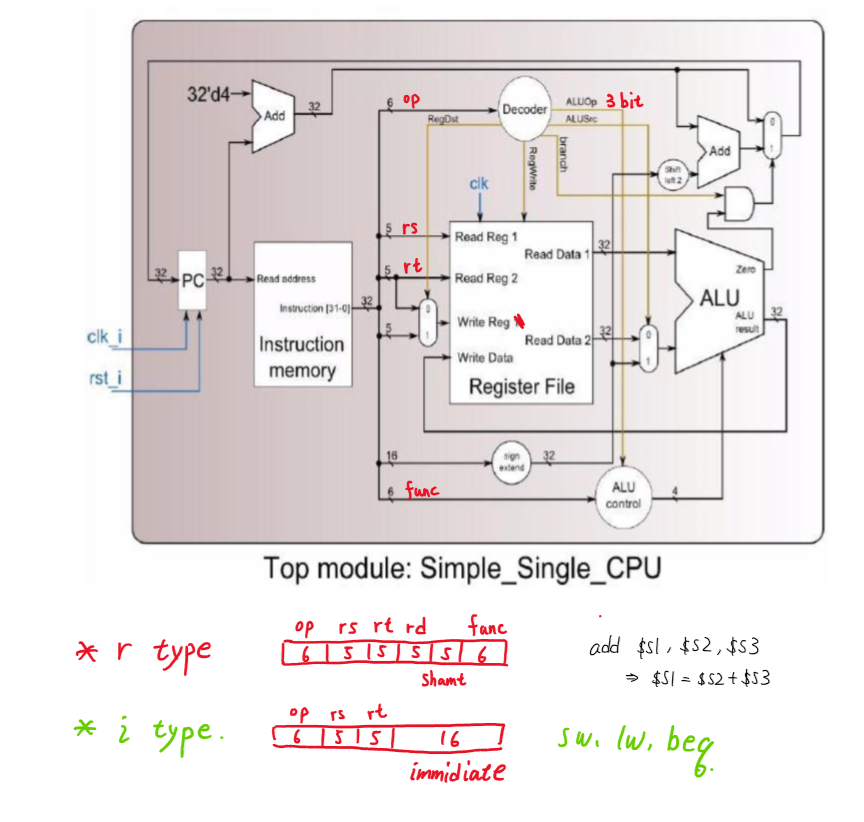
**Computer Organization**

**Architecture diagrams:**

使用題目上的架構



**Hardware module analysis:**

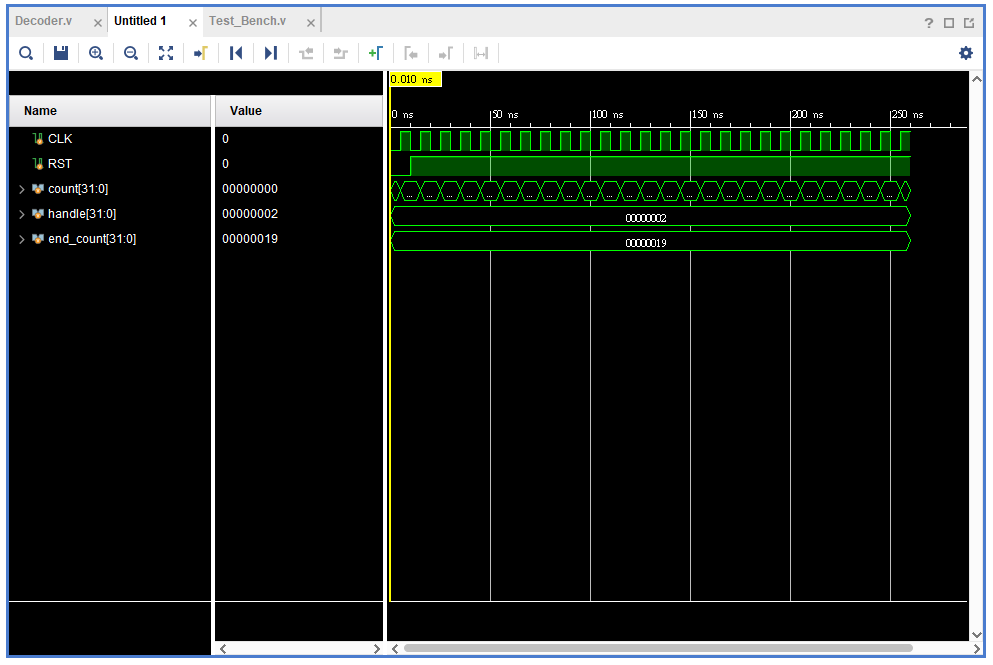
|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | ALUOp | ALUSrc | Branch | RegWrite | RegDst |
| R | 010 | 0 | 0 | 1 | 1 |
| addi | 100 | 1 | 0 | 1 | 0 |
| Slt | 010 | 0 | 0 | 1 | 0 |
| slti | 101 | 1 | 0 | 1 | 0 |
| beq | 001 | 0 | 1 | 0 | 0 |
|  |  |  |  |  |  |

Opcode送進decoder，然後decoder送出許多控制訊號，其中會送出ALUOp

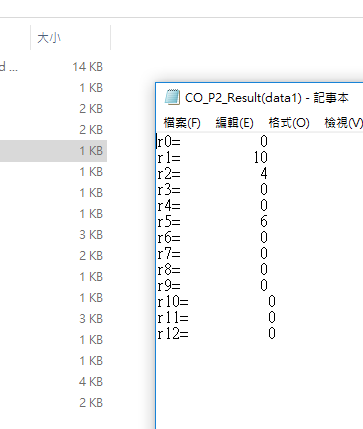
(3bits)，ALU control unit會根據ALUOp與指令的function part輸出ALU的控制訊號，都是照著課本上跟上面的表格做的

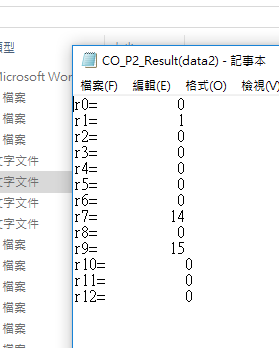
Branch指令是用alu的zero與branch控制線and來決定的，如果相減結果是零，表示兩個數值相等，zero會輸出1，如果branch也等於1，就會進行branch的動作

**Finished part:**



我看fb社團好像要附波型圖所以我就附了  
可是好像有點意義不明?





因為跑不同檔案result會被洗掉

所以我兩個都拷貝一份然後在檔案後面註明來源

**Problems you met and solutions:**

1. 課本上的alu control 只有兩個bit

本來以為是多的，但後來發現是用來implement i-format的，因為好像沒有特別的設計原理，所以我照上面我列出的表設定control output

1. 出現 Signal EXCEPTION\_ACCESS\_VIOLATION received.

因為不是很熟verilog所以把 zero 跟 branch 的 and

Zero and branch

正確應該是

Zero & branch

1. 第二筆測資不對

一筆一筆跑發現slti不對，會去找發現忘記把ALU Source那個控制設成1了

**Summary:**

總之就是照著圖一直接線，然後在腦袋不太清楚的情況下找slti的錯找到塊脫窗了。