

KEA128 数据手册

2015/03/24

苏州大学飞思卡尔嵌入式中心 译

目录

第 1 章 订购	1
1.1 确定有效的可订购的产品	1
第 2 章 产品型号识别	2
2.1 描述	2
2.2 命名格式	2
2.3 字段	2
2.4 例子	2
第 3 章 产品等级	3
3.1 热处理等级	3
3.2 防潮处理等级	3
3.3 ESD 处理等级	3
3.4 电压和电流的操作等级	4
第 4 章 产品通用知识点	5
4.1 非开关电气规格	5
4.1.1 DC 特点	5
4.1.2 电流供应特性	9
4.1.3 EMC 性能	10
4.2 转换说明	11
4.2.1 控制时序	11
4.2.2 FTM 模块时序	12
4.3 能量说明	13
4.3.1 能量特点	13
第 5 章 外围工作需求和行为	14
5.1 内核模块	14
5.1.1 SWD 电压	14

5.2 外部振荡器（OSC）和 ICS 特征	14
5.3 NVM 说明	16
5.4 模拟	17
5.4.1 ADC 特性	17
5.4.2 模拟比较器	19
5.5 通信接口	20
5.5.1 SPI 开关说明	20
5.5.2 MSCAN	22
第 6 章 封装	23
6.1 封装大小	23
第 7 章 引脚分配	24
7.1 信号复用和引脚分配	24
第 8 章 历史版本	25

KEA128 子系列数据手册

支持: S9KEAZ64AMLK(R), S9KEAZ128AMLK(R), S9KEAZ64AVLK(R),

S9KEAZ128AVLK(R), S9KEAZ64ACLK(R), S9KEAZ128ACLK(R), S9KEAZ64
AMLH(R), S9KEAZ128AMLH(R), S9KEAZ64AVLH(R), S9KEAZ128AVLH(R),
S9KEAZ64ACLH(R)和 S9KEAZ128ACLH(R)

主要特征:

1、操作特点

电压范围—2.7 至 5.5 V; Flash 写电压范围—2.7 至 5.5 V; 温度范围 (环境)—40
至 125 °C

2、性能

高达 48MHz ARM® Cortex-M0+内核; 单周期 32 位×32 位乘法器; 单周期 I/O 端口
的访问

3、内存和内存接口

高达 128 KB flash; 高达 16 KB RAM

4、时钟

—振荡器 (Oscillator, OSC), 支持 32.768 kHz 晶振或 4MHz 至 24 MHz 晶体或陶瓷
谐振器; 选择低功耗或高增益振荡器。

—内部时钟源 (ICS), 带有内部或外部参考电压的内部 FLL, 为 48 MHz 系统时钟提
供 37.5 kHz 的预修改内部参考电压。

—内部 1 kHz 低功耗振荡器 (LPO)

5、系统外设

—电源管理模块 (Power management module, PMC), 三种电源模式: Run (运行)、
Wait (等待)、Stop (停止)。

—低电压检测 (Low-voltage detection, LVD), 有复位、中断模式, 可选择的触发点。

—看门狗 (Watchdog, WDOG), 具有独立的时钟源。

—可编程循环冗余校验模块 (可编程循环冗余校验模块, CRC)。

—串行线调试接口 (Serial wire debug, SWD)。

—别名 SRAM 位带域 (Aliased SRAM bitband region, BIT-BAND)。

—位操作引擎 (Bit manipulation engine, BME)。

6、安全性和完整性模块

每个芯片 80 位的唯一的标识 (ID) 号。

7、人机接口

71 个通用输入输出 (general-purpose input/output, GPIO); 两个 32 位键盘中断模块 (keyboard interrupt modules, KBI); 外部中断 (External interrupt, IRQ)。

8、模拟模块

—一个多达 16 个通道的 12 位 SAR ADC, 在停止模式下运行, 可选硬件触发 (ADC)

—两个包含一个 6 位的 DAC 的模拟比较器, 和可编程参考电压输入 (ACMP)

9、定时器

一个 6 通道 FlexTimer/PWM (FTM); 两个 2 通道 FlexTimer/PWM (FTM); 一个 2 通道周期中断定时器 (periodic interrupt timer, PIT); 一个脉冲宽度定时器 (pulse width timer, PWT); 一个实时时钟 (real-time clock, RTC)

10、通信接口

两个 SPI 模块 (串行外设接口); 三个 UART 模块; 两个 I2C 模块; 一个 MSCAN 模块;

11、封装选择

80 引脚封装; 64 引脚封装

第1章 订购

1.1 确定有效的可订购的产品

freescale.com 网站上搜索产品编号：KEAZ128。

第2章 产品型号识别

2.1 描述

芯片具有型号标识，可以识别特定产品。

2.2 命名格式

芯片的命名格式为：“Q B KEA A C FFF M T PP N”。

2.3 字段

表 2-1 为 Kinetis EA 系列芯片命令字段说明。

表2-1 Kinetis EA系列芯片命令字段说明

字段	说明	取值
Q	质量状态	S=汽车级；P=工程测试芯片
B	内存类型	9=Flash
KEA	Kinetis汽车系列号	KEA
A	内核属性	Z=M0+内核
C	CAN总线可用性	N=CAN不可用；（Blank）=CAN可用
FFF	程序Flash内存大小	64 = 64 KB； 128=128 KB
M	生产版本	F0=第一版本；F1=第一版本之后的修订版
T	运行温度范围	M=-40℃~125℃
PP	封装类型	LH =64LQFP(10mm x 10mm)； LK =80LQFP(14mm x 14mm)
CC	CPU最高频率	4 = 48 MHz
N	包装类型	R=卷包装；（空）=盒包装

2.4 例子

例如芯片命名为：S9KEAZ128AMLK

第3章 产品等级

3.1 热处理等级

表3-1 热处理等级

信号名称	描述	最小	最大	单位	备注
TSTG	存放温度	-55	150	° C	1
TSDR	焊料温度, 无铅	—	260	° C	2

- 1、根据 JEDEC 标准 JESD22-A103, 越耐高温, 寿命越长。
- 2、对于密闭的固态表面贴装器件, IPC/ JEDEC 标准 J-STD-020 确定潮湿/回流敏感性分类。

3.2 防潮处理等级

表3-2 防潮处理等级

信号名称	描述	最小	最大	单位	备注
MSL	潮湿敏感等级	—	3	—	1

- 1、对于密闭的固态表面贴装器件, IPC/ JEDEC 标准 J-STD-020 确定潮湿/回流敏感性分类。

3.3 ESD处理等级

表3-3 ESD处理等级

信号名称	描述	最小	最大	单位	备注
V _{HBM}	静电放电电压, 人体模型	-6000	+6000	V	1
V _{CDM}	静电放电电压, 充电设备模型	-500	+500	V	2
I _{LAT}	°C 的环境温度下的闭锁电流	-100	+100	mA	3

- 1、静电放电 (ESD) 敏感度测试人体模型 (HBM) 由 JEDEC 标准 JESD22-A114 决定。
- 2、对于微电子元件的静电放电耐压的阈值, 由 JEDEC 标准 JESD22-C101 确定电场感应带电模型测试方法。
- 3、由 JEDEC 标准 JESD78D 确定 IC 闭锁测试。测试流程如下:
 - 测试在 125° C 的温度下 (II 级) 进行。

- I/O 引脚通过+100/-100 mA I-test, 与 400mA I_{DD} 电流限制(正向电流通过时 V_{DD} 崩溃)。
- 对于 V_{DD}, I/O 引脚通过+50/-100 mA I- test, 并且 I_{DD} 电流限制在 1000 mA。
- 电压通过 1.5 V_{ccmax}。
- 由于产品条件要求, RESET_B 引脚只与负向 I- test 测试。

3.4 电压和电流的操作等级

绝对最大等级值只是压力等级值, 不能保证最大值下的功能操作。压力超出表 3-4 中规定的限值可能会影响器件可靠性, 或对器件造成永久性损坏。对于功能操作条件, 参考本文中其它表。

该芯片包含保护电路, 防止由于高静电电压或电场造成损坏。但是, 建议使用正常的预防措施, 对于这个高阻抗电路注意避免使用比最大额定电压还高的电压。如果未使用的输入连接到一个适当的逻辑电压电平(例如, VSS 或 VDD)或使能与该引脚相关的可编程上拉电阻, 操作的可靠性提高。

表3-4 电压和电流的操作等级

信号名称	描述	最小	最大	单位
V _{DD}	数字供电电压	-0.3	6.0	V
I _{DD}	V _{DD} 下的最大电流	—	120	mA
V _{IN}	输入电压, 除了开漏极引脚	-0.3	V _{DD} + 0.3 ^①	V
	开漏极引脚的输入电压	-0.3	6	V
I _D	瞬时最大电流单引脚限制(适用于所有端口引脚)	-25	25	mA
V _{DDA}	模拟供电电压	V _{DD} - 0.3	V _{DD} + 0.3	V

^①V_{DD} 的最大等级也适用 V_{IN}

第4章 产品通用知识点

4.1 非开关电气规格

4.1.1 DC特点

本节主要为有关电压供应的要求和 I/O 引脚特征的信息。

表4-1 DC特点

信号名称	描述			最小	典型 ^①	最大	单位
—	操作电压			2.7	—	5.5	V
VOH	输出高电压	所有I/O引脚是标准驱动能力，除了PTA2和PTA3	5 V, Iload = -5 mA	VDD - 0.8	—	—	V
			3 V, Iload = -2.5 mA	VDD - 0.8	—	—	V
		高电流驱动引脚，高驱动能力 ^②	5 V, Iload = -20 mA	VDD - 0.8	—	—	V
			3 V, Iload = -10 mA	VDD - 0.8	—	—	V
IOHT	输出高电流	所有端口的最大总IOH	5 V	—	—	-100	mA
			3 V	—	—	-60	
VOL	输出低电压	所有I/O引脚都是标准驱动能力	5 V, Iload = 5 mA	—	—	0.8	V
			3 V, Iload = 2.5 mA	—	—	0.8	V
		高电流驱动引脚，高驱动能力	5 V, Iload = 20 mA	—	—	0.8	V
			3 V, Iload = 10 mA	—	—	0.8	V
IOLT	输出低电流	所有端口的最大总IOL	5 V	—	—	100	mA
			3 V	—	—	60	
VIH	输入高电压	所有数字输入引脚	$4.5 \leq VDD < 5.5$ V	$0.65 \times VDD$	—	—	V
			$2.7 \leq VDD < 4.5$ V	$0.70 \times VDD$	—	—	
VIL	输入低电压	所有数字输入引脚	$4.5 \leq VDD < 5.5$ V	—	—	$0.35 \times VDD$	V
			$2.7 \leq VDD < 4.5$ V	—	—	$0.30 \times VDD$	
Vhys	输入延迟	所有数字输入引脚	—	$0.06 \times VDD$	—	—	mV
IIn	输入漏电流	每个引脚（处于高阻抗输入模式的引脚）	VIN = VDD或VSS	—	0.1	1	μA
IInTOT	所有端口引脚总漏电流	引脚（处于高阻抗输入模式的引脚）	VIN = VDD或 VSS	30.0	—	2	kΩ
RPU	上拉电阻	当使能，所有数字输入引脚（所有I/O引脚	—	30.0	—	50.0	kΩ

^①典型值是在 25℃下测得的。特点是，没有测试。

^②只有 PTB4, PTB5, PTD0, PTD1, PTE0, PTE1, PTH0 和 PTH1 支持高驱动输出。

		除了PTA2和PTA3)					
$R_{PU}^{①}$	上拉电阻	PTA2和PTA3	—	30.0	—	60.0	k Ω
I_{IC}	DC注入电流 ^{②③④}	单引脚限制	$V_{IN} < V_{SS}, V_{IN} > V_{DD}$	-2	—	2	mA
		总MCU限制, 包括所有压力引脚总和		-5	—	25	
C_{IC}	输入电容, 所有引脚		—	—	—	7	pF
V_{RAM}	RAM保持电压		—	2.0	—	—	V

表4-2 LVD和POR规范

信号名称	描述		最小	典型	最大	单位
V_{POR}	POR re-arm电压1 ^⑤		1.5	1.75	2.0	V
V_{LVDH}	下降沿低电压检测阈值—高的范围(LVDV=1) ⑥		4.2	4.3	4.4	V
V_{LVW1H}	下降沿低电压警告阈值—高的范围	等级1下降沿(LVWV = 00)	4.3	4.4	4.5	V
V_{LVW2H}		等级2下降沿(LVWV = 01)	4.5	4.5	4.6	V
V_{LVW3H}		等级3下降沿(LVWV = 10)	4.6	4.6	4.7	V
V_{LVW4H}		等级4下降沿(LVWV = 11)	4.7	4.7	4.8	V
V_{HYSH}	高范围低电压检测/警告延迟		—	100	—	mV
V_{LVDL}	下降沿低电压检测阈值—低的范围 (LVDV=0)		2.56	2.61	2.66	V
V_{LVW1L}	下降沿低电压警告阈值—低的范围	等级1下降沿(LVWV = 00)	2.62	2.7	2.78	V
V_{LVW2L}		等级2下降沿(LVWV = 01)	2.72	2.8	2.88	V
V_{LVW3L}		等级3下降沿(LVWV = 10)	2.82	2.9	2.98	V
V_{LVW4L}		等级4下降沿(LVWV = 11)	2.92	3.0	3.08	V
$V_{HYS DL}$	低范围的低电压检测延迟		—	40	—	mV

①指定的电阻值是芯片内部的实际值。测量时, 外部引脚上拉值可能会更高。

②所有的功能性非电源引脚, 除了 PTA2 和 PTA3, 在内部与 V_{SS} 和 V_{DD} 钳位。PTA2 和 PTA3 是真正的开漏 I/O 引脚, 内部与 V_{SS} 钳位。

③输入电流必须限制在指定的值范围内。确定所需限流电阻的值, 计算出正和负钳位电压对应的电阻值, 然后使用较大的值。

④在瞬间和最大操作电流期间, 电源必须在 V_{DD} 工作范围内调节。如果注入的正电流 ($V_{IN} > V_{DD}$) 大于 I_{DD} 高, 注入电流可以流出 V_{DD} , 并可能导致外部电源停止调整。当 MCU 不耗电, 确保外部 V_{DD} 负载将分流, 高于最大注入电流。如在没有系统时钟, 或时钟速率很低 (这会降低整体功耗)。

⑤最大值是 POR 保证的最高电压值。

⑥上升阈值=下降阈值+延迟

V_{HYSWL}	低范围的低电压警告延迟	—	80	—	mV
V_{BG}	缓冲带隙输出 ^①	1.14	1.16	1.18	V

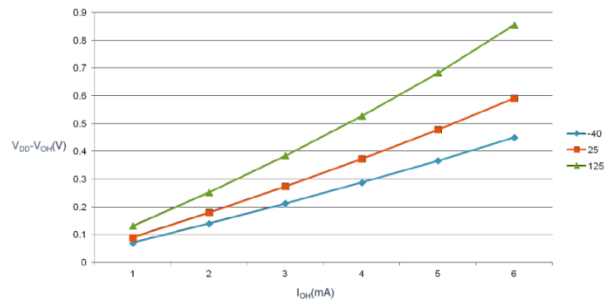


图4-1 典型 $V_{DD}-V_{OH}$ V_s . I_{OH} （标准驱动能力）（ $V_{DD} = 5\text{ V}$ ）

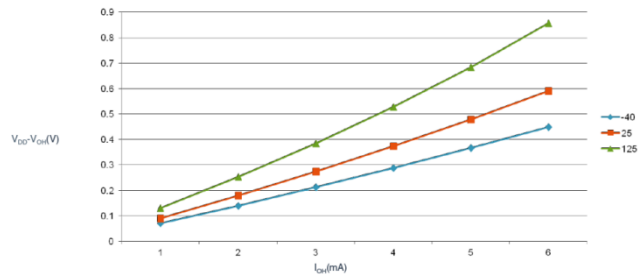


图4-2 典型 $V_{DD}-V_{OH}$ V_s . I_{OH} （标准驱动能力）（ $V_{DD} = 3\text{ V}$ ）

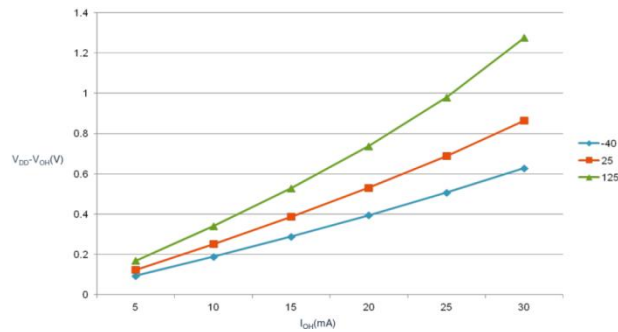


图4-3 典型 $V_{DD}-V_{OH}$ V_s . I_{OH} （高驱动能力）（ $V_{DD} = 5\text{ V}$ ）

^①在 $V_{DD}=5.0\text{ V}$ ，温度=125° C 调整电压

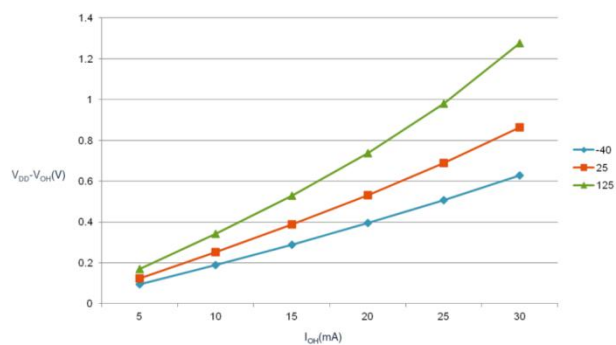


图4-4 典型 $V_{DD}-V_{OH}$ Vs. I_{OH} （高驱动能力）（ $V_{DD} = 3\text{ V}$ ）

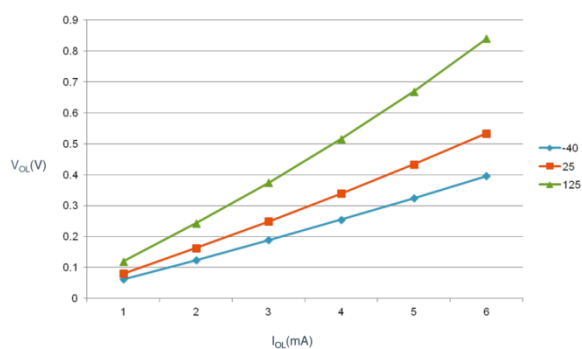


图4-5 典型 V_{OL} Vs. I_{OL} （标准驱动能力）（ $V_{DD} = 5\text{ V}$ ）

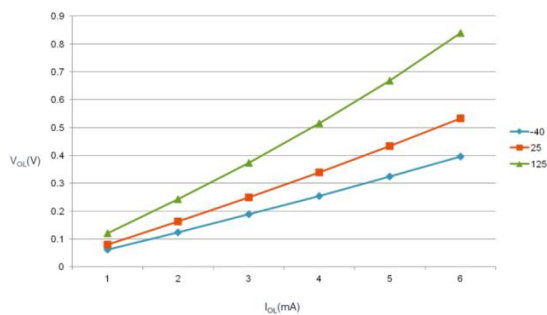


图4-6 典型 V_{OL} Vs. I_{OL} （标准驱动能力）（ $V_{DD} = 3\text{ V}$ ）

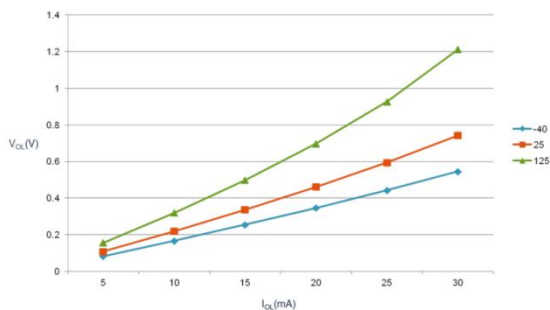


图4-7 典型 V_{OL} Vs. I_{OL} （高驱动能力）（ $V_{DD} = 5 V$ ）

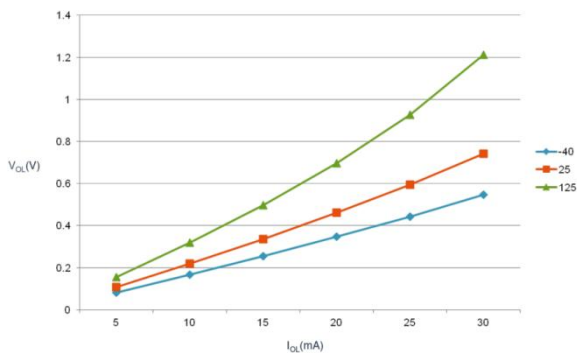


图4-8 典型 V_{OL} Vs. I_{OL} （高驱动能力）（ $V_{DD} = 3 V$ ）

4.1.2 电流供应特性

本节包括了在各种操作模式下电流供应特性的信息。

表4-3 电流供应特性

参数	符号	内核 / 总线 时钟	VDD(V)	标准	最大	单位	温度
运行电流供应FEI 模式，使能所有模 块时钟，从Flash开 始运行	RID D	48/24 MHz	5	11.1	—	mA	-40to 125 ° C
		24/24 MHz		8	—		
		12/12 MHz		5	—		
		1/1 MHz		2.4	—		
		48/24 MHz	3	11	—		
		24/24 MHz		7.9	—		
		12/12 MHz		4.9	—		
		1/1 MHz		2.3	—		
运行电流供应FEI 模式，禁止所有模 块时钟，从Flash开 始运行	RID D	48/24 MHz	5	7.8	—	mA	-40 to 125 ° C
		24/24 MHz		5.5	—		
		12/12 MHz		3.8	—		
		1/1 MHz		2.3	—		
		48/24 MHz	3	7.7	—		

		24/24 MHz		5.4	—		
		12/12 MHz		3.7	—		
		1/1 MHz		2.2	—		
运行电流供应FBE模式，使能所有模块时钟，从RAM开始运行	RID D	48/24 MHz	5	14.7	—	mA	-40 to 125 ° C
		24/24 MHz		9.8	14.92		
		12/12 MHz		6	—		
		1/1 MHz		4	—		
		48/24 MHz	3	14.6	—		
		24/24 MHz		9.6	12.82		
		12/12 MHz		5.9	—		
		1/1 MHz		2.3	—		
运行电流供应FBE模式，禁止所有模块时钟，从RAM开始运行	RID D	48/24 MHz	5	11.4	—	mA	-40 to 125 ° C
		24/24 MHz		7.7	12.52		
		12/12 MHz		4.7	—		
		1/1 MHz		2.3	—		
		48/24 MHz	3	11.3	—		
		24/24 MHz		7.6	9.52		
		12/12 MHz		4.6	—		
		1/1 MHz		2.2	—		
等待电流供应FBE模式，使能所有模块时钟	WID D	48/24 MHz	5	8.4	—	mA	-40 to 125 ° C
		24/24 MHz		6.5	7.22		
		12/12 MHz		4.3	—		
		1/1 MHz		2.4	—		
		48/24 MHz	3	8.3	—		
		24/24 MHz		6.4	7.12		
		12/12 MHz		4.2	—		
		1/1 MHz		2.3	—		
等待模式电流供应，无活跃时钟(除了1KHz的LPO时钟)	SIDD	—	5	2	1702	μ A	-40 to 125 ° C
		—	3	1.9	1602		-40 to 125 ° C
ADC加法器 ADLPC=1 ADLSMP=1 ADCO=1 MODE=10B ADICLK=11B	—	—	5	86	—	μ A	-40 to 125 ° C
			3	82	—		
ACMP加法器	—	—	5	12	—	μ A	-40 to 125 ° C
			3	12	—		
LVD加法器	—	—	5	130	—	μ A	-40 to 125 ° C
			3	125	—		

4.1.3 EMC性能

电磁兼容(EMC)的性能很大程度上依赖于 MCU 的环境，面板设计与布局、电路拓扑

结构选择、外部构件的位置和特性以及 MCU 的软件操作对 EMC 的性能都有很大影响。系统设计者必须查阅以下 Freescale 应用注意事项，访问 www.freescale.com 可以获得一些建议和指导，目的在于优化 EMC 性能。

- AN2321：用于板级电磁兼容
- AN1050：用于带有 HCMOS 微控制器的 EMC
- AN1263：用于带有单芯片的微控制器的 EMC
- AN2764：提升基于微控制器应用的脉冲发生器性能
- AN1259：用于减少 MCU 系统中的噪声系统设计与布局技术

4.2 转换说明

4.2.1 控制时序

表4-4 控制时序

编号	速率		符号	较小	标准	最大	单位
1	系统和内核时钟		fSys	DC	—	43	MHz
2	总线时钟		fBus	DC	—	24	MHz
3	内部低功耗晶振频率		fLPO	0.67	1.0	1.25	KHz
4	外部复位脉冲宽度		textrst	$1.5 \times T_{cyc}$	—	—	ns
5	复位低功耗驱动		trstdrv	$34 \times t_{cyc}$	—	—	ns
6	IRQ脉冲宽度	异步路径	tILIH	100	—	—	ns
		同步路径	tILIH	$1.5 \times t_{cyc}$	—	—	ns
7	键盘中断脉冲宽度	异步路径	tILIH	100	—	—	ns
		同步路径	tILIH	$1.5 \times t_{cyc}$	—	—	
8	端口上升和下降时间—正常驱动能力	—	tRise	—	10.2	—	ns
			tFall	—	9.5	—	
	端口上升和下降时间—高驱动能力	—	tRise	—	5.4	—	ns
			tfall	—	4.6	—	

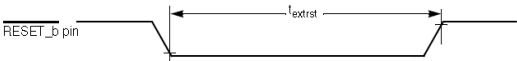


图4-9 复位时序

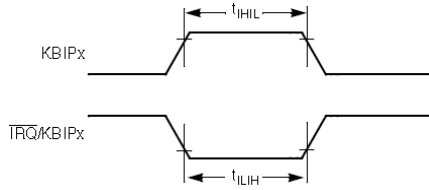


图4-10 KBIPx时序

4.2.2 FTM模块时序

同步电路可决定能够被识别的最短输入脉冲或者最快时钟，该时钟能够被作为定时计数器的可选外部时钟源。这些同步操作来至于当前总线速率时钟。

表4-5 FTM输入时序

功能	符号	最小	最大	单位
定时器时钟频率	fTimer	fBus	fSys	Hz
外部时钟频率	fTCLK	0	fTimer/4	Hz
外部时钟周期	tTCLK	4	—	tcyc
外部时钟高时间	tclkh	1.5	—	tcyc
外部时钟低时间	tclkl	1.5	—	tcyc
输入捕捉脉冲宽度	tICPW	1.5	—	tcyc

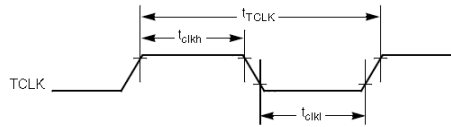


图4-11 定时器外部时钟

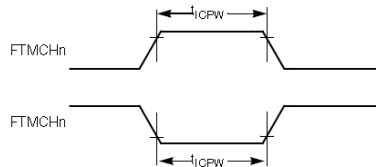


图4-12 定时器输入捕捉脉冲

4.3 能量说明

4.3.1 能量特点

本节提供了一些有关操作温度范围、能量消耗和包能量阻力。I/O 引脚上的能量消耗通常小于芯片上和电压稳压器电路的能量消耗，并且这是用户决定的而不是由 MCU 设计所控制的。为了计算 $P_{I/O}$ 上的能量，决定实际引脚电压和 V_{SS} 或者 V_{DD} 和为每个 I/O 引脚扩大引脚电流。除了高引脚电流情况下，引脚电压和 V_{SS} 或者 V_{DD} 的不同将是非常小的。

表4-6 能量属性

板类型	符号	描述	64LQFP	80LQFP	单位
单层(1S)	$R \theta_{JA}$	能量阻力，连接周围环境	71	57	$^{\circ}C/W$
4层(4S)	$R \theta_{JA}$	能量阻力，连接周围环境	53	44	$^{\circ}C/W$
单层(1S)	$R \theta_{JMA}$	能量阻力，连接周围环境	59	47	$^{\circ}C/W$
4层(2S2P)	$R \theta_{JMA}$	能量阻力，连接周围环境	46	38	$^{\circ}C/W$
—	$R \theta_{JB}$	能量阻力，连接板	35	28	$^{\circ}C/W$
—	$R \theta_{JC}$	能量阻力，连接箱	20	15	$^{\circ}C/W$
-	Ψ_{JT}	能量特性参数，连接包的顶端、外部和中心	5	3	$^{\circ}C/W$

平均芯片结温 (T_J) 可从以下公式得到 ($^{\circ}C$): $T_J = T_A + (P_D \times \theta_{JA})$ ，其中，
 T_A =环境温度， $^{\circ}C$ ； θ_{JA} =封装热阻，环境结温， $^{\circ}C/W$ ； $P_D = P_{int} + P_{I/O}$ ； $P_{int} = I_{DD} \times V_{DD}$ ，
瓦—芯片内部电源； $P_{I/O}$ =输入和输出引脚的功耗-用户决定。

对于大多数应用， $P_{I/O} \ll P_{int}$ ，可以忽略不计。 P_D 和 T_J 之间的近似关系（如果忽略 $P_{I/O}$ ）
为： $P_D = K \div (T_J + 273^{\circ}C)$ 。其中， $K = P_D \times (T_A + 273^{\circ}C) + \theta_{JA} \times (P_D)^2$ ， K 是一个常数有关的特定值，可通过已知的 T_A 测量 P_D （在平衡时）来确定。使用该 K 的值，使用已知的 T_A 值，通过解上述迭代方程获得 P_D 和 T_J 的值。

第5章 外围工作需求和行为

5.1 内核模块

5.1.1 SWD电压

表5-1 SWD电压范围

信号	描述	最小值	最大值	单位
	操作电压	2.7	5.5	V
J1	SWD_CLK操作频率，串行线调试	0	24	MHz
J2	SWD_CLK循环周期	1/J1	—	ns
J3	SWD_CLK时钟脉冲宽度，串行线调试	20	—	ns
J4	SWD_CLK 上升和下降次数	—	3	ns
J9	SWD_DIO 输入数据设置时间使SWD_CLK上升	10	—	ns
J10	SWD_DIO输入数据使SWD_CLK上升后保持时间	3	—	ns
J11	SWD_CLK高于 SWD_DIO数据有效	—	35	ns
J12	SWD_CLK 高于SWD_DIO高阻抗	5	—	ns

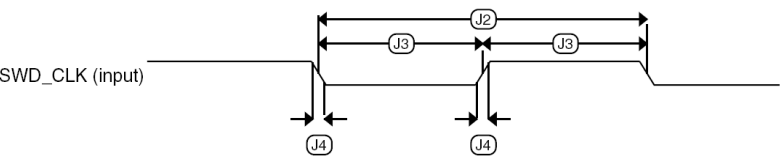


图5-1 串行线时钟输入定时

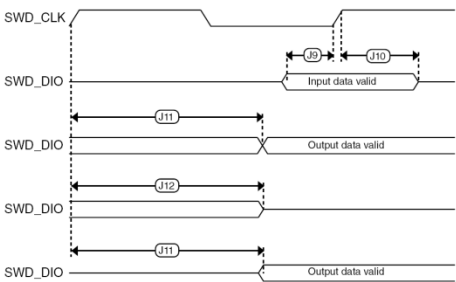


图5-2 串行线数据定时

5.2 外部振荡器（OSC）和ICS特征

表5-2 OSC和ICS规格（温度范围=-40至125° C）

编号	特点	信号	最小	典型	最大	单位
----	----	----	----	----	----	----

1	晶体或谐振频率	低范围 (RANGE = 0)	flo	31.25	32.768	39.0625	kHz
		高范围 (RANGE = 1)	fhi	4	—	24	MHz
2	负载电容		C1, C2	See Note			
3	反馈电阻	低频率, 低功耗模式	RF	—	—	—	MΩ
		低频率, 高增益模式		—	10	—	MΩ
		高频率, 低功耗模式		—	1	—	MΩ
		高频率, 高增益模式		—	1	—	MΩ
4	串联电阻-低频	低功耗模式	RS	—	0	—	kΩ
		高增益模式		—	200	—	kΩ
5	串联电阻-高频	低功耗模式	RS	—	0	—	kΩ
	串联电阻-高频, 高增益模式	4 MHz		—	0	—	kΩ
		8 MHz		—	0	—	kΩ
		16 MHz		—	0	—	kΩ
6	晶振启动时间低范围=32.768 kHz; 高范围=20MHz	低范围, 低功耗模式	tCSTL	—	1000	—	ms
		低范围, 高增益模式	tCSTH	—	800	—	ms
		高范围, 低功耗模式		—	3	—	ms
		高范围, 高增益模式		—	1.5	—	ms
7	内部参考的启动时间		tIRST	—	20	—	μ s
8	内部参考时钟 (IRC) 的频率调整范围		fint_t	31.25	—	39.0625	kHz
9	内部参考时钟频率, 工厂调整	T = 125 °C, VDD = 5 V	fint_ft	—	37.5	—	kHz
10	DCO输出频率范围	FLL参考= fint_t, flo, 或fhi/RDIV	fdco	40	—	50	MHz
11	工厂调整内部振荡器精度	T=125 °C,VDD = 5 V	Δ fint_ft	-0.8	—	0.8	%
12	当T=25° C, VDD= 5V调整时, IRC温度过高。	温度范围为-40° C至125° C	Δ fint_t	-1	—	0.8	%
13	DCO输出频率准确度使用出厂预设值,	温度范围为-40° C至125° C	Δ fdco_ft	-2.3	—	0.8	%
14	FLL采集时间		tAcquire	—	—	2	ms
15	DCO输出时钟的长时间抖动 (平均超过2毫秒的间隔)		CJitter	—		0.2	%fdco

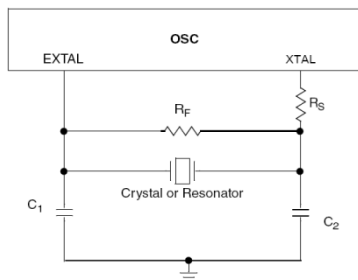


图5-3典型的晶体或谐振器电路

5.3 NVM说明

本节给出 flash 内存的编程/擦除次数和时长。

表5-3 Flash特性

特性	标识	最小值 ^①	标准值 ^②	最大值 ^③	单位 ^④
-40℃-125℃下编程/擦除工作电压	Vprog/erase	2.7	-	5.5	V
读取操作的工作电压	VRead	2.7	-	5.5	V
NVM总线频率	fNVMBUS	1	-	24	MHz
NVM操作频率	fNVMOP	0.8	1	1.05	MHz
擦除并验证所有块	tVFYALL	-	-	2605	tcyc
擦除并验证Flash块	tRD1BLK	-	-	2579	tcyc
擦除并验证Flash段	tRD1SE	-	-	485	tcyc
一次读取	tRDONCE	-	-	464	tcyc
程序内存（2个字）	tPGM2	0.12	0.13	0.31	ms
程序内存（4个字）	tPGM4	0.21	0.21	0.49	ms
一次编程	tPGMONCE	0.20	0.21	0.21	ms
擦除所有块	tERSALL	95.42	100.18	100.30	ms
擦除Flash块	tERSBLK	95.42	100.18	100.30	ms
擦除Flash段	tERSPG	19.10	20.05	20.09	ms
非安全内存	tUNSECU	95.42	100.19	100.31	ms
验证后门访问密钥	tVFYKEY	-	-	482	tcyc
设置用户边界等级	tMLOADU	-	-	415	tcyc
-40℃-125℃下编程/擦除时长	nFLPE	10k	100k	-	Cycles
10000个编程/擦除周期后，数	tD_ret	15	100	-	years

^①最小值基于最大值 fNVMOP 和最大值 fNVMBUS

^②标准值基于标准的 fNVMOP 和最大值 fNVMBUS

^③最大值基于标准的 fNVMOP 和标准的 fNVMBUS 加时效

^④ tcyc=1/fNVMBUS

据在平均温度为85℃下能保持的时长					
-------------------	--	--	--	--	--

除正常 V_{DD} 供应外，编程和擦除操作不需要其他特别的电源。详见参考手册的 Flash 内存模块章节。

5.4 模拟

5.4.1 ADC特性

表5-4 5V12位ADC操作条件

特性	条件	标识	最小值	标准值①	最大值	单位	备注
参考电压	低	VREFL	VSSA	-	VDDA/2	V	-
	高	VREFH	VDDA/2	-	VDDA	V	-
工作电压	绝对	VDDA	2.7	-	5.5	V	-
	VDD	$\Delta VDDA$	-100	0	+100	mV	-
输入电压		VADIN	VREFL	-	VREFH	V	-
输入电容		CADIN	-	4.5	5.5	pF	-
输入电阻		RADIN	-	3	5	k Ω	
模拟电压 电阻	12位模式 fADCK>4 MHz fADCK<4 MHz	RAS	- -	- -	2 5	k Ω	MC U外部
	10位模式 fADCK>4 MHz fADCK<4 MHz		- -	- -	5 10		
	8位模式 (所有有效fADCK)		-	-	10		
ADC转换 时钟频率	高速 (ADLPC=0)	fADCK	0.4	-	8.0	MHz	-
	低功耗 (ADLPC=1)		0.4	-	4.0		

① 除另有说明外，标准值假设 $V_{DDA} = 5.0\text{ V}$ ， $\text{Temp} = 25^\circ\text{ C}$ ， $f_{\text{ADCK}} = 1.0\text{ MHz}$ 。标准值仅供参考，不作为生产中的测试值。

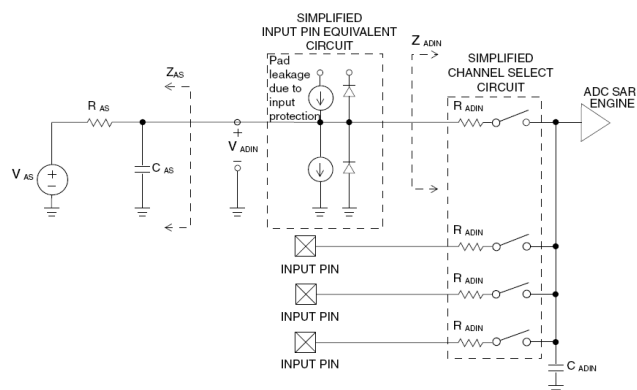


图5-4 ADC输入阻抗相等关系图

表5-5 12位ADC特性（VREFH = VDDA，VREFL = VSSA）

特性	条件	标识	最小值	标准值 ^①	最大值	单位
工作电流 ADLPC = 1 ADLSMP = 1 ADCO = 1		I _{DDA}	-	133	-	μ A
工作电流 ADLPC = 1 ADLSMP = 0 ADCO = 1		I _{DDA}	-	218	-	μ A
工作电流 ADLPC = 0 ADLSMP = 1 ADCO = 1		I _{DDA}	-	327	-	μ A
工作电流 ADLPC = 0 ADLSMP = 0 ADCO = 1		I _{DDA}	-	582	990	μ A
工作电流	停止，重置，模块关闭	I _{DDA}	-	0.011	1	μ A
ADC异步时钟源	高速（ADLPC = 0）	f _{ADACK}	2	3.3	5	MHz
	低功耗（ADLPC = 1）		1.25	2	3.3	
转换时间（包括采样时间）	短采样（ADLSMP = 0）	t _{ADC}	-	20	-	ADCK 周期
	长采样（ADLSMP = 1）		-	40	-	
采样时间	短采样（ADLSMP = 0）	t _{ADS}	-	3.5	-	ADCK 周期
	长采样（ADLSMP = 1）		-	23.5	-	

① 除另有说明外，标准值假设 V_{DDA} = 5.0 V，Temp = 25° C，f_{ADCK} = 1.0 MHz。标准值仅供参考，不作为生产中的测试值。

未调整错误总数 ^①	12位模式	E _{TUE}	-	±5.0	-	LSB ^②
	10位模式		-	±1.5	-	
	8位模式		-	±0.8	-	
差分非线性	12位模式	DNL	-	±1.5	-	LSB
	10位模式		-	±0.4	-	
	8位模式		-	±0.15	-	
积分非线性	12位模式	DNL	-	±1.5	-	LSB
	10位模式		-	±0.4	-	
	8位模式		-	±0.15	-	
0-规模错误 ^③	12位模式	E _{ZS}	-	±1.0	-	LSB
	10位模式		-	±0.2	-	
	8位模式		-	±0.35	-	
全-规模错误 ^④	12位模式	E _{FS}	-	±2.5	-	LSB
	10位模式		-	±0.3	-	
	8位模式		-	±0.25	-	
量化错误	≤12位模式	E _Q	-	-	±0.5	LSB
输入漏错误 ^⑤	所有模式	E _{IL}	I _{in} x R _{AS}			mV
温度传感器范围	-40 ℃-25 ℃	m	-	3.266	-	mV/℃
	25 ℃-125 ℃		-	3.638	-	
温度传感器电压	25 ℃	V _{TEMP} 25	-	1.396	-	V

5.4.2 模拟比较器

表5-6 比较器电气规范

特性	标识	最小值	标准值	最大值	单位
工作电压	VDDA	2.7	-	5.5	V
工作电流（操作模式）	IDDA	-	10	20	μA
模拟输入电压	VAIN	VSS - 0.3	-	VDDA	V
模拟输入偏置电压	VAIO	-	-	40	mV
模拟比较器迟滞（HYST=0）	VH	-	15	20	mV
模拟比较器迟滞（HYST=1）	VH	-	20	30	mV
工作电流（关闭模式）	IDDAOFF	-	60	-	nA
传播延迟	tD	-	0.4	1	μs

①包括量化

② $1 \text{ LSB} = (V_{\text{REFH}} - V_{\text{REFL}})/2^N$

③ $V_{\text{ADIN}} = V_{\text{SSA}}$

④ $V_{\text{ADIN}} = V_{\text{DDA}}$

⑤ I_{in}=漏电流（参考 DC 特性来说）

5.5 通信接口

5.5.1 SPI开关说明

串行外设接口（SPI）提供了带有主从操作模式的同步串行总线。许多转移参数是可编程的。表给出基本 SPI 时序模式的特性。参看芯片参看手册 SPI 章节可获得用于和更低串行设备通信的可调整的转移格式。除非另有说明，所有关于 20% V_{DD} 和 80% V_{DD} 的时序均被显示，同时在所有 SPI 引脚上增加 25pF 负荷。所有时序假设转换速率控制被禁用，并且 SPI 输出引脚的高驱动力使能。

表5-6 SPI主机模式时序

序号	标识	描述	最小值	最大值	单位	备注
1	fop	操作频率	fBus/2048	fBus/2	Hz	fBus是总线时钟
2	tSPSCK	SPSCK周期	2 x tBus	2048 x tBus	ns	tBus = 1/fBus
3	tLead	使能提前时间	1/2	-	tSPSCK	-
4	tLag	使能滞后时间	1/2	-	tSPSCK	-
5	tWSPSCK	时钟高低时间	tBus - 30	1024 x tBus	ns	-
6	tSU	数据准备时间（输入）	8	-	ns	-
7	tHI	数据持续时间（输入）	8	-	ns	-
8	tv	数据有效（SPSCK边沿后）	-	25	ns	-
9	tHO	数据保持时间（输出）	20	-	ns	-
10	tRI	上升时间输入	-	tBus - 25	ns	-
	tFI	下降时间输入				
11	tRO	上升时间输出	-	25	ns	-
	tFO	下降时间输出				

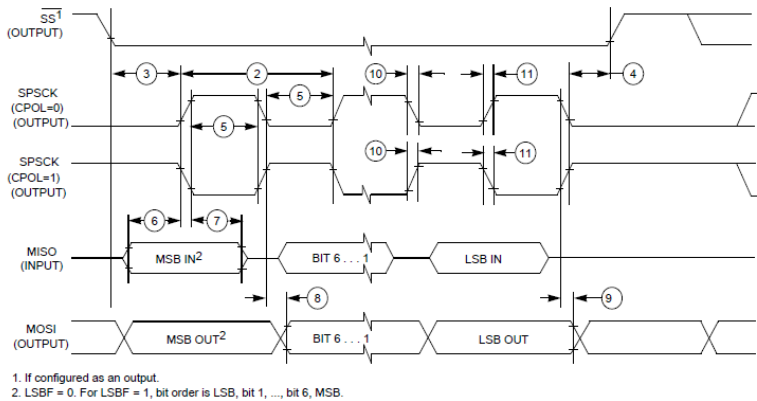


图5-5 SPI主机模式时序（CPHA=0）

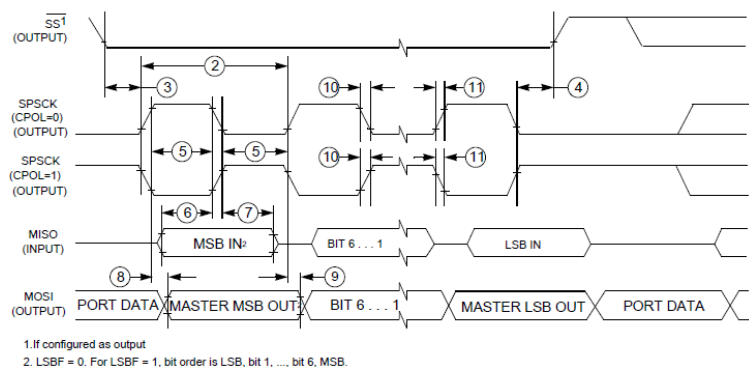


图5-6 SPI主机模式时序（CPHA=1）

表5-7 SPI从机模式时序

序号	标识	描述	最小值	最大值	单位	备注
1	fop	操作频率	0	fBus/4	Hz	fBus是总线时钟
2	tSPSCCK	SPSCCK周期	4 x tBus	-	ns	tBus = 1/fBus
3	tLead	使能提前时间	1	-	tBus	-
4	tLag	使能滞后时间	1	-	tBus	-
5	tWSPS CK	时钟高低时间	tBus - 30	-	ns	-
6	tSU	数据准备时间（输入）	15	-	ns	-
7	tHI	数据持续时间（输入）	25	-	ns	-
8	ta	数据访问时间	-	tBus	ns	自高阻态时间数据活跃
9	tdis	从机MISO除能时间	-	tBus	ns	保持时间高阻态
10	tv	数据有效（SPSCCK边沿后）	-	25	ns	-
11	tHO	数据保持时间（输出）	0	-	ns	-
12	tRI	上升时间输入	-	tBus - 25	ns	-
	tFI	下降时间输入				
13	tRO	上升时间输出	-	25	ns	-
	tFO	下降时间输出				

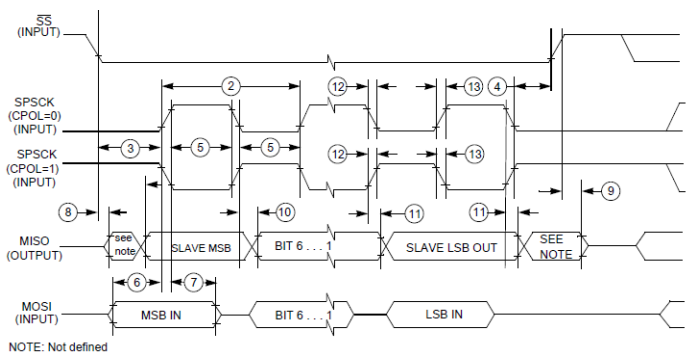


图5-7 SPI从机模式时序（CPHA=0）

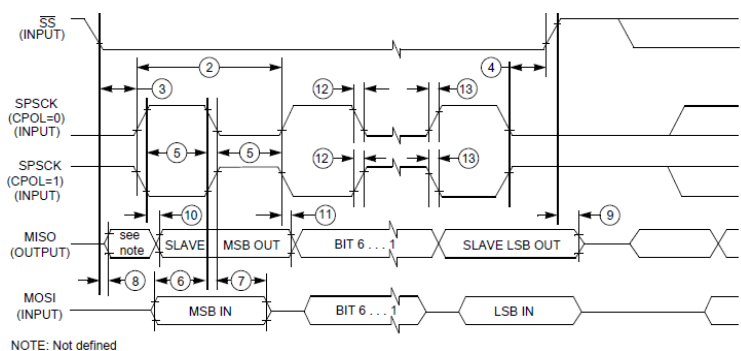


图5-8 SPI从机模式时序（CPHA=1）

5.5.2 MSCAN

表5-8 MSCAN唤醒脉冲特性

参数	标识	最小值	标准值	最大值	单位
MSCAN唤醒主导脉冲过滤	tWUP	-	-	1.5	μs
MSCAN唤醒主导脉冲通过	tWUP	5	-	-	μs

第6章 封装

6.1 封装大小

可以登陆 freescale.com 通过关键字查找文档编号获得对应的封装图。

封装类型	文档编号
64-pin LQFP	98ASS23234W
80-pin LQFP	98ASS23237W

第7章 引脚分配

7.1 信号复用和引脚分配

详见 KEA128 参考手册信号复用和信号描述章节。

第8章 历史版本

表 8-1 给出各历史版本。

表8-1 历史版本

版本号	日期	实质性改变
Rev. 1	2014-3-11	初始版本
Rev. 2	2014-6-18	去掉参数分类章节 所有表格中的分类栏都去掉 新增章节——工作电流特性
Rev. 3	2014-7-18	增加支持部分数字 更新ESD处理评级章节 更新DC特性章节的图 更新表9的参数
Rev. 4	2014-9-03	数据表类型改为“技术数据”