

# 基于网口传输的 LED 同步屏控制系统及其 FPGA 实现

刘丽莎<sup>1</sup>, 朱桦<sup>2</sup>, 韩秀清<sup>1</sup>

(1.深圳职业技术学院 广东 深圳 518055; 2.深圳市流明电子有限公司 广东 深圳 518052)

**摘要:**介绍一种以 FPGA 为核心,基于网口传输的全彩高灰度同步 LED 显示屏控制系统的设计方法。该设计改变传统设计中低效高成本的信号采集和传送方式,改用实时采集 DVI 接口显示信号、通过网口传输数据,采用高集成度 FPGA 和大容量 SDRAM,采用信号包复用技术同步传送显示数据和控制数据及高效率的灰度切片算法等新技术,具有成本低、显示面积大、显示稳定、刷新率高等特点。

**关键词:** DVI; FPGA; 千兆网口; 同步 LED 显示屏控制系统; 同步动态随机存储器; 灰度切片算法

中图分类号: TN27, TP332.1

文献标识码: A

文章编号: 1674-6236(2010)02-0063-04

## Implementation of LED synchronous display control system and its FPGA based on Ethernet port transmission

LIU Li-sha<sup>1</sup>, ZHU Hua<sup>2</sup>, HAN Xiu-qing<sup>1</sup>

(1.Shenzhen Polytechnic, Shenzhen 518055, China; 2. Shenzhen Lumen Electronics CO., LTD., Shenzhen 518052, China)

**Abstract:** The paper presents a design method which is based on Ethernet port transmission of high gray-scale full-color LED display control system of synchronous with FPGA-core. The design changes the traditional inefficient and high-cost design in signal acquisition and transmission with using a real-time acquisition of DVI display signals and transferring data through the Ethernet port. The design uses a highly integrated FPGA and high-capacity SDRAM, multiplexing of signal package to transfer display data and control data, and efficient algorithm for gray-scale slice as well. It has the features of low cost, large display area, stable display, and high refresh rate.

**Key words:** DVI; FPGA; trillion Ethernet port; synchronous LED display control system; SDRAM; gray-scale slice algorithm

LED 全彩同步控制系统具有高性能实时显示、节能、环保等优点,成为现代信息发布的重要媒体。本设计改变传统设计中采集显卡 VESA 信号接口、使用并行多根总线传送数据的方式,改用采集 DVI 接口、通过网口传输数据,既节省成本也提高了传输效率和传输质量。另外,该设计还采用一系列新技术,例如使用高集成度 FPGA 作为主控制模块、使用大容量 SDRAM 代替高成本的等容量 SRAM、采用信号包复用技术同步传送显示数据和控制数据、采用高效率的灰度切片算法等等。LED 同步屏控制系统具有成本低、显示面积大、显示稳定、刷新率高等特点,是目前市面上非常具有竞争力的显示控制方案。

## 1 系统原理和结构

系统整体架构如图 1 所示,主要由两部分组成:采样发送板(STR)和现场控制板(FRC)。通过大规模逻辑及其他组件,实时同步采集计算机输出的显示数据,通过高速缓存、格式转换后,由大容量传输通道传送到 LED 显示屏现场,最终转换成 LED 扫描控制信号,在 LED 显示屏上实现高清晰的

视频、图片、文本等节目内容的显示。

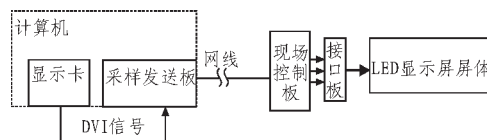


图 1 系统示意图

### 1.1 显示信号采集

本设计从电脑的 DVI 接口采集高清晰显示数据信号。DVI 主要基于转换最小差分信号 TMDS(Transition Minimized Differential Signaling)技术来传输数字信号。TMDS 运用编码算法把 8 bit(24 位色 RGB 数据,每色各 8 bit)通过最小转换编码转换为 10 bit 数据(包含行场同步信息、时钟信息、数据 DE、纠错等),并在 DC 平衡后,采用差分信号传输数据。它比 LVDS、TTL 具有更好的电磁兼容性能,可用低成本专用电缆实现长距离、高质量数字信号传输。本系统采用专用 TFP401A 芯片,将计算机显卡 DVI 接口输出的 TMDS 信号转换成 TTL 电平的 RGB 三色分离的数据信号<sup>[1-2]</sup>。

### 1.2 显示数据格式转换

DVI 接口高速输入的显示信号是串行含灰度的数据,以

收稿日期:2009-09-22 稿件编号:200909075

基金项目:深圳市科技局科技计划项目(2107K152G0)

作者简介:刘丽莎(1979—),女,湖南湘潭人,硕士,讲师。研究方向:计算机控制技术,LED 大屏幕控制系统,数字逻辑系统设计。

24 位色数据为例,每个颜色的权值数据为 8 位,即灰度等级为 256 级 ( $2^8$ )<sup>[3]</sup>。LED 显示屏上的灰度实现,是通过控制每一个 LED 的点亮时间即占空比来实现的,为了更高效的实现不同的灰度,该设计采用全屏幕每个权值独立显示的方式,即控制整个屏幕分别显示 1~8 个权值的亮度。

整个数据格式转换过程由采集发送板和现场控制板上的 2 片 FPGA 以及数据缓存的 SDRAM 来实现。通过权值分离-缓存-分区提取-数据重整等一系列过程,最终得到 LED 显示屏的扫描数据。

### 1.3 显示数据传送

DVI 接口送过来的同步视频信号数据量巨大。为了将大面积、高分辨率、高灰度的视频显示数据可靠的从电脑输出到显示屏体,需要采用可靠的传输媒介。另一方面,从计算机到 LED 显示屏距离一般为几十米到上百米。能传输的距离越长,从控制机房到显示屏的距离限制越小,工程施工越灵活。

设计中的接口芯片采用 RTL8208B 实现。RTL8208B 是 Realtek 公司生产的一款 8 口 10 M/100 M 以太网收发芯片。本设计中,采集发送板 STR 只需使用发送通道,现场控制板 FRC 同样只需要接收通道。每根以太网网线含 4 对双绞线,在百兆以太网中只使用到其中的 2 对,本设计中利用千兆以太网技术,使用全部 4 对双绞线来作为传送通道,这样每根网线可传输 400 Mb/s 的数据量,2 根网线(8 路通道)可传输 800 Mb/s 的数据量。表 1 为网口传输数据量分析情况。其中,数据量=分辨率×场频×256 级灰度数据宽度。

表 1 网口传输数据量分析

色彩值	分辨率	数据量(场频 60 Hz)	数据量(场频 30 Hz)
全彩 RGB	1 024×512	755 Mb/s	377 Mb/s
双色 RG	1 024×768	755 Mb/s	377 Mb/s

从表 1 可以得到,单根网线可传输 1 024×512 全彩或者 1 024×768 双色场频 30 Hz 的数据;两根网线传输 1 024×512 全彩或 1 024×768 双色场频 60 Hz 的数据。

### 1.4 LED 显示屏灰度扫描实现

LED 显示屏由多个显示模组组合而成,显示接口一般由以下几个信号组成:串行数据信号;多组红、绿、蓝信号;串行时钟信号;CLK;串行锁存信号;LATCH;输出使能信号;OE;行编码信号(静态模组时无行信号);一般最多 16 行扫描,行扫描信号在显示屏模组上由译码器(74HC138 等)译码得到。

LED 显示屏为实现大面积显示,屏幕面积一般非常巨大,而显示屏的控制数据一般都是串行传送,控制线都非常长且容易收到干扰,在大面积情况下可以保证稳定传输的信号频率有限。如果增加系统的控制面积,一般方法有:1)提高显示屏控制信号的时钟频率。但这种提高是有限的<sup>[4]</sup>;2)降低刷新频率。刷新频率降低必将影响显示稳定度,效果很差;3)多个控制器同时处理。增加扫描控制器必然增加成本。

本设计采用灰度切片的方式来实现高灰度、大面积、高刷新频率显示;按 256 级灰度(8 位)计算,8 位权值数据由高到低依次为 D7(128 权值),D6(64 权值)……D0(1 权值)。设

置合适的输出显示屏的串行时钟,提高并行输出的 RGB 数据信号组,即可提高显示屏面积并满足实际高清显示效果。本设计中,实际控制面积为 1 024×768 像素点。实际测试可以发现,采用灰度切片方式后,显示屏亮度损失极小,可以实现非常稳定的视频显示。

## 2 系统设计

### 2.1 采样发送板功能分解

图 2 为采样发送板 STR 总体架构图和 FPGA 功能模块图。

#### 2.1.1 DVI 接口

TFP401A 转换后向 FPGA 输入以下信号为 QE/QO 为每组信号送出红绿蓝各 8 bit 数据。本设计使用 TFP401A 单链路 TMDs 方式;ODCK 为数据时钟;DE 为数据使能;VSYNC/HSYNC 为场同步信号/行同步信号。

#### 2.1.2 STR 核心控制 FPGA 设计

采集发送板的核心为高速逻辑器件 FPGA,FPGA 各功能框图如图 2 所示。FPGA 通过实时采集数据并利用 SDRAM 缓存实现采样、缓存、格式转换等一系列高速同步数据处理。同时,FPGA 通过采样发送板上的 CPU 接收计算机的控制指令来适应不同的显示屏和不同的应用环境。

FPGA 各功能模块说明如下:

1)采集模块 ①伽马校正:对于不同的节目源、不同的显示屏体,需要经过不同数值的伽马校正来获得更符合人眼视觉的显示效果,得到更清晰的图像。本设计提供伽马校正接口,通过采样发送板上的 MCU,可根据最终显示效果设置不同的伽马校正值。在采集数据输入后,即转换成经过校正的显示数据。②权值分离和数据重组:对输入串行数据进行权值分离处理,并根据 CPU 设置的显示屏扫描模式进行初步数据重组。

2)SDRAM 控制和仲裁器 系统需要实时处理每一帧显示数据,通过大容量的外部存储器作为缓存器,同步处理输入帧接收和输出帧提取。

在以往的设计中,一般采用 2 片 SRAM(静态存储器)将 2 帧信号独立存储,大容量的 SRAM 成本高昂。本设计中,采用单片 SDRAM 设计<sup>[5]</sup>。相同容量的 SDRAM 比 SRAM 价格低得多,而采用单片 SDRAM,整个系统的成本将进一步下降;同时与 FPGA 接口减少,对 FPGA 的 I/O 口需求减少,优化器件选择。

两帧显示信号分时读写,当前正在缓存的帧数据和当前正在读取的上一帧数据在 SDRAM 里用不同的页面来分别进行存储。由于单片 SDRAM 控制和数据总线只有一组,所以需要 SDRAM 控制仲裁器模块来实现无缝分时总线切换控制。

采集模块和输出模块分别将数据流切片,转成小数据块,数据流切片后,各模块每次占用总线的时间减短。经过精确计算每个模块占用总线的时间、2 次占用总线要求的最长间隔,设计合适大小的数据流切片大小;2 个模块即可实现无缝分时占用 SDRAM 总线。

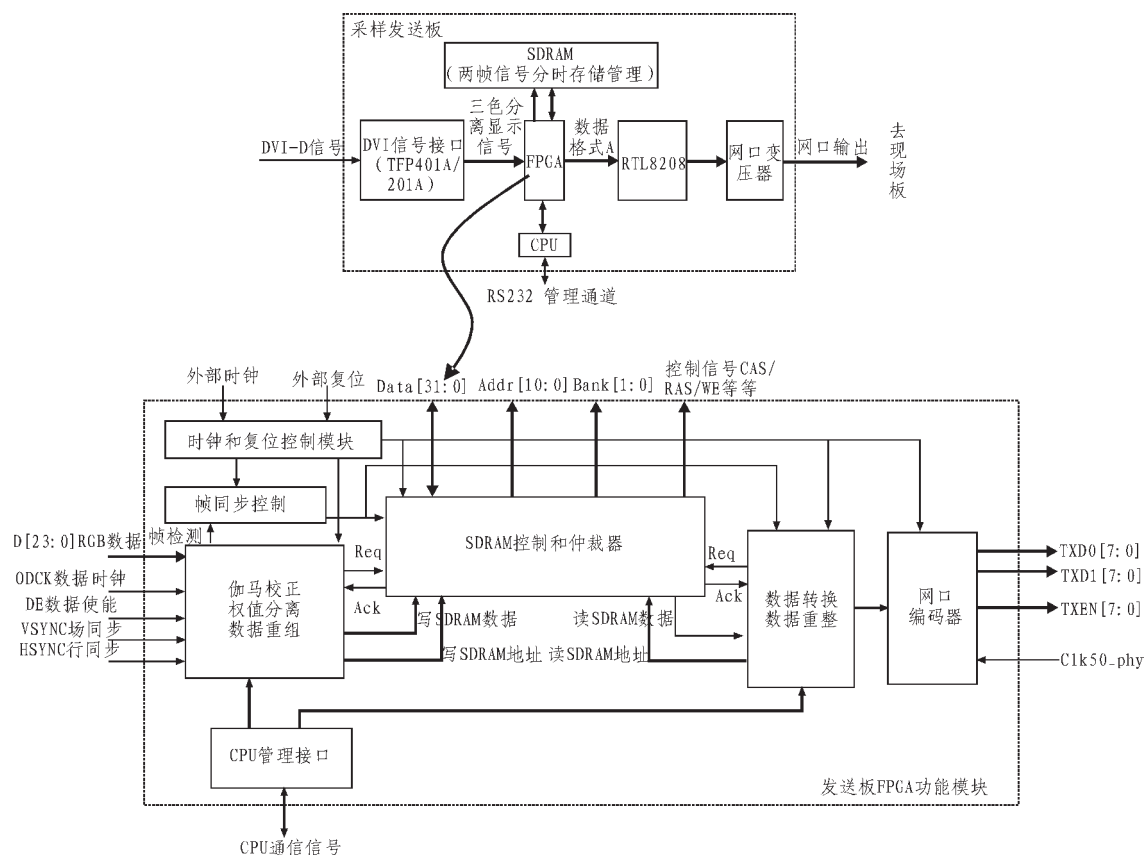


图2 采样发送板 STR 总体架构图和 FPGA 功能模块图

3)网口编码输出 输出控制模块按照显示屏的扫描模式分区采集缓冲 SDRAM 中的数据,并转换重整成新的网口串行传输格式。除了显示数据需要通过网口传输外,为实现远程设置现场控制板,还需要将控制参数通过网口传输。网口编码前将显示数据包和控制信号包,经过分时复用,经网口编码器编码后送至 RTL8208B 传送。

4)帧同步控制 数据在采样发送板需要同步处理两帧信号,为了稳定地将输出网口的帧信号与输入的 DVI 帧信号同步,帧同步模块通过同步指令,将两个时钟域的帧信号锁定在一起,以实现帧信号同步控制,避免出现显示画面断裂的情况。

## 2.2 现场控制板功能分解

图3为现场控制板 FRC 总体架构图和 FPGA 功能模块框图。

### 2.2.1 FRC 核心控制 FPGA 设计

现场扫描板的核心控制部分也为 1 片 FPGA,FPGA 通过实时接收网口数据并利用 SDRAM 缓存后,经过转换,由输出模块实现灰度显示,产生显示屏的控制信号。各功能模块说明如下:

1)网口解码器和数据对齐、重整 现场扫描板的 RTL8208B 接收到网口送来的数据信号后送到 FPGA 的网口解码器模块。该模块由状态机实现:当依次检测到 DV 信号、H 信号、SSD 信号后,解码器开始定位并提取帧头信号,根据帧头码中的数据类型判断是控制帧还是数据帧,并分别进行提取。

2)SDRAM 控制和仲裁器 同采集发送板类似,现场控制板的 FPGA 也需要需要实时处理每一帧显示数据,通过大容量的外部存储器 SDRAM 作为缓存器,同步处理输入帧接收和输出帧提取。SDRAM 控制仲裁器模块实现无缝分时控制。

3)灰度实现和扫描转换 本模块按照 1.1 节的描述,提取 SDRAM 中的各灰度数据,转换成显示屏的控制信号数据。根据采集发送板送来的控制帧中的扫描参数,调整扫描输出的数据顺序和控制信号格式,以方便实现对不同类型的 LED 显示屏模块组的灵活控制。LED 灰度扫描输出扫描仿真信号如图 4 所示。

图 4 为输出原始信号图,输出信号再经过增加消影(行切换前关断屏体,防止出现串行的暗影信号叫消影)、行调整、多显示区穿插(控制更大面积)等处理后,经锁存驱动后送到与显示屏接口匹配的接口板,控制整个 LED 显示屏屏体的显示。

### 2.2.2 输出驱动

输出驱动将 FPGA 输出的扫描信号锁存驱动后送到输出接口,外部再通过转接板驱动后送至 LED 显示屏。

## 3 结论

大规模逻辑具有处理速度快、容量大等特点,随着技术的不断更新,向着更高容量、更低单位成本的方向快速发展。在通信等实时系统等领域,系统设计中充分利用 FPGA 的特

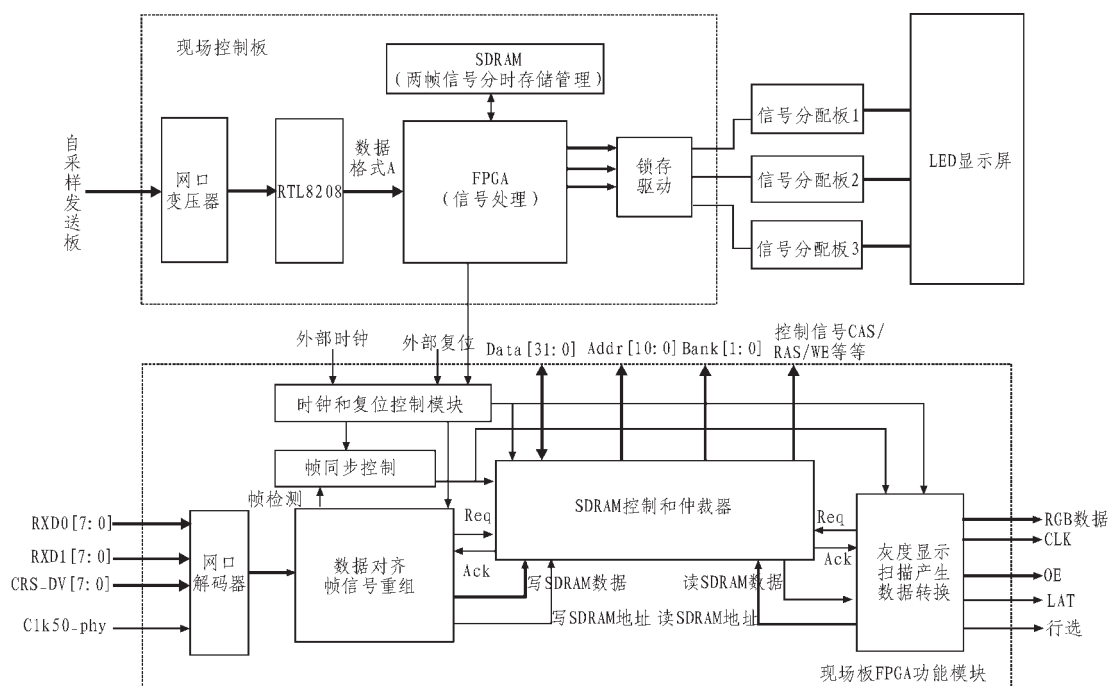


图3 现场控制板FRC总体架构图和FPGA功能模块框图

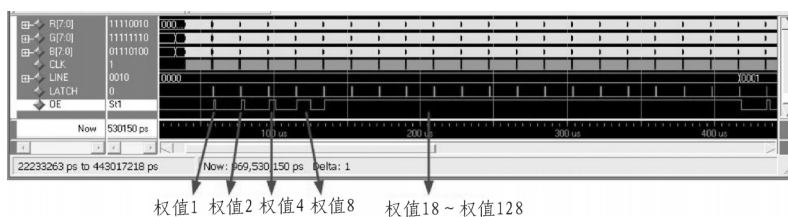


图4 LED灰度扫描输出信号仿真图

点,使用FPGA作为核心控制模块,集成网络控制、大容量存储芯片控制、通信接口、外围器件接口、信号采集接口等多个控制功能,能够简化系统架构、降低整个控制系统以及外围成本;而精简的系统架构,避免多个控制器件匹配而造成的系统失效率高、易相互干扰等缺陷。

系统设计中,充分考虑了技术的成熟性和整个系统工程的造价,本设计利用成熟的百兆网口芯片,灵活融入千兆网技术,令工程成本大为降低,而系统稳定性大幅提高。本控制系统在实际测试和应用中,无论是户内还是户外显示屏,显示稳定性和刷新频率等参数均非常优秀,而且通过技术手段,大大增加了单系统控制的面积,降低了成本。通过与之配套开发的软件同时使用,具有非常强的市场竞争力。

#### 参考文献:

- [1] Digital Display Working Group.DVI specification;Revision1.0[Z].1999.
- [2] 康志英,冉峰,许美华.LED显示屏高灰度扫描控制的FPGA实现[J].微计算机信息,2006,22(07-2):198-199.
- [3] 王飞,靳桅,邬芝权.LED大屏幕输出电路的优化设计[J].液晶与显示,2008,23(1):102-105.
- [4] 张公礼,任健钱.LED显示屏256级灰度控制芯片的FPGA设计[J].电视技术,2008,32(8):36-37.
- [5] Realtek Semiconductor Corp.RTL8208B single-chip octal 10/100Mbps fast Ethernet transceiver datasheet [EB/OL].2004.  
[http://realtek.info/pdf/RTL8208B\(F\)\\_1-3.pdf](http://realtek.info/pdf/RTL8208B(F)_1-3.pdf)

欢迎订阅 2010 年度《电子设计工程》(月刊)

国内邮发代号:52-142

国际发行代号:M2996

订价:6.00 元/期 72.00 元/年

联系电话:029-84350396

传真:029-84350396