

**Livro Organização e projeto de computadores: a interface hardware/software. 4 Edição.**

PATTERSON, David A.; HENNESSY, John L. Organização e Projeto de Computadores: A Interface Hardware/Software. 4 ed. Rio de Janeiro: Elsevier, 2014.

## **Capítulo 4: O Processador**

### **Exercício 4.12**

Neste exercício, examinamos como o pipelining afeta o tempo do ciclo de clock do processador. Os problemas neste exercício consideram que os estágios individuais do caminho de dados têm as seguintes latências:

	<b>IF</b>	<b>ID</b>	<b>EX</b>	<b>MEM</b>	<b>WB</b>
<b>a.</b>	250ps	350ps	150ps	300ps	200ps
<b>b.</b>	200ps	170ps	220ps	210ps	150ps

4.12.1 [5] <4.5> Qual é o tempo do ciclo de clock em um processador com e sem pipeline?

a) sem pipeline: 1250ps  
com pipeline: 350ps

b) sem pipeline: 950ps  
com pipeline: 220ps

4.12.2 [10] <4.5> Qual é a latência total de uma instrução LW em um processador com e sem pipeline?

a) sem pipeline: 1250ps  
com pipeline: 1750ps

b) sem pipeline: 950ps  
com pipeline: 1100ps

Os problemas restantes neste exercício consideram que as instruções executadas pelo processador são desmembradas da seguinte forma:

	<b>ALU</b>	<b>BEQ</b>	<b>LW</b>	<b>SW</b>
<b>a.</b>	45%	20%	20%	15%
<b>b.</b>	55%	15%	15%	15%

4.12.4 [10] <4.5> Supondo que não haja stalls ou hazards, qual é a utilização da memória de dados?

a) 35%

b) 30%

4.12.5 [10] <4.5> Supondo que não haja stalls ou hazards, qual é a utilização da porta de escrita de registrador da unidade “Registradores”?

a) 65%

b) 70%

### Exercício 4.13

Neste exercício, examinamos como as dependências de dados afetam a execução no pipeline básico de cinco estágios descrito na Seção 4.5. Os problemas neste exercício referem-se a esta sequência de instruções:

	Sequência de instruções
<b>a.</b>	SW R16, -100(R6) LW R4, 8(R16) ADD R5, R4, R4
<b>b.</b>	OR R1, R2, R3 OR R2, R1, R4 OR R1, R1, R2

4.13.1 [10] <4.5> Indique as dependências e seu tipo.

**a)** Dependência de dados nas linhas 2 e 3, no R4;

**b)** Dependência de dados nas linhas 1, 2 e 3, no R1.  
Dependência de dados nas linhas 2 e 3, no R2.

4.13.2 [10] <4.5> Suponha que não haja forwarding nesse processador em pipeline. Indique hazards e acrescente instruções NOP para eliminá-los.

**a)** SW R16, -100(R6)  
LW R4, 8(R16)  
NOP  
NOP  
ADD R5, R4, R4

**b)** OR R1, R2, R3  
NOP  
NOP  
OR R2, R1, R4  
NOP  
NOP  
OR R1, R1, R2

4.13.3 [10] <4.5> Suponha que haja forwarding completo. Indique os hazards e acrescente

instruções NOP para eliminá-los.

**a)** SW R16, -100(R6)

LW R4, 8(R16)

NOP

ADD R5, R4, R4

**b)** OR *R1*, R2, R3

OR R2, *R1*, R4

OR R1, *R1*, R2