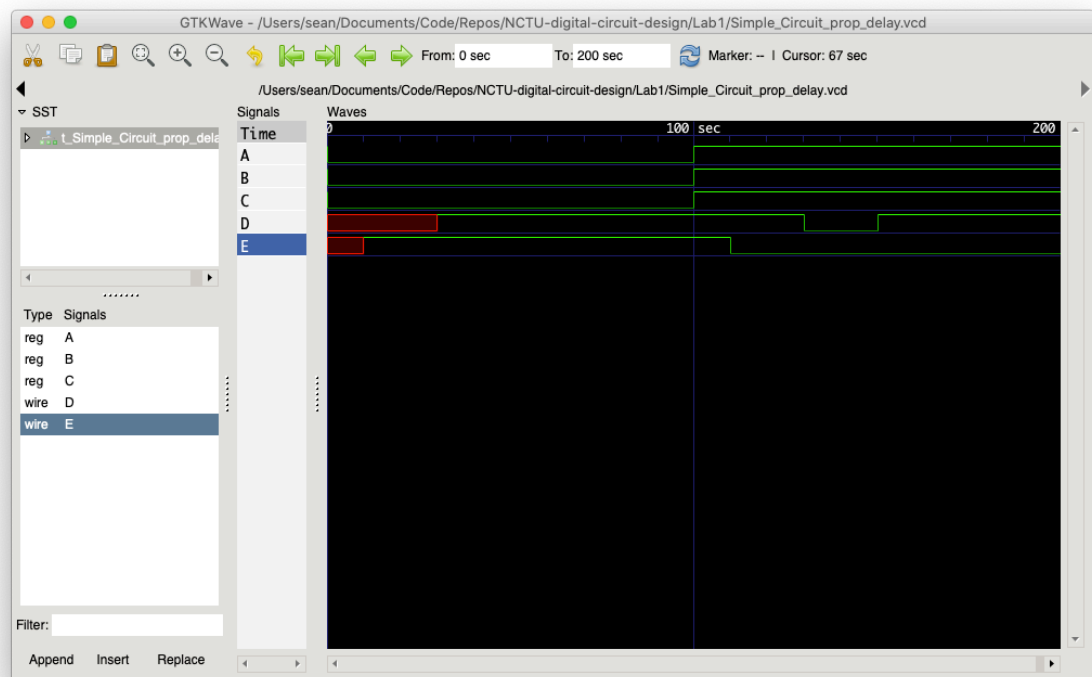
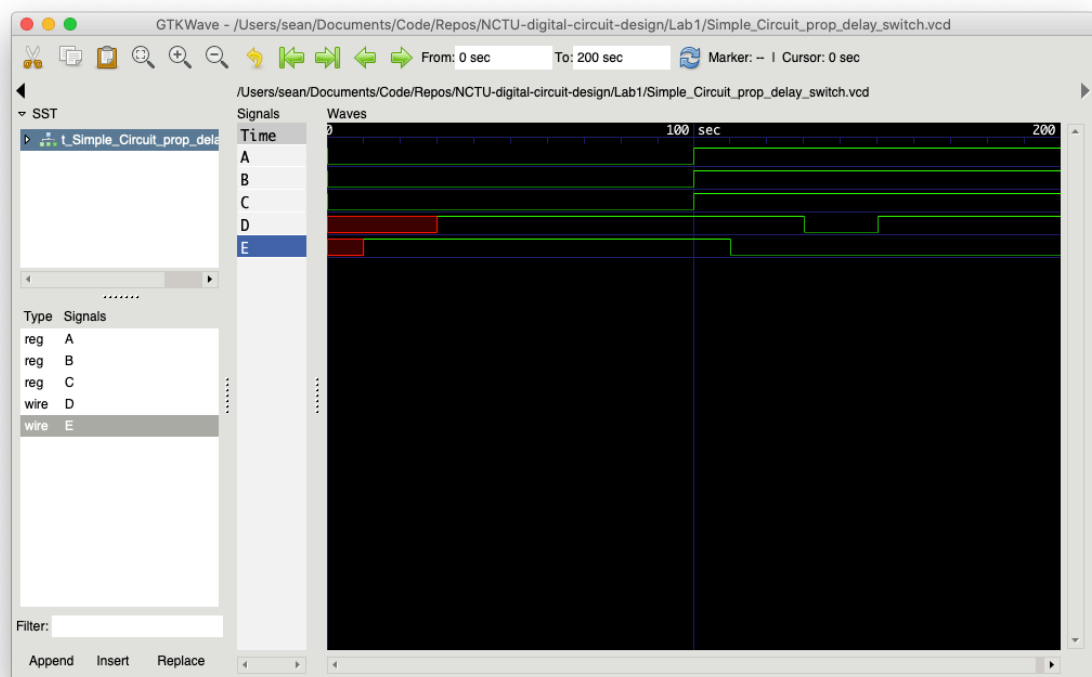


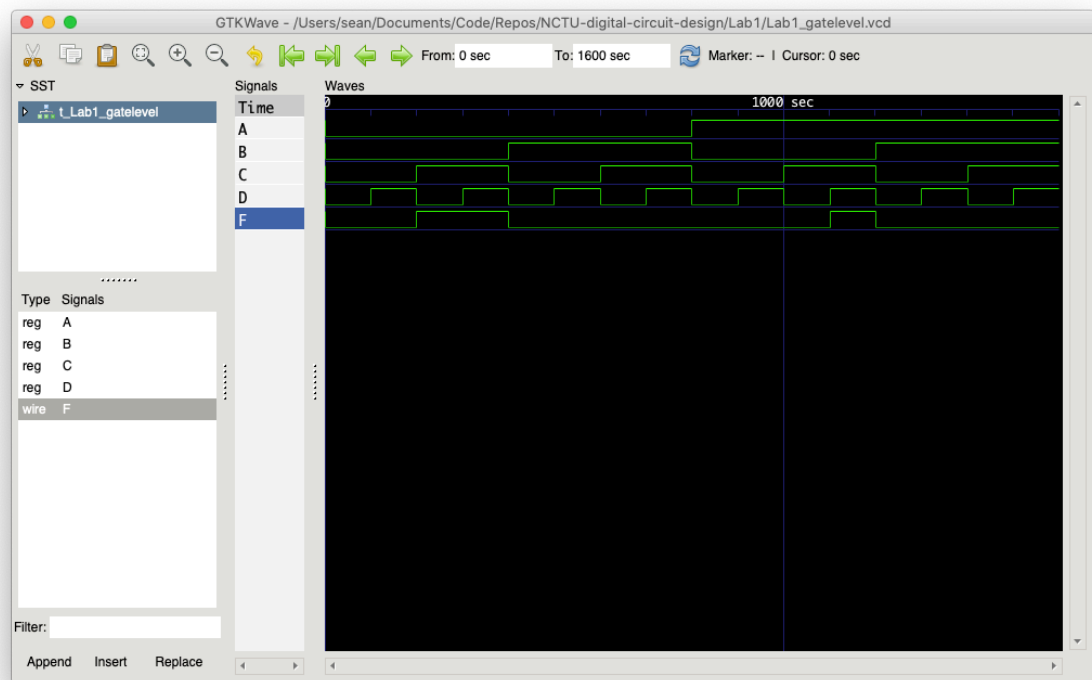
- (1) 相較於 Chap 3 簡報中的 Simple_Circuit，各個 gate 的 delay 反映在波形圖上，故 前段有紅色 unknown state 的出現，變換訊號時也會有一段非預期結果



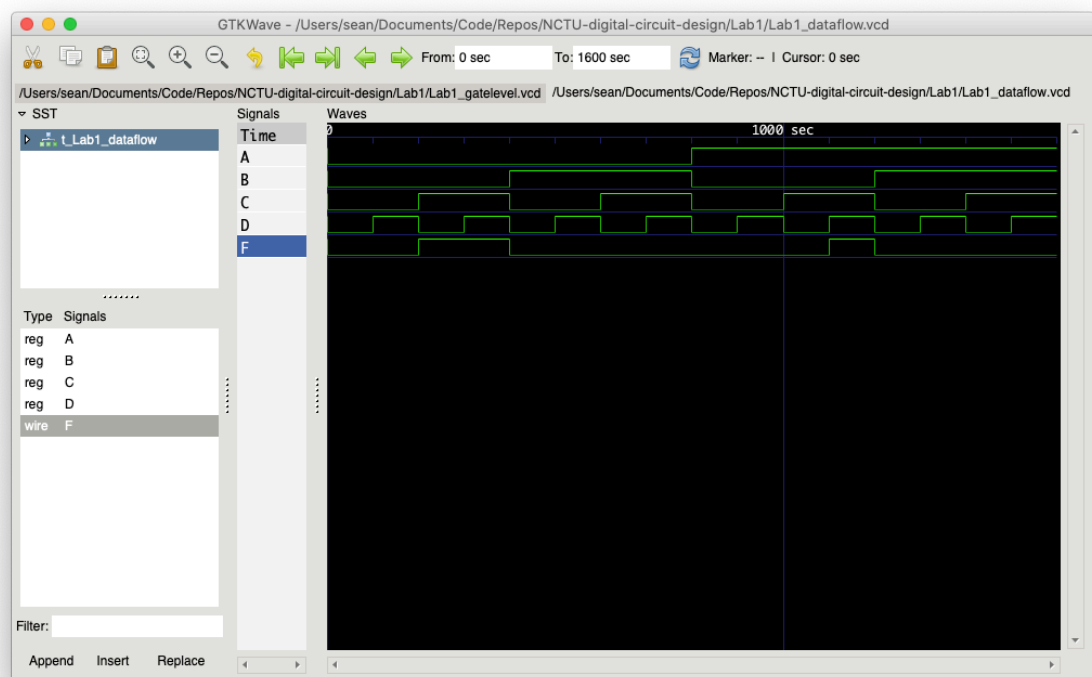
- (2) 與 2A (a) 完全相同。雖然描述順序不同，但連出來的電路長得完全相同，所以產生的 波形圖理當相同



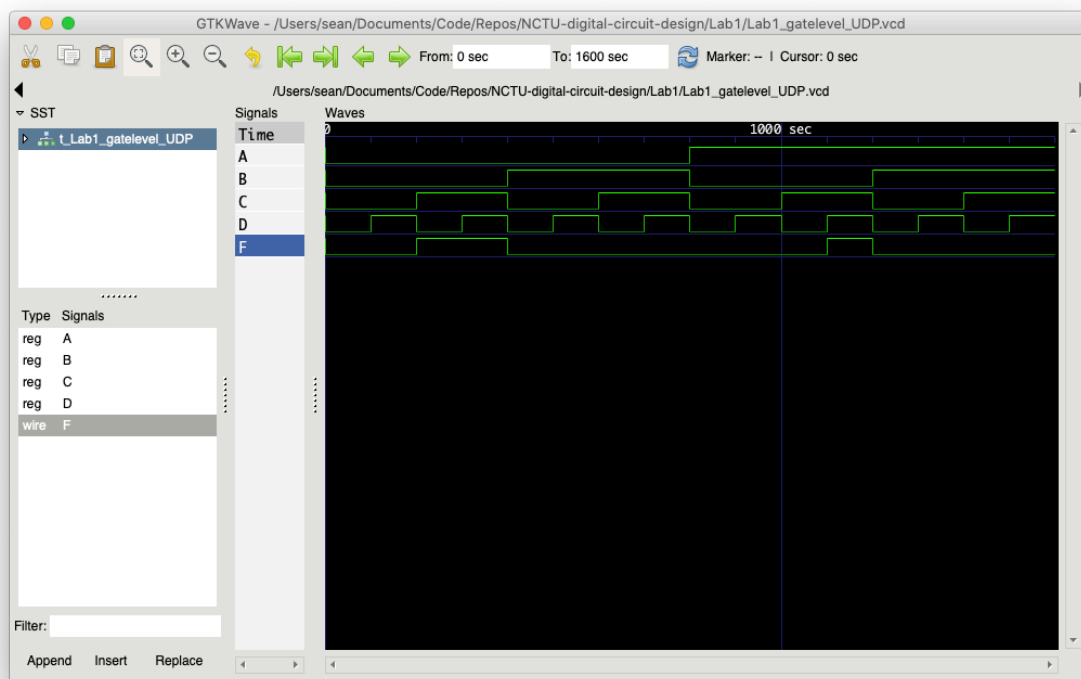
(3) 依照 gate-level 建模的模擬結果如下，與人工計算結果相符



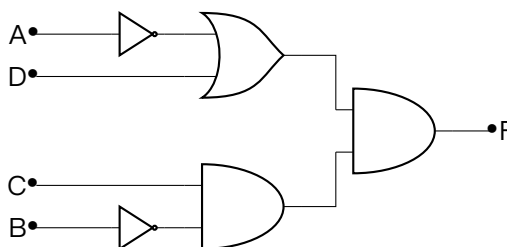
(4) 依照 dataflow 建模的模擬結果如下，與 gate-level modeling 波形圖相符



(5) 將指定區塊改為 UDP 方式實作，波形圖與 (3)、(4) 相同



(6) 圖 1 的 GIC 為 15，並非此電路最小實作。依據真值表，假設 AND gate 最多只可有 2 個 input，則可簡化為 $(A' + D)CB'$ 形式，GIC 為 8，電路圖如下：



(7) 心得：學會了如何將現有的 gate diagram 轉換為 Verilog 格式，並撰寫 Testbench 繪製波形圖。其中 由於使用 macOS 作業系統，環境設定上遇到一些障礙，後來使用 vcd 檔匯入 GTK-Wave 即可正常操作。製作此份報告時，花了不少時間在學習邏輯電路圖的繪製方式，不過對於這份報告中的樣式仍不是很滿意。