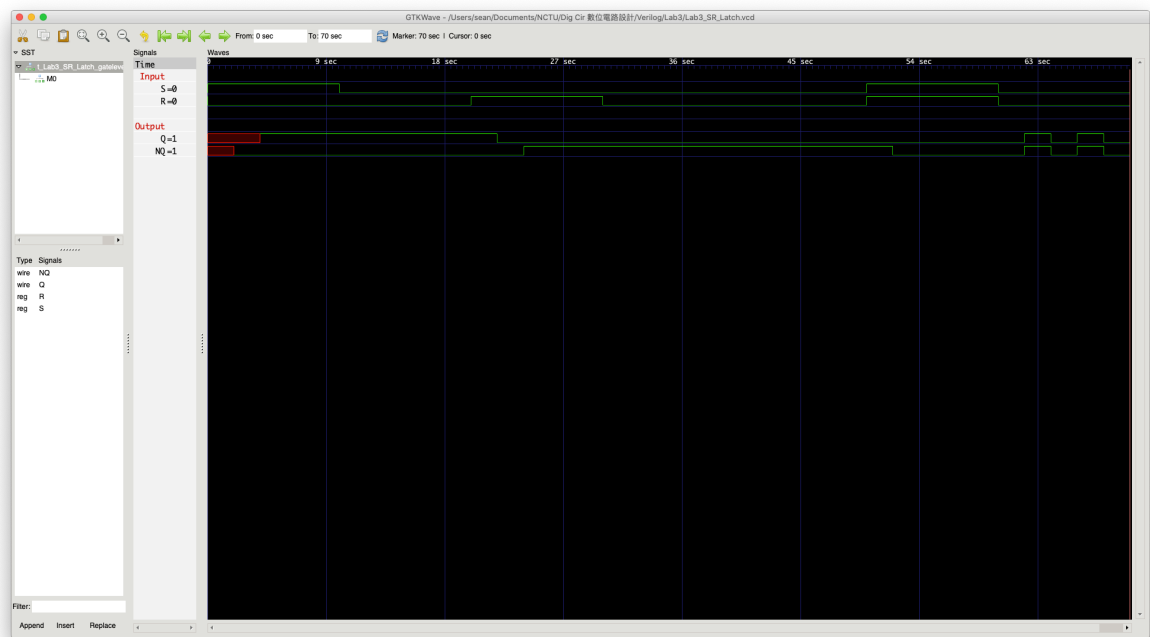


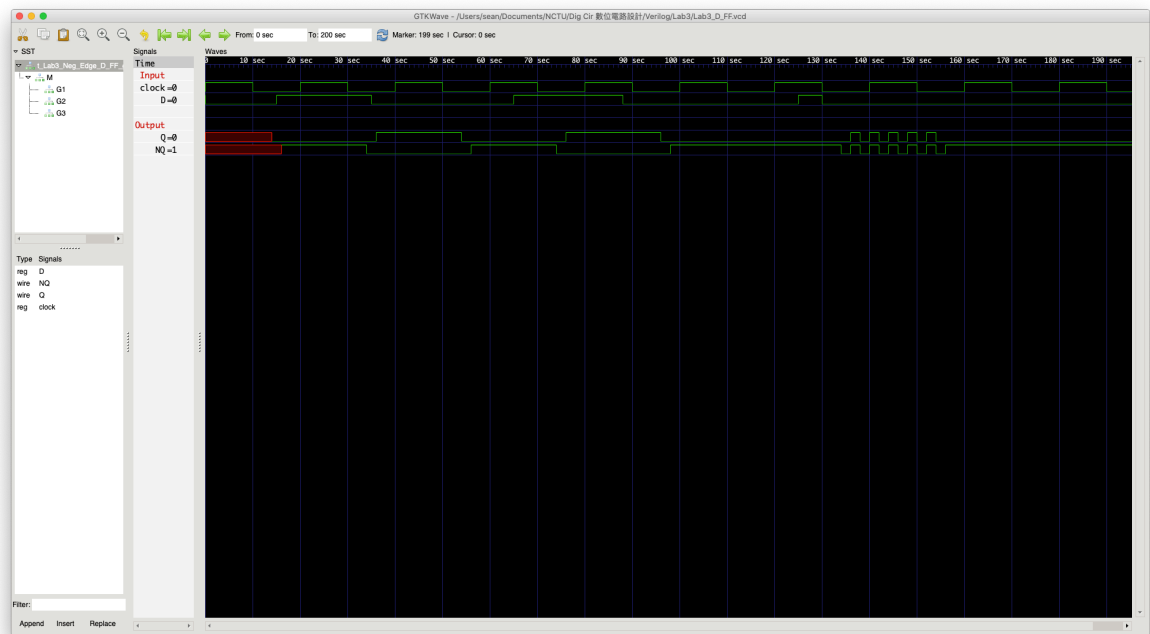
(1) SR Latch 模擬波形圖如下：



依照 SR Latch 特性，此筆測試資料模擬結果與預期結果相符。

因 50ns 給出非法的 (1, 1) 輸入，導致 60ns 輸入回到 (0, 0) 時來回動盪。

(2) Negative Edge Trigger D Flip-Flop 模擬波形圖如下：



模擬結果與預期相符，會有 6ns 的 propagation delay。

其中 130ns 時於 hold time 結束前修改了值，導致不穩定狀況出現，直到下個 clock pluse 才恢復正常。

(3) Mealy-Type Synchronous Sequential Circuit 以 D Flip-Flop 儲存之 Q^+ 運算式如下：

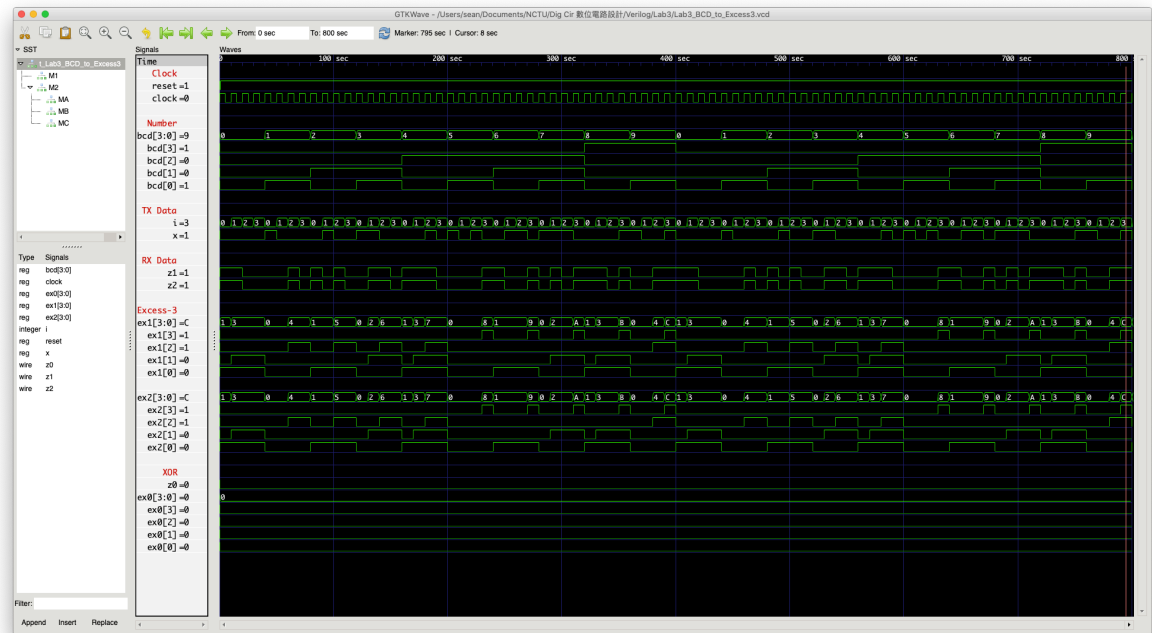
$$A^+ = AB' + A'B + A'Cx$$

$$B^+ = B'C'x + A'B'Cx'$$

$$C^+ = A'B'x' + A'BC + B'C'x'$$

$$z = A'B'x' + A'Bx + AC'x' + ACx$$

電路模擬結果如下：



每個 clock cycle 用 for 迴圈依次輸出 BCD 的 4 個位數

收到結果時依次把 4 個 bit 拼回 Excess-3 整數，於 $i = 3$ 時間 ex1 & ex2 為 Excess-3 結果。

圖中 BCD 由 0 到 9 兩次，可以看到 Excess-3 結果均為 BCD + 3，可得知模擬正確。

使用 $z_0 = z_1 \oplus z_2$ 可確認 state diagram based model 及 structural model 結果相符。

(4) 心得：這次學到了如何在 Verilog 實作同步順序電路

學會了 fork join、forever、switch case、for loop 用法。

因為還不熟悉，花了十多小時才完成這次 Lab 需求，雖然達成目標但程式碼仍然不夠好看。

對於同步順序電路中時間的掌握仍不夠透徹，有些地方寫起來是基於猜測而非真正理解運作原理。