Speicher, Digitale Ein- und Ausgabe DDRx (Data Direction Register): Entsprechendes Bit auf 1 für Ausgang, oder 0 für Eingang PORTx (Port Register): Wenn Pin auf Ausgang, dann 1 = 5V und 0 = 0V PINx (Port Input Register): Wenn Pin auf Eingang, dann 1 = HIGH liegt an und 0 = LOW liegt an	<pre>void setup() { DDRA = (1 << DDA4); //pinMode(pin, OUTPUT); DDRA &= ~(1 << DDA0); //pinMode(sw, INFUT); PORTA &= ~(1 << PA4); //digitalWrite(pin, LOW); } porta &= ~(1 << PA4); //digitalWrite(pin, LOW); } </pre> void loop() { if (PINA & (1 << PINAO)) { //if (digitalRed(sw)) { //digitalRed(sw)) { //digitalRed(sw), loghly {	Nichtflüchtige Speicher: ROM OTPROM EEPROM: Begrenzte Anzahl an Schreib/Lesezyklen. Konfigurationsdaten, Kalibrierungsdaten Flash: Programm- Daten/Code SRAM(flüchtig): Arbeitsspeicher, Register, Stack usw Einzelne Bits setzen: X = (1 << Bitnummer):	+5V +5V Digital Pin 23 Digital Pin 23
pinMode(13, OUTPUT); digitalWrite(13, HIGH); digitalRead(13); if (digitalRead(13) == HIGH)	Mikrocontroller Bestandteile: MicroProzessor, Timer, Schnittstellen, Speicher, AD-Wandler Entwicklerboard: Arduino Mega, Mikroprozessor: Atmega2560	Einzelne Bits löschen: x &= -((1 << Bitnummer) (1 << Bitnummer2)); Testen ob Bit auf 1: If (DDRC & (1 << Bitnummer)) { } Testen ob Bit auf 0: KL (DDRC & (1 << Bitnummer)) ()	Pull-Up / Active Low Bei offenem Taster wird Bei offenem Taster wird
Serial.begin(9600);	Cross-Compilation: Programm wird nicht auf Zielplattform (Mikrocontroller), sondern auf anderer Plattform übersetzt	If (! (DDRC & (1 << Bitnummer))) { } Alle Bits umdrehen: x = 0xFF ^ x	Bei offenem Taster wird Spannung am Pin auf HIGH gezogen. Bei offenem Taster wird Spannung am Eingang Auf LOW gezogen.
Serial.println("Eingabe ist: " + Serial.readString()); Serial.available():	Flashen: hex-File von PC an Entwicklerboard senden Harvard-Architektur: Daten- und Instruktionsspeicher getrennt	LED togglen: PINA = (1 << PINA2);	Entprellung Einmaliges betätigen eines Schalters führt evtl zu
Anz. Bytes, die zum Lesen verfügbar sind. Evtl. in while Schleife.	Instruktionsspeicher: Nicht flüchtiger Flash Speicher Daten: in flüchtigem SRAM SRAM und DRAM sind flüchtig. Rest nicht flüchtig.	Vorwiderstand berechnen: $R_v = \frac{u_{ges} - u_F}{I_F}$	mechanischen Vibrationen. SW-Lsg: Künstliche Wartezeit nach Zustandswechsel Bis Schalter eingeschwungen.
Interrupts sei(): Interrupts global aktivieren (oder: SREG = 128) cli(): Interrupts global deaktivieren	<pre>volatile int counter = 0; volatile unsigned long time = 0; void setup() {</pre>	Busy Waiting: while (DDRC & (1 << DDC3)); Polling: periodisches Abfragen, ob Ereignis eingetreten Interrupt: Kurze Unterbrechung des laufenden	Externe Interrupts Controller tastet zu Beginn jedes Taktzyklus ab. Falls Interrupt aktiviert, Aufruf der ISR. Probleme: Leichte Verzögerung, "Prellung"
SREG (AVR Status Register): Bit 7 auf 1 = sei();	Serial.begin(9600); sei();	Programms um einen anderen zeitkritischen, kurzen Vorgang zu bearbeiten. Hardware prüft dauernd parallel, ob Ereignis eingetreten ist.	Interne Interrupts Timer, A/D-Wandler Bei Auslauf eines Timers unterbricht HW Ausführung
EIMSK (External Interrupt Mask Register): Speziellen Interrupt de-/aktivieren	EIMSK = (1 << INT2); //pin 19 EICRA = (1 << ISC20) (1 << ISC21); // rising edge }	Wenn auf ein seltenes Ereignis schnell reagiert werden muss. Trap: Art von Interrupt, die aber synchron und	der normalen Software
EICRA (External Interrupt Control Register A) EICRB (External Interrupt Control Register B): ISCn0 und ISCn1. Falling oder Rising Edge. n ist die Interrupt Nummer.	<pre>void loop() { Serial.println("Zählerstand: "); Serial.println(counter); delay(3000); }</pre>	reproduzierbar ist. z.B. System Call, Div durch 0 Interrupt Request: Interruptereignis – [InterruptController] – über IRQ Eingang Unterbrechungsanforderung an CPU – CPU	Volatile Variable wird vor jedem Lesen aus SRAM gelesen und nach jedem Schreiben in SRAM geschrieben !!Globale Variablen die in ISR vorkommen immer volatile!!!
EIFR (External Interrupt Flag Register): Wenn Interrupt ausgelöst: Bit ist 1	<pre>ISR (INT2_vect) { if (millis() - time >= 250) {</pre>	unterbricht Programm und startet Unterbrechungsroutine Interrupt Vector Table:	voiatiie!!!
<pre>ISR (INT0_vect) { } attachInterrupt(digitalPinToInterrupt(21), count,</pre>	<pre>time = millis(); //Entprellung counter++; }</pre>	Welches Interruptereignis gehört zu welcher ISR? Jede Vectornummer hat eine zugehörige Programmadresse.	
RISING);)	ISR ist selbst nicht unterbrechbar (I Bit SREG)	
Timer n: Timer 1-5 TCCRnA (Timer/Counter n Control Register A): PWM TCCRnB (Timer/Counter n Control Register B): Prescaler; Starten des Timers; Input Capture, CTC Beide TCCRn erst auf 0x00 setzen. Auch wenn keinen Prescaler will, muss man setzen TCNIT (Timer Counter n, 16 Bit): Aktueller Zählerstand. Anfangs auf 0 setzen. OCRnA, OCRnB, OCRnC (Output Compare Register, 16 Bit): Wert gegen den Zählerstand verglichen werden kann ICRn (Input Capture Register): Bei Input Capture erfasster Wert wird gespeichert TIMSKn:	Sel();// enable all interrupts } // ISR, called when timer overflow occurs	Atmega2560 Systemtakt = 16Mhz 16Bit Timer => Timer läuft nach $\frac{2^{16}-1}{16MHz} = 4ms$ über Prescaler Fallende Flanke des Prescalers an Bit Q_n triggert Counter. Vorteil großer Prescaler: Messen langer Zeiten möglich. kleinstes messbares Zeitintervall ohne Prescaler: $\frac{1}{16MHz} = 62ns$ mit f/1024 Prescaler: $\frac{1}{16MHz/1024} = 64\mu s$ Nachteil: Schlechtere Auflösung. $\Rightarrow \text{ immer kleinstmöglichen Prescaler!}$ Welchen Prescaler für 3s Intervalle mit 16 Bit Timer?	Bei externen oder internen Signalen/Ereignissen wird aktueller Zählerstand in ICRn gespeichert Zählerstand in Register Speichern Output Compare Bei erreichen eines konfigurierten Zählerstandes wird Interrupt ausgelöst, oder best. Signal erzeugt. MAX = 2 ¹⁶ – 1
Aktivieren/Deaktivieren der Timer Interrupts TIFRn: Timer bezogene Interrupt Flags CTC Beispiel: TCCR4B = (1 << WGM42); ISR(TIMER4_OVF_vect) {}: Interrupt bei Timer 4 Overflow ISR(TIMER4_COMPA_vect){}: Timer 4 compare A Pulsweitenmodulation	<pre>ISR(TIMER4_OVF_vect) { // 16 MHz / 2^16 = 244,1 -> // duting! second approx. 244 overflow events if (overflow_counter == 244) { overflow_counter == 0; PINA != (1 << PINA2);</pre>	Takt: 1 MHz (Bei 16MHz bis 3*1000000) $\frac{3000000}{x} = 2^{16} - 1 \Leftrightarrow x = 45.8 \Rightarrow 64 \text{Prescaler}$ Signal mit konstanter Periode, aber variabler	hier mit CTC CTC Mode (Clear Timer on Compare Match) TOP Wert in OCRnA oder ICRn konfiguriert. Zähler bei erreichen des Zählerstandes automatisch auf 0. Inverting u. Non-Inverting Mode
TCCRnA Compare Output Mode Fast PWM usw TCCRnB Fast PWM; Prescaler	// set pin PBS (pin of port H) to output; this is the PBH pin // (alternative function: alternative function of PBS: OC4C) DDBH = (1 << DDBS); // to be safe: initialize counter control registers to zero TCCRNA = 0x00; // Fast PBM mode, counter TOP value taken from ICR, TCCRNA = (1<00MNN) (1<00MNN); TCCRNA = (1<00MNN) (1<00MNNN); TCCRNA = (1<00MNNNNNNNNNNNNNNNNNNNNNNNNNNNNNNNNNNN	Pulsdauer wird erzeugt. Duty Cycle: t/T (= Pulsdauer / Periodendauer) TOP: ICRn Register (oder andere siehe S145 Tabelle) CMP: OCRnX Register	Non-Inverting: siehe Links. Inverting: PWM Ausgang genau andersrum TCCRnX Register Up-Down-Counter doppelte Periodendauer, geringere Auflösung BOTTOM u. TOP immer genau in der Mitte Maximaler Zählerwert: z.B. 2 ¹⁶ -1
OCRA, OCRB, OCRC (Output Compare Pins): PWM-Ausgang Inverting oder non-Inverting Mode Output Compare Pins müssen als Ausgang im DDR Reigster konfiguriert sein! OCRnX (Output Compare Register):	// non-inverting mode; clear on compare match; manual p158, Table 17-4 TCCRAA = (1 <ccomaci); -="" be="" by="" called="" character="" could="" good="" prescaler=""> 16 MHz / 8 = 2 MHz // counter counts up from 0 to 39999 within 20 ms TCCRAB = (1<ccs41); configure="" fwm,="" i.e.="" icr="" icra="400007//" in="" of="" period="" register<="" th="" tof="" value=""><th>Maximaler Zählervert: z.B. 2¹⁸-1 TOP Zählerstand</th><th>Zählerstand PWM Signal (OCnX)</th></ccs41);></ccomaci);>	Maximaler Zählervert: z.B. 2 ¹⁸ -1 TOP Zählerstand	Zählerstand PWM Signal (OCnX)
Vergleichswert (Schwellwert) muss gesetzt werden, der jeweils PWM-Ausgang OCnX beeinflusst.	// initial pulse width / duty cycle 1,25 mm /	PWM Ausgang (In manchen Modi kann man TOP/CMP nur ändern, wenn Zähler gerade auf BOTTOM/TOP ist. (Update of OCRnX at in Tabelle)	Tabelle S145 TCCRnA u TCCRnB Fast PWM(Up-Counter), PWM(Up-Down Counter)
Analoge Ein-/Ausgabe ADMUX Referenzenannung wählen	<pre>void setup() { // activate serial console Serial.begin(9600);</pre>	A/D Wandlung g 101 Auflösung: i 100 Wie viel	Ansätze zur A/D Wandlung Komparator Parallelverfahren, Zählverfahren, Wägeverfahren
Referenzspannung wählen Analoge Eingangspins für A/D Umsetzung wählen ADCSRB Analoge Eingangspins für A/D Umsetzung wählen Single Ended oder Differential Conversion Free Running Mode oder manuelles Triggern ADCSRA Aktivieren und Starten der A/D Umsetzung Prescaler Interrupts	// enable ADC functionality ADCSFA = (1 << ADEN); // use /120 prescaler (ADC requires 50 kHz to 200 kHz, see manual p27), // but system clock is 16 kHz; ADCSFA = (1 << ADFS0) (1 << ADFS1) (1 << ADFS0); // select ADCS as input pin (there is one AD converter for the 16 AD; ADMIX = (1 << MIXL); // use reference voltage SV (Note: AVCC is AREF), manual, p201 ADMIX = (1 << REFS0);	Spannungsunterschied pro Stufe? Vref /2' Repräsentant eines Intervalls liegt in Intervallmitte um Quantisierungsfehler zu vermeiden. Erstes Intervall: Repr. Von 000 Stufenbreite ½ LSB Letztes Intervall: Stufenbreite 1½ LSB	A/D Umsetzung beim Atmega Nur ein interner A/D Umsetzer, aber 16 analoge Eingangspins können an A/D Um. weitergeleitet werden. Konfigurierbar, welcher Eingang an A/D Um. Weitergeleitet wird Trigger: Manuelles Auslösen: durch Codeanweisung
ADCL, ADCH Speichert Ergebnis der A/D Umsetzung Erst ADCL, dann ADCH lesen (atomarer Zugriff)	void loop() { // trigger ADC conversion	Fehlerquellen Quantisierungsrauschen	Free Running Mode: Endlosschleife Auto Trigger: angestoßen durch Timeroverflow, Komparatorausgang etc
2 - La	ADCSRA = (1 << ADSC); // wait until conversion is finished, see manual p286 while (ADCSRA s (1 << ADSC));	Umsetzungszeit Änderung d. Eingangs während der Umsetzung	Erkennen, dass A/D Umsetzung beendet wurde: Auswerten eines speziellen Flags, oder durch
	// read analog value, first LOW then HIGH register unsigned int read = ADCL + 256 * ADCH; double result = 5.0 * read / 1024.0; Serial.princ(result); Serial.princ(result);	Ersatzwiederstand von zwei parallelen Widerständen $R_{1,2} = \frac{R_1 \cdot R_2}{R_1 + R_2}$	speziellen Interrupt Wertebereich: Single-Ended Conversion: [0,V _{rel}] Differential Conversion: [-V _{rel} /2, V _{rel} /2]

Watchdog, Energiesparmodus, Reset WDTCSR Watchdog Modul Konfiguration Spezielles vorgehen zum Beschreiben des Registers! (Damit nicht ausversehen) MCUSR Informationen über Ursache des Resets (nach Neustart abrufbar)	Watchdog Timer, der hoch oder runterzählt. Muss vor Überlauf zurückgesetzt werden. Sonst: Interrupt oder Reset. Aufgaben: Überprüfung: Codestellen in vorgegebener Zeit erreicht? SW noch aktiv und nicht abgestürzt? Bei Timeout: Überführen in wohldefinierten Zustand. Neustart oder Interrupt auslösen. Erkennt Probleme, löst sie aber nicht!	Reset System von wohldefiniertem Zustand starten Arten von Resets: Power-On Reset, Brown-Out Reset, External Reset, Watchdog Reset, Internal Reset Sensordaten In bestimmten Bereich linearer Zusammenhang zw. Messgröße (z.B. °C) u. Ausgangsspannung. Beispiel TMP 36: -40°C - 125°C 750mV bei 25°C. Output Scale Factor 10mV/°C Min Ausgangsspannung: 100 mV Max Ausgangsspannung: 1750 mV Max Ausgangsspannung sollte möglichst knapp unter Referenzspannung liegen. Binäre Zahl (bei V _{ref} = 2,56V): Max: 1,750V / 2,56V * 2/410 = 700 Min: 0,100V / 2,56V * 2/410 = 40 Binäre Zahl in Messgröße: Linearer Zusammenhang: y = mx + t y: Messgröße, x: binäre Zahl y und x gegeben, m unt t bestimmen -40°C = m*40 + t [°C] 125°C = m*700 + t [°C]
wdt_reset() (in C) (Assembler: WDT) Watchdog Timer zurücksetzen SMCR	Prescaler: Beeinflusst Zeit bis Watchdog Timeout Energiesparmodus Energieverbrauch verringern durch: Systakt verlangsamen, Betriebsspannung verringern, abschalten nicht benötigter Module (Energiesparmodi (ESM))	
Energiesparmodus wählen sleep_mode() (Assembler: SE-Bit in SMCR setzen, dann SLEEP- Instruktion) Energiesparmodus aktivieren	ESM unterscheiden sich bzgl. Abgeschalteter Komponenten und augweckender Ereignisse (Ext Interrupts, Watchdog Interrupt, Speicherzugniff beendet, Timer, Anlegen einer (leeren) ISR und Aktivieren des Interrupts genügt). Aufwachen kann verzögert passieren Energiesparmodi beim Atmega2560: Idle Mode, ADC Noise Reduction Mode, Power Save Mode, Power Down Mode, Standby Mode	
Kommunikationsschnittstellen USART Register: UDR UCSRnA	Seriell vs parallel vs Synchron (meist eigener Takt für Datenleitung) vs asynchron(Empfänger muss Takt d. Senders kennen)	UART (oder SCI) 2 Datenleitungen: TxD und RxD Sender u. Empfänger müssen Baudrate kennen Übertragung von UART-Frames D{E O N}S Beispiel: 8E1: 8 Datenbits, gerade Parität, 1 Stopbit SPI (hohe Geschwindigkeit) Master-Slave. 4 Datenleitungen: MOSI: Master Out, Slave IN (8 Bit Schieberegister) MISO: Master Out, Slave Select i²C, TWI (Viele Geräte) Bus mit 7 Bit Adressierung SCL: Serial Clock Line, SDA: Serial Data Line Startbedingung: Fallende Flanke: SDA+SCL == HIGH Adresse anlegen ->R/ix: Master spezifiziert, ob Lese oder Schriebzugriff -> Datentransfer
UCSRnB UCSRnC	Bus (Mehr als zwei Geräte verbunden, erfordert Adressierung) vs Point-to-Point Vollduplex(Datenübertragung in beide Richtungen gleichzeitig möglich, separate Leitungen für Senden u. Empfangen vs halbduplex	
UBRRnL SPI Register: SPCR SPSR	Peer-toPeer vs Master-Slave (Nur Master darf Kommunikation starten) Differential (Spannungsunterschied zw. 2 Leitungen trägt Information vs Single-Ended (Gemeinsame GND Leitung für alle Datenleitungen) UART SPI I²C	
SPDR	Seriel1 Ja Ja Ja Duplex Ja Ja Nein Synchron Nein Ja Ja Kein Takt Ja Ja Ja Bus Nein Jein Ja Arz. Leitungen 3 5 3 Datenrate BAUD = fosc / fose/128 Max 400	Stoppbedingung: Steigende FI.: SDA+SCL == HIGH ster 2
<u>Peripherie</u>	ATmega2560 (16(UBRRn+1)) fosc/2 kbit/s dick prennor	check generator SS
	4-Bit Modus Initialisierung Liquid Crystal	
SW-Download / Debugging	JTAG	
Automaten		
<u>Automaten</u>		

Register

Digital IO:

- DDRx (Data Direction Register):
- Entsprechendes Bit auf 1 für Ausgang, oder 0 für Eingang
 - PORTx (Port Register):
- Wenn Pin auf Ausgang, dann 1 = 5V und 0 = 0V
- PINx (Port Input Register):
 - Wenn Pin auf Eingang, dann 1 = HIGH liegt an und 0 = LOW liegt an

Timer:

- TCCRnA (Timer/Counter n Control Register A):
- TCCRnB (Timer/Counter n Control Register B):

 o Prescaler

 - Starten des Timers
- o Input Capture TCNTn (Timer Counter n, 16 Bit):
- Aktueller Zählerstand
 OCRnA (Output Compare Register A, 16 Bit):
 Wert gegen den Zählerstand verglichen werden kann
- - OCRIB (Output Compare Register B, 16 Bit):

 Wert gegen den Zählerstand verglichen werden kann
- ICRn (Input Capture Register):
 - Bei Input Capture erfasster Wert wird gespeichert
- - Aktivieren/Deaktivieren der Timer Interrupts
- TIFRn:
 - Timer bezogene Interrupt Flags

Pulsweitenmodulation:

- OCnA:
- OCnR:
- OCnC (Output Compare Pins):
 - Inverting oder non-Inverting Mode
 - Output Compare Pins müssen als Ausgang im DDR Reigster konfigueriert sein!
 OCRnX (Output Compare Register):
 - - Vergleichswert muss gesetzt werden

Interrupts:

- sei() (Set Enable Interrupt):
- Interrupts global aktivieren SREG:
- I Bit hier setzen statt sei() möglich
- EIMSK:
 - De/aktivieren von speziellen Interrupts
- EIFR:
 - Interrupt Flags
- EICRA: EICRB:
 - Steigende/fallende Flanke?

Analoge IO:

- ADMUX:
 - Referenzspannung wählen
 - Analoge Eingangspins für A/D Umsetzung wählen
- ADCSRB:
 - Analoge Eingangspins für A/D Umsetzung wählen Single Ended oder Differential Conversion
 - Free Running Mode oder manuelles Triggern
- ADCSRA:
 - Aktivieren und Starten der A/D Umsetzung

 - Interrupts
- ADCL u. ADCH:

 - Speichert Ergebnis der A/D Umsetzung Erst ADCL, dann ADCH lesen (atomarer Zugriff)

TODO:

- Jeweils für Register relevante Manual Ausschnitte Bilder mit verschiedenen PWM: TOP/CMP/ und inverting/non-inverting mode
- Reset Ablauf, Seite 16 bei Watchdog Skript