



Escuela de Ingeniería Electrónica
Escuela de Ingeniería Mecatrónica
Control Automático

Diseño de esquemático para PCB del SIWA

Profesor:
Renato Rimolo

Integrantes:
Hender Samuel Valdivia Mejia
hvaldivia@estudiantec.cr

Sebastián Barrantes Pérez
702870652@estudiantec.cr

Christopher Quiros Cisneros
acostchris@estudiantec.cr

Cartago, Costa Rica
29 de Agosto de 2025

0.1. Esquemático

En esta sección se muestran y explican algunos detalles relacionados al esquemático del diseño de la placa de conexiones del procesador SIWA:

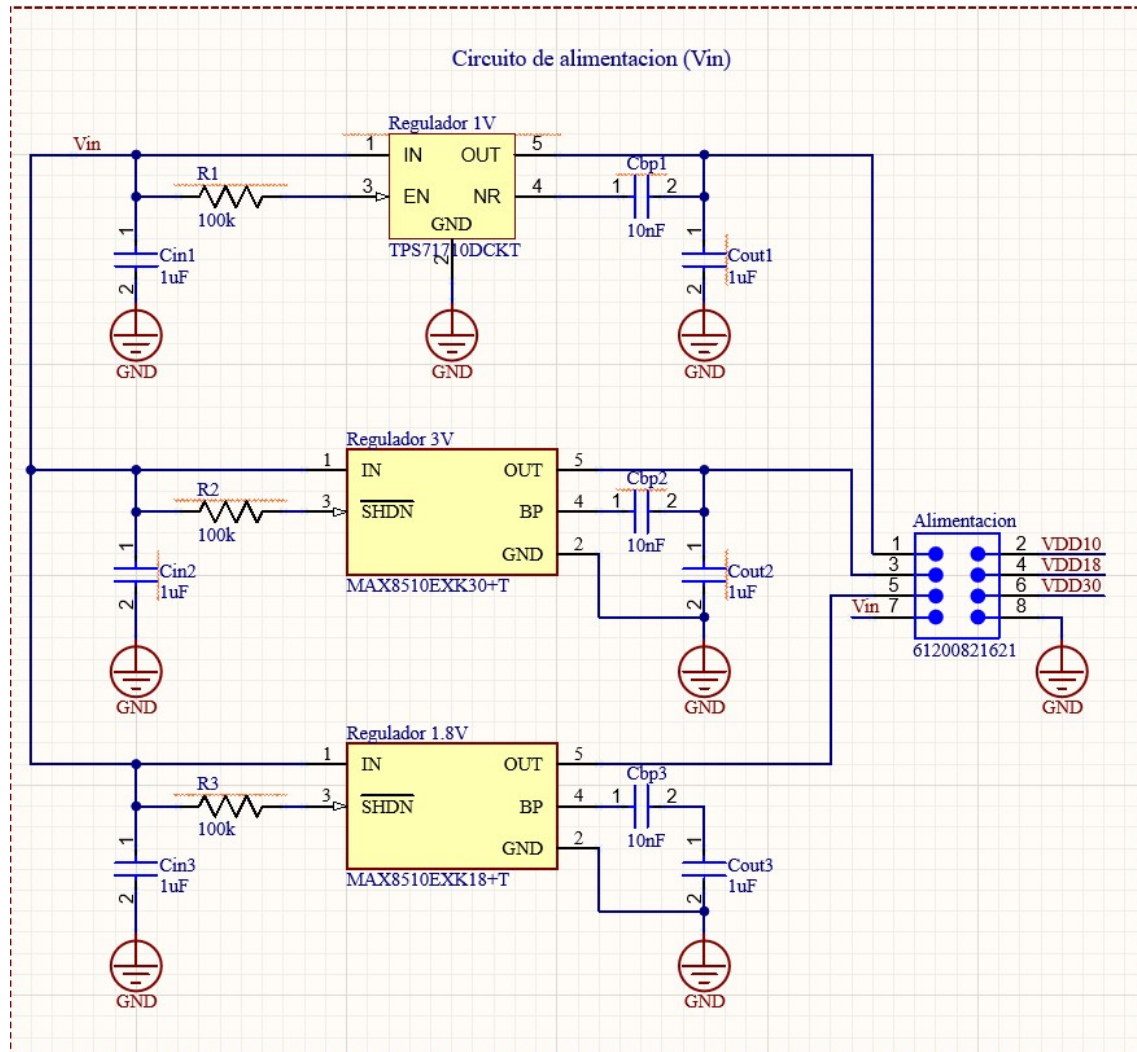


Figura 1: Reguladores de voltaje

Inicialmente en la Fig 1 se muestran los reguladores en su configuración predeterminada por el fabricante para su funcionamiento y entrega de alimentación de 1V, 3V y 1.8V respectivamente a como se muestra en la imagen. Cada uno de estos reguladores tiene una capacitancia de desacople en la entrada, una resistencia de pull-up en su pin de ENABLE/SHDN, además de un capacitor de bypass para disminuir el ruido en las alimentaciones y una capacitancia de salida. Mediante un header se conectan estas salidas para asegurar DFM.

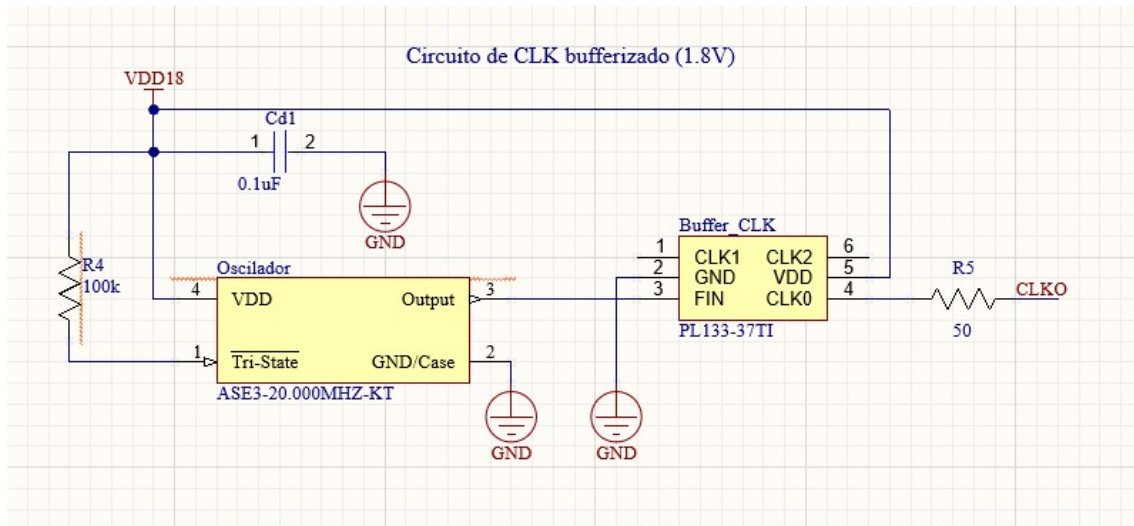


Figura 2: Circuito de reloj bufferizado

Luego en la Fig 2 tenemos el circuito de reloj el cual está compuesto de un circuito integrado oscilador el cual genera la señal de reloj necesaria para utilizar como señal de reloj, seguido de un circuito integrado el cual tiene la función de buffer con una impedancia de salida de 50 ohms. Ambos circuitos están alimentados por la misma fuente de alimentación y tienen un capacitor de desacople; además, el circuito oscilador tiene una resistencia de pull-up conectada al pin del tristate.

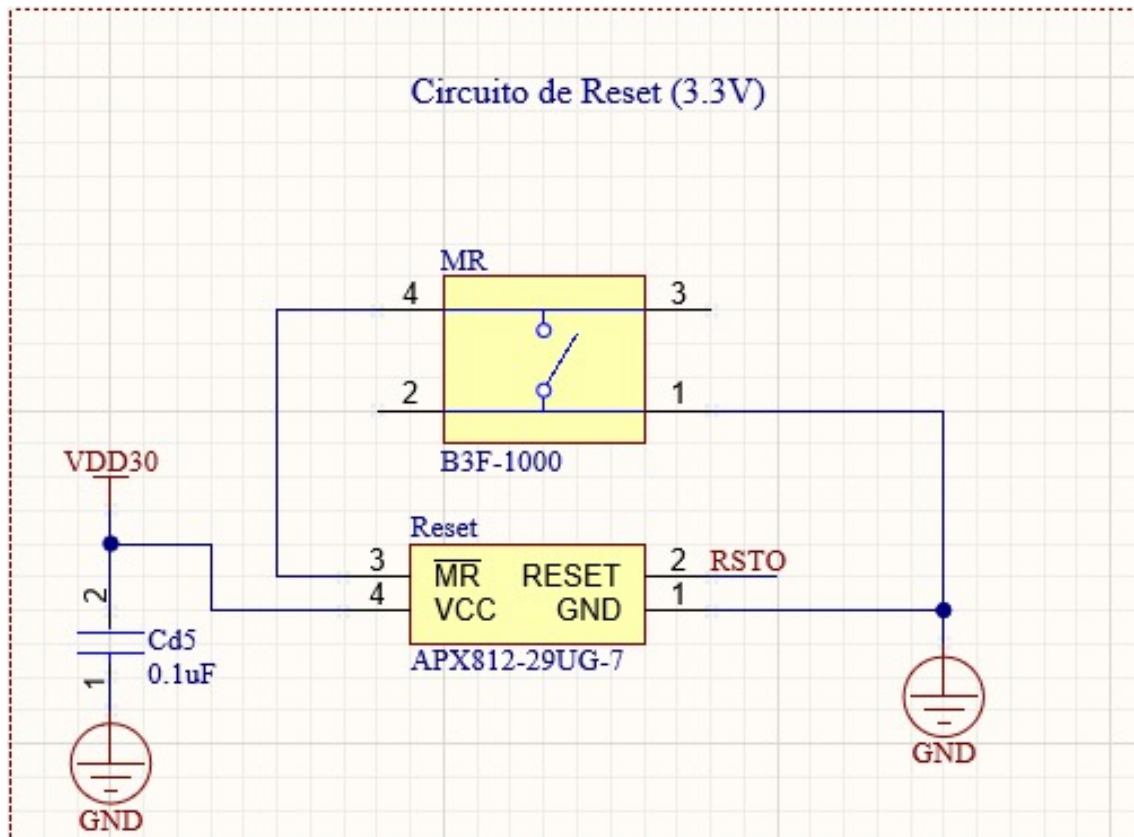


Figura 3: Circuito de Reset

Circuito de Leds bufferizados (3.3V)

The diagram illustrates a buffered LED driver circuit operating at 3.3V. It consists of seven input resistors (RL0 to RL7) connected to the inputs of seven QBLP595-IB transistors (D0 to D7). Each transistor's emitter is connected to ground (GND), and its collector is connected to the input of a 74LVC2G17GW,125 buffer (BL0 to BL7). The buffers are configured with VCC to 3.3V (VDD30) and GND to ground. The outputs of the buffers (LED0 to LED7) are connected to the LEDs. A decoupling capacitor Cd6 (0.1uF) is connected between VDD30 and GND.

3

0.2. Lista de componentes

Cantidad	Componente	Modelo
2	Header 8x1	61200821621
5	Buffer LEDs y LCD	74LVC2G17GW,125
1	CI Buffer Reloj	PL133-37TI-R
3	Capacitores 10 nF	CGA3E1C0G2A103J080AC
7	Capacitores 0.1 uF	KGM15BR71H104JT
6	Capacitores 1 uF	TACL105K006XTA
8	LEDs	QBLP595-IB
1	Memory Base DIP	1-2199298-2
1	Switch Button	B3F-1000
1	CI Oscilador	ASE3-20.000MHZ-KT
1	Header General	61204021621
4	Resistencias 100k Ω	PEP0805Y1003BNTA
1	*Resistencia 50 Ω	HPT2012-50-T1
1	Regulador 1V	TPS71710DCKT
1	Regulador 1.8V	MAX8510EXK18+T
1	Regulador 3 V	MAX8510EXK18+T
1	CI Reset	APX812-29UG-7
8	Resistencias LEDs	ERJ-3EKF20R0V
4	Conector Interfaz SIWA	PPTC081LFBN-RC

Cuadro 1: Listado de componentes y modelos utilizados en el esquemático

*Nota: Esta resistencia aparece en el archivo esquemático y en excel BoM como R5 con un valor de 100k pero es debido a que el modelo utilizado fue el mismo de las resistencias de 100k, el modelo necesario que cumple las especificaciones y el valor de 50 Ω para esta resistencia es el que se muestra en la tabla.