

Instituto Tecnológico de Costa Rica
Escuela de Ingeniería Electrónica

Avance 1: Propuesta de Diseño de la PCB

EL-5610 Taller Integrador

Proyecto: Plataforma de interconexión y prueba para Siwa

Autores: Barrantes Perez Sebastian, Quiros Cisneros
Christopher, Valdivia Mejias Samuel

Grupo: Grupo 1

24/09/2025

Índice

1. Alcance del Avance 1	2
1.1. Objetivo del avance	2
1.2. Entregables incluidos	2
2. Requerimientos y Especificaciones	3
2.1. Resumen de especificaciones del proyecto	3
2.2. Tabla de componentes seleccionados	3
2.3. Lista de Materiales (BoM) Preliminar	5
3. Sprint 1	7
3.1. Esquemáticos por subsistema	7
3.1.1. Memoria externa e interfaz Siwa	7
3.1.2. Alimentación	8
3.1.3. Señal de reloj	8
3.1.4. LEDs	9
3.1.5. Pantalla LCD	9
3.2. Conexiones del Siwa	10
4. Sprint 2	11
4.1. Stackup y reglas de diseño (DRC)	11
4.2. Layout Preliminar (PCB)	11
4.2.1. Capa superior	12
4.2.2. Capa inferior	13
4.2.3. Vistas	15
4.3. Zonas críticas y ruteos relevantes	16
5. Gestión y Planificación (Metodología Ágil)	17
5.1. Resultados sprint 1	17
5.2. Resultados sprint 2	18
Referencias	19

1. Alcance del Avance 1

1.1. Objetivo del avance

Para el desarrollo de esta primera fase era la de, la realización del desarrollo de la PCB de pruebas para el procesador Siwa, donde el desarrollo de este se realiza en 2 sprints a lo largo de 51 días. La primer etapa del avance 1 consistió en la investigación de los componentes a usar y la realización de los esquemáticos para los diferentes subsistemas del circuito. Para la segunda fase se enfoco en el planteamiento y diseño del PCB a desarrollar físicamente posteriormente.

1.2. Entregables incluidos

- Esquemático preliminar por bloques (PDF/imagenes).
- Reglas de diseño y stackup preliminar.
- BoM preliminar.
- Layout inicial (capturas de capas/zonas críticas).
- Matriz de trazabilidad: requerimiento → implementación en PCB.

2. Requerimientos y Especificaciones

2.1. Resumen de especificaciones del proyecto

El sistema consta de 6 subsistemas principales los cuales fueron solicitados para la prueba completa del funcionamiento del procesador Siwa. Para el desarrollo del sistema se brindo el modelo para cada uno de los componentes principales, para poder realizar la investigación previa y así realizar primeramente la interconexión de estos con los componentes pasivos necesarios para su funcionamiento.

Una vez realizado dichas conexiones de los subsistemas, se procede al planteamiento y diseño total de la conexión final de todo el sistema para así poder paso al diseño del PCB del sistema para el sprint 2.

2.2. Tabla de componentes seleccionados

Función	Dispositivo	Componentes principales (modelos usados)	Componentes pasivos (modelos usados)
Alimentación	Reguladores	MAX8510EXK30+T (3.0V); MAX8510EXK18+T (1.8V); TPS71710DCKT (1.0V)	10 nF C0G 0603 TDK CGA3E1C0G2A103J080AC; 0.1 μ F X7R 0603 TDK C1608X7R1H104K080AA; 4.7 μ F X5R 0805 Murata GRM21BR61A475KA12; R 100 k \pm 0.1 % 0805 Vishay PEP0805Y1003BNTA.
Señal de reloj	Oscilador c/ cristal bufferizado	Abracon ASE3-20.000MHZ-KT (XO 20 MHz); Microchip PL133-37 (SOT-23-6)	C desacople 10 nF C0G 0603 TDK CGA3E1C0G2A103J080AC; R serie de terminación 33-49.9 Ω 0603.
Memoria externa	Flash SPI	Microchip SST25WF080B (8 Mbit); Zócalo DIP-8 TE 1-2199298-2	R pull-up 10 k 0603 RC0603FR-0710KL en /CS ; C 0.1 μ F X7R 0603 TDK C1608X7R1H104K080AA junto a VCC.
Indicadores	LEDs bufferizados	LED azul 0402 QT Brightek QBLP595-IB; Buffer Schmitt NXP 74LVC2G17GW, 125; Conector encajonado 1 \times 8 Würth 61200821621	R LED 1 k 0402 RC0402FR-071KL; C desacople para el buffer 0.1 μ F X7R 0603 TDK C1608X7R1H104K080AA.
Interfaz Siwa	Headers	Samtec TS-108-T-A-1-ND (1 \times 8) \times 4 pcs	Resistencias de pull: 10 k 0603 RC0603FR-0710KL; C de protección.
Pantalla	LCD/OLED c/ buffer	Newhaven NHD-0216MW-IB3; Buffer NXP 74LVC2G17GW, 125; Conector encajonado 1 \times 8 Würth 61200821621	C desacople 0.1 μ F X7R 0603 TDK C1608X7R1H104K080AA ; R 22-47 Ω 0603.

Conector externo	Header 2×20	CMP	R pull-ups/pull-downs: 10 k
		CMP-1502-00015-1	0603 RC0603FR-0710KL;
			C 0.1 μF X7R 0603 TDK
			C1608X7R1H104K080AA.

2.3. Lista de Materiales (BoM) Preliminar

La lista de materiales preliminar o por su nombre en ingles, bill of materials (BoM), se genero primeramente para el sprint 1, pero sufrió cambios en la finalización del sprint 2 debido a que hubo cambios en la cantidad de los capacitores usadors.

Designadores	Cant	Modelo	Descripción
Header Alimentacion, LCD	2	61200821621	
BL0, BL1, BL2, BL3, BL4	5	74LVC2G17GW,125	Integrated Circuit
Buffer_CLK	1	PL133-37TI	Integrated Circuit
Cbp1, Cbp2, Cbp3	3	10nF	Cap Ceramic 10nF 100V C0G 5 % Pad SMD 0603 +125°C Automotive T/R
Cd1, Cd2, Cd3, Cd4, Cd5, Cd6, Cd7	7	0.1uF	KGM15BR71H104JT Cap Cer 0.1UF 50V X7R 0603
D0, D1, D2, D3, D4, D5, D6, D7	8	QBLP595-IB	LED BLUE CLEAR 0402 SMD
MemorySocket	1	1-2199298-2	CONN IC DIP SOCKET 8POS TIN
MR	1	B3F-1000	Tactile Switch, SPST-NO, 0.05 A, 5 to 24 V, -25 to 70 degC, 4-Pin THD, RoHS, Bulk
Oscilador	1	ASE3-20.000MHZ-KT	XTAL OSC XO 20.0000MHZ CMOS SMD
P1	1	Header General	
R1, R2, R3, R4	4	100k	PEP0805Y1003BNTA Resistor High Precision Thin Film 0805 100k Ohm 0.1 % 1/2W ±10ppm/°C Molded T/R
R5	1	50	PEP0805Y1003BNTA Resistor High Precision Thin Film 0805 50 Ohm 0.1 % 1/2W ±10ppm/°C Molded T/R
Regulador 1V	1	TPS71710DCKT	Single Output High PSRR LDO, 1...IQ, 5-pin SC70 (DCK), -40 to 85 degC, Green (RoHS & no Sb/Br)
Regulador 1.8V	1	MAX8510EXK18+T	IC REG LINEAR 1.8V 120MA SC70-5
Regulador 3V	1	MAX8510EXK30+T	IC REG LINEAR 3V 120MA SC70-5
Reset	1	APX812-29UG-7	I_O=20mA

Designadores	Cant	Modelo	Descripción
RL0, RL1, RL2, RL3, RL4, RL5, RL6, RL7	8	20	
SIWA_D, SIWA_L, SIWA_R, SIWA_U	4	PPTC081LFBN-RC	Conector interfaz SIWA
Capacitores adicionales	6	0.1uF	Capacitor cerámico X7R 0603 (desacople general)

3. Sprint 1

Para la inicialización del proyecto, se planteo este primer sprint con la finalidad de realizar la investigación previa de los componentes a usar, planteamiento de los esquemáticos del sistema y del esquemático de todo el sistema interconectado.

La conexión de los componentes de alimentación, señal de reloj, indicadores y LCD se realizaron en base a las recomendaciones de circuitos en sus respectivos datasheets. Para la interfaz del Siwa y de la memoria externa se realizaron conjuntamente ya que estos iban conectados directamente entre si, ya que la memoria usara los pines

3.1. Esquemáticos por subsistema

El esquemático preliminar consta de las siguientes partes que se enumeraran a continuación:

1. Alimentación: reguladores y redes de desacople.
2. Reloj: oscilador + buffer + red de 50Ω .
3. Siwa: mapeo de pines según empaquetado, reset con APX812-29UG7 + pulsador B3F-1000.
4. Memoria SPI: SST25WF080B + base DIP-8.
5. Indicadores: 8 LEDs con buffers y resistencias.
6. Interfaz externa: header 2x20; señales expuestas (MAIP, POC, SPI, UART, CLK, RESET).
7. Pantalla: interfaz LCD/OLED con buffers y conectores.

Para una mayor facilidad de lectura, se dividió por cada subsistema y las respectivas nets a la que va cada entrada y salida de los respectivos sistemas.

3.1.1. Memoria externa e interfaz Siwa

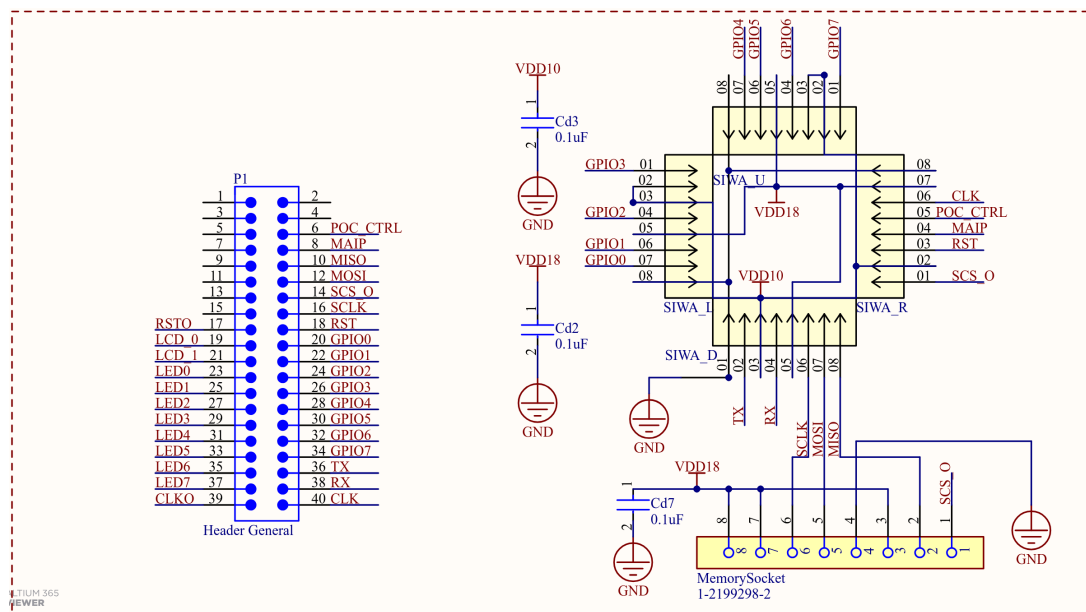


Figura 1: Esquemático de la interfaz del Siwa y la memoria externa

3.1.2. Alimentación

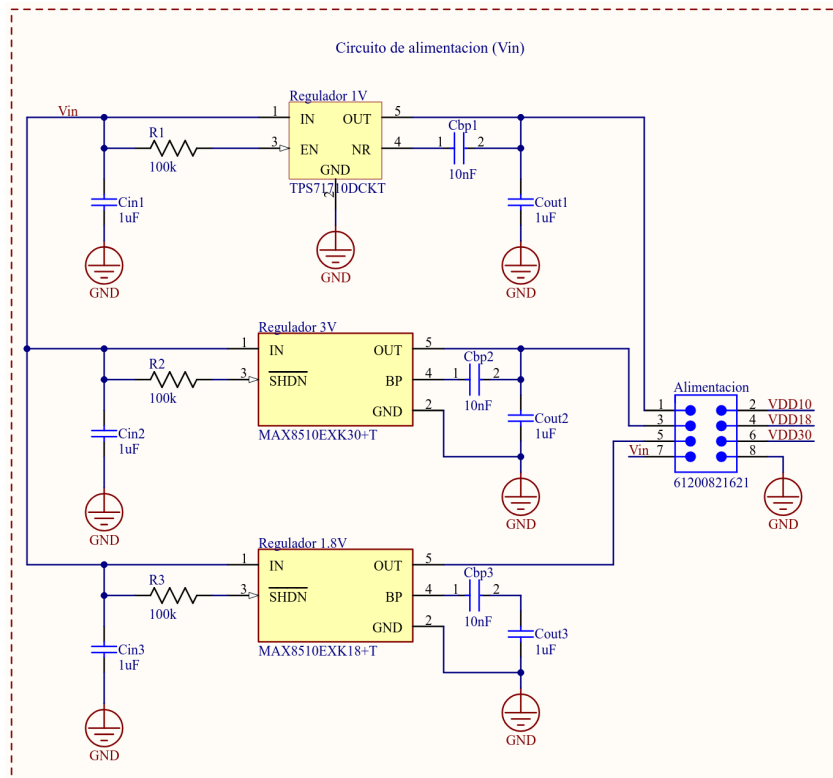


Figura 2: Esquemático del subsistema de alimentación

3.1.3. Señal de reloj

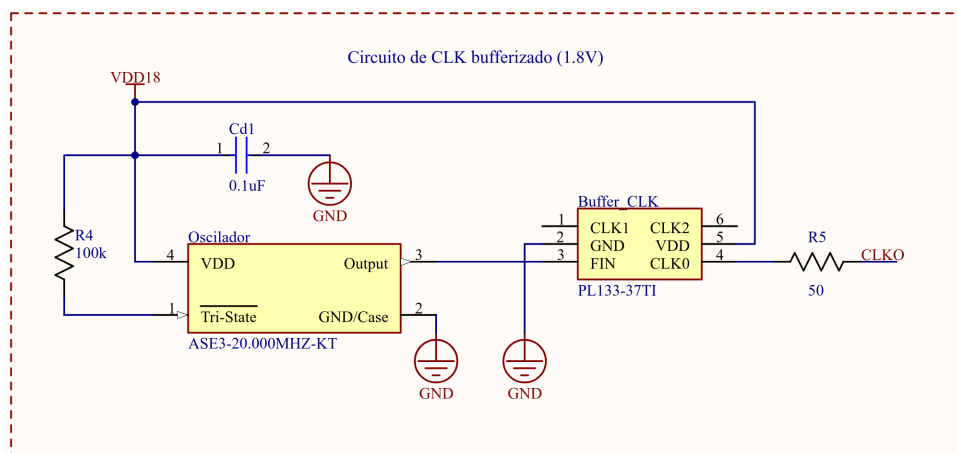


Figura 3: Esquemático del subsistema de la señal de reloj

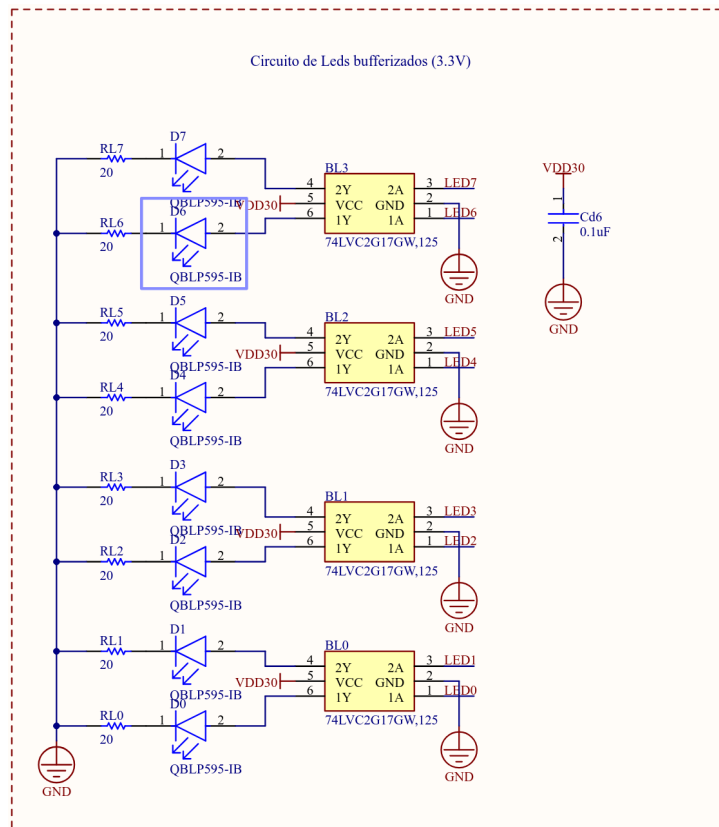


Figura 4: Esquemático del subsistema de los LEDs

3.1.5. Pantalla LCD

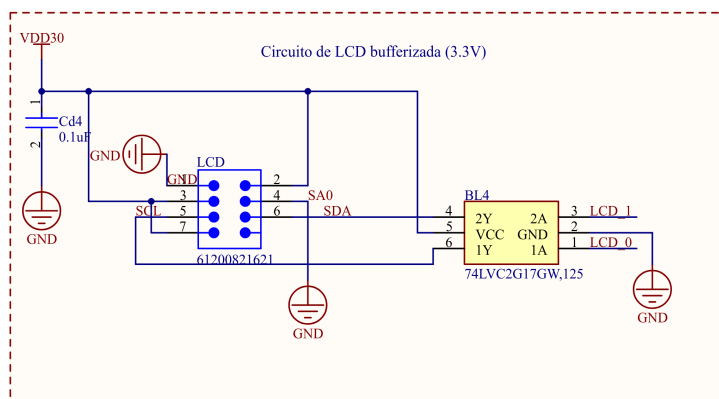


Figura 5: Esquemático del subsistema del LCD

3.2. Conexiones del Siwa

Pin	Conectado a	Pin	Conectado a
1	N/A	33	N/A
2	N/A	34	N/A
3	N/A	35	N/A
4	N/A	36	SCS → P1:SCS_O → Memory Socket pin 1 (SCS_O)
5	→ GPIO3 → LED3	37	VDD
6	VDD	38	RESET → P1:RST
7	VDD	39	MAIP → P1:MAIP
8	→ GPIO2 → LED2	40	POC_CONTROL → P1:POC_CTRL
9	VDD_IO	41	VSS
10	→ GPIO1 → LED1	42	CLK → P1:CLK
11	VSS	43	VSS
12	VSS	44	VDD_IO
13	→ GPIO0 → LED0	45	N/A
14	N/A	46	N/A
15	N/A	47	N/A
16	VSS PACKAGE SUBSTRATE	48	VSS PACKAGE SUBSTRATE
17	N/A	49	N/A
18	N/A	50	N/A
19	N/A	51	N/A
20	N/A	52	N/A
21	UART_TX → P1:TX	53	→ GPIO7 → LED7
22	VDD	54	VDD
23	VSS	55	VDD
24	UART_RX → P1:RX	56	→ GPIO6 → LED6
25	VDD_IO	57	VDD_IO
26	SCLK → P1:SCLK → Memory Socket pin 6 (SCLK)	58	→ GPIO5 → LED5
27	VSS	59	VSS
28	MOSI → P1:MOSI → Memory Socket pin 5 (MOSI)	60	VSS
29	MISO → P1:MISO → Memory Socket pin 4 (MISO)	61	→ GPIO4 → LED4
30	N/A	62	N/A
31	N/A	63	N/A
32	VSS PACKAGE SUBSTRATE	64	VSS PACKAGE SUBSTRATE

4. Sprint 2

4.1. Stackup y reglas de diseño (DRC)

Stackup preliminar

- **Leyenda del stack:** *Layer Stack Legend*.
- **Top Overlay:** Tipo *Legend*, Gerber **GTO**.
- **Top Solder (Surface Material):** Espesor **0.03 mm**, Material dieléctrico **SM-001**, Tipo *Solder Mask*, Gerber **GTS**.
- **Top Layer:** Material **CF-004**, Espesor **0.04 mm**, Tipo **Signal**, Gerber **GTL**.
- **Dielectric:** Espesor **0.32 mm**, Material dieléctrico **FR-4**, Tipo *Dielectric*.
- **Bottom Layer:** Material **CF-004**, Espesor **0.04 mm**, Tipo **Signal**, Gerber **GBL**.
- **Bottom Solder (Surface Material):** Espesor **0.03 mm**, Material dieléctrico **SM-001**, Tipo *Solder Mask*, Gerber **GBS**.
- **Bottom Overlay:** Tipo *Legend*, Gerber **GBO**.
- **Espesor total:** **0.44 mm**.

Reglas

- Anchos de vías: **0.381 mils**
- Anchos de vías de alimentación: **0.5 mils**
- clearance mínimo: **0.25 mils**
- Diámetro de los orificios: **0.20 mils**
- Pads: **0.25 mils**

Layer Stack Legend						
	Material	Layer	Thickness	Dielectric Material	Type	Gerber
		Top Overlay			Legend	GTO
	Surface Material	Top Solder	0.03mm	SM-001	Solder Mask	GTS
	CF-004	Top Layer	0.04mm		Signal	GTL
			0.32mm	FR-4	Dielectric	
	CF-004	Bottom Layer	0.04mm		Signal	GBL
	Surface Material	Bottom Solder	0.03mm	SM-001	Solder Mask	GBS
		Bottom Overlay			Legend	GBO
Total thickness: 0.44mm						

Figura 6: Diagrama de stackup preliminar

4.2. Layout Preliminar (PCB)

Posterior a un amplio periodo de diseño, interconexión y depuración de errores, se concluyó el diseño del PCB. El esquema y la asignación de pines quedaron determinados, se determinaron y validaron las reglas del diseño con el stackup objetivo y se consolidó el BoM para fabricación. En el Sprint 3 se procederá al ensamblaje y validación funcional inicial.

Para una visualización clara del resultado, el PCB se presentará separado en sus 2 layers (Top y Bottom), mostrando ruteado, polígonos y zonas críticas y también sus vistas 3D para apreciar relieve, serigrafía y ubicación de los componentes.

4.2.1. Capa superior

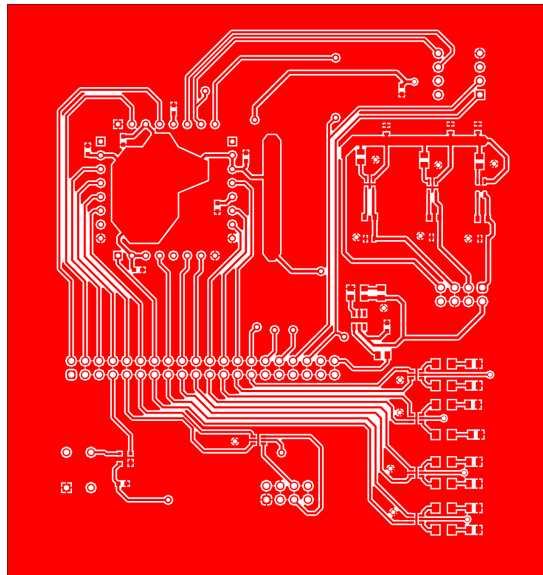


Figura 7: Diagrama del layer superior

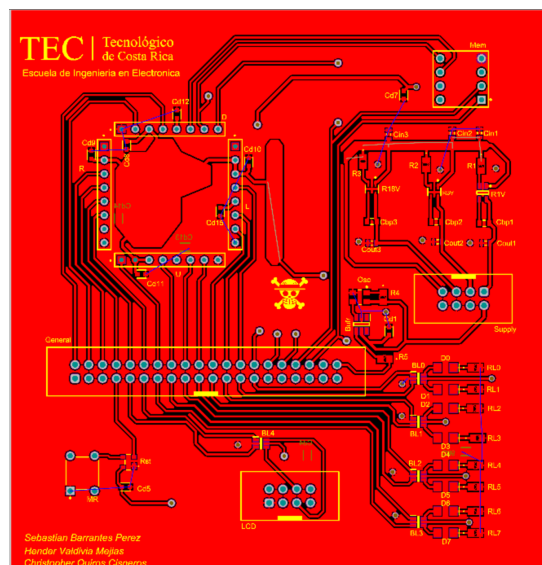


Figura 8: Diagrama del layer superior con componentes

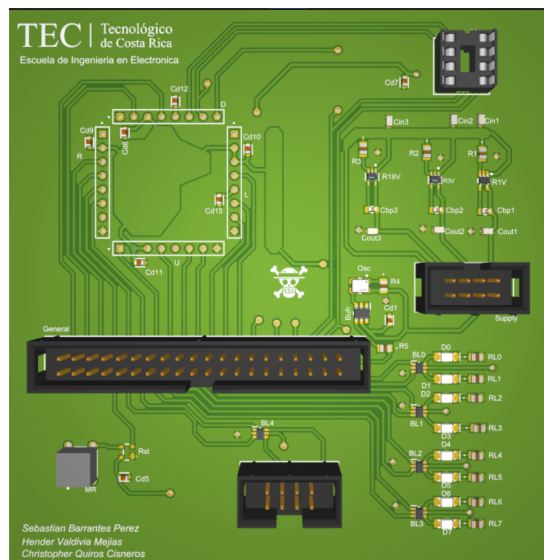


Figura 9: Diagrama 3D del layer superior con componentes

4.2.2. Capa inferior

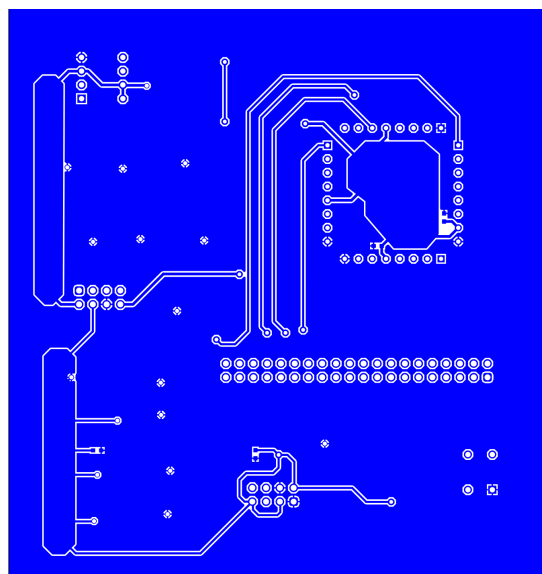


Figura 10: Diagrama del layer inferior

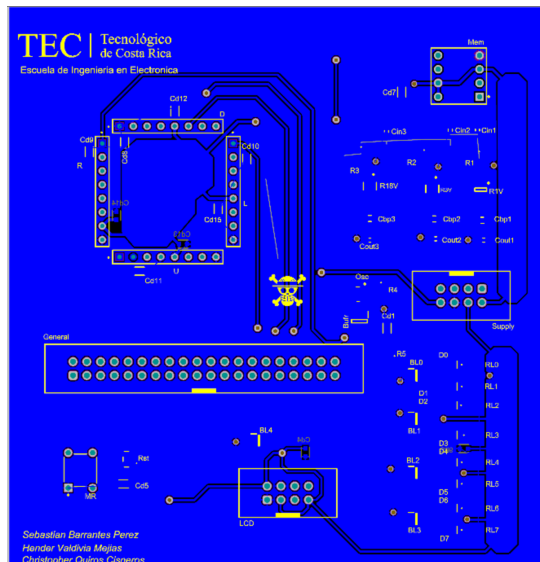


Figura 11: Diagrama del layer inferior con componentes

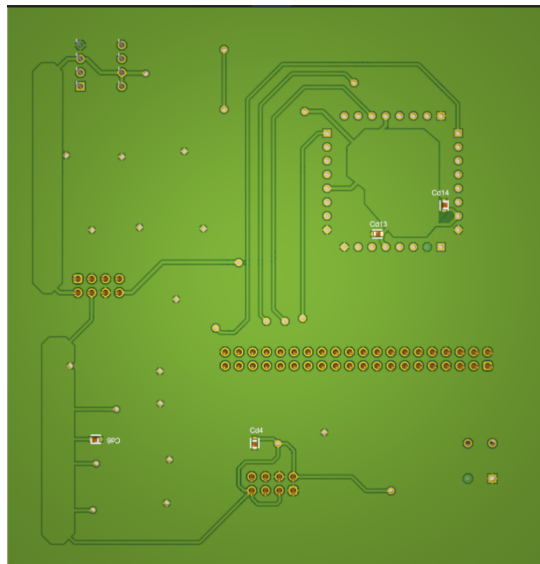


Figura 12: Diagrama 3D del layer inferior con componentes

4.2.3. Vistas

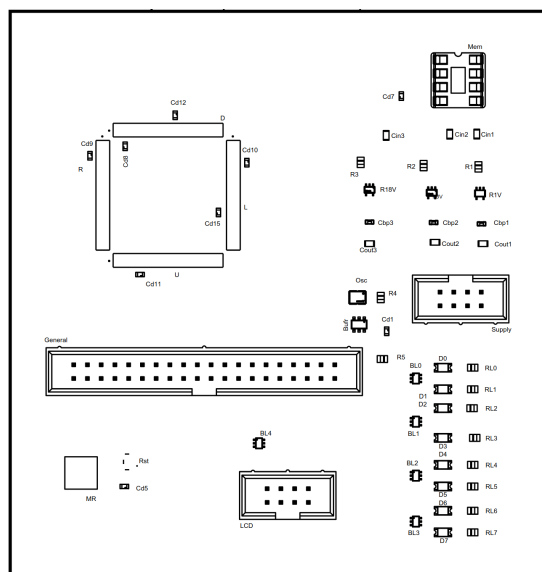


Figura 13: Vista superior del PCB

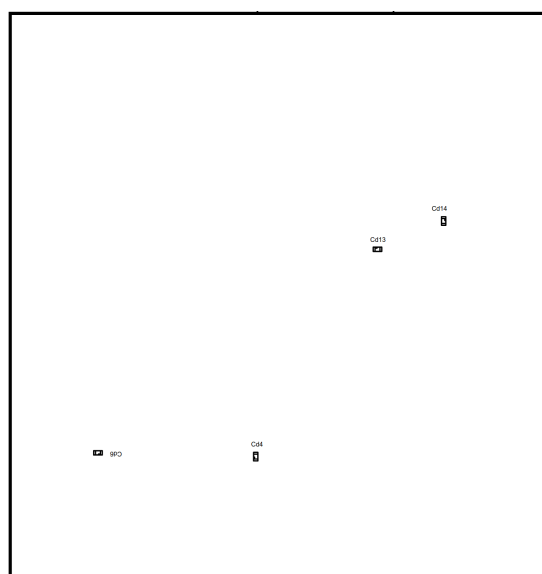


Figura 14: Vista inferior del PCB

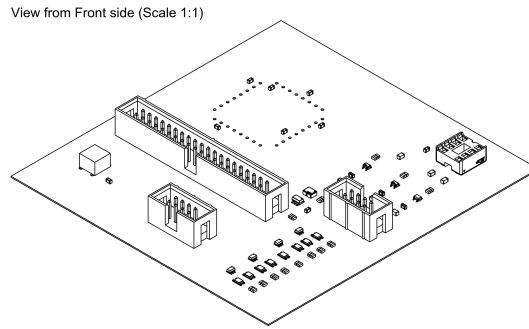


Figura 15: Vista frontal del PCB

4.3. Zonas críticas y ruteos relevantes

Durante el ruteo del sistema, se determinaron cuales subsistemas son los de mayor delicadeza y relevancia de diseño, debido a su importancia para el correcto funcionamiento del sistema, los cuales se aprecian en las figuras 16 y 17 los cuales se aprecian a continuación:

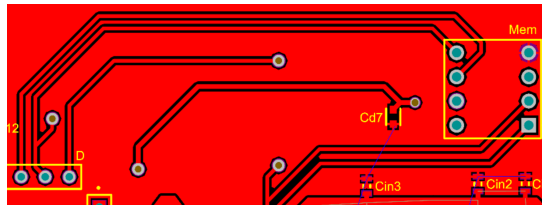


Figura 16: Subsistema relevante: Memoria externa

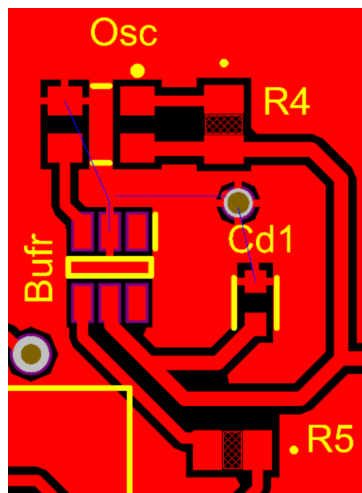


Figura 17: Subsistema relevante: CLK

5. Gestión y Planificación (Metodología Ágil)

5.1. Resultados sprint 1

Para el desarrollo de este sprint, se realizó una distribución de las tareas abordando el mismo concepto de distribuir los diferentes subsistemas para unirlos posteriormente.

- Sebastián Barrantes Pérez: Realización del esquemático de la alimentación y conexión general
- Christopher Quiros Cisneros: realización del esquemático de los LEDs, realización del esquemático del LCD, conexión general y control de las tareas de los sprint.
- Samuel Valdivia Mejías: realización del esquemático del conector del Siwa, realización del esquemático del reset y realización del esquemático de la memoria externa.

Basandose en la figura 18, podemos apreciar como se completaron las tareas en las fechas asignadas, se alcanzaron a completar todos los entregables objetivo y se dejó la base lista para avanzar al diseño final. El progreso visualizado durante el desarrollo del sprint destaca una alta efectividad de parte de los participantes en el desarrollo de las tareas asignadas para esta etapa.

Para esta etapa no se presentaron dificultad alguna en el desarrollo de las tareas.

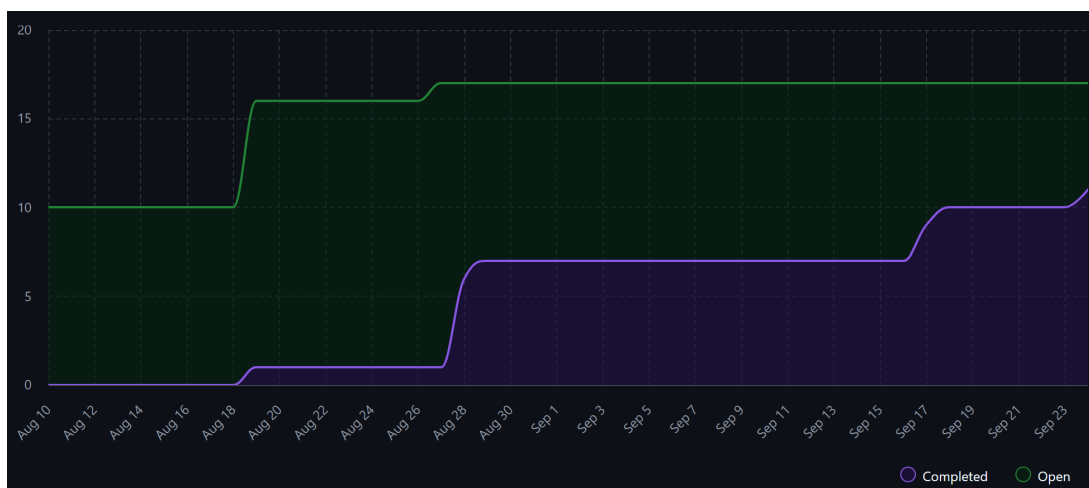


Figura 18: Burndown chart Sprint 1

5.2. Resultados sprint 2

Partiendo del punto final del sprint 1, se dio inicio a este segundo proceso de diseño. Partiendo de la misma planificación previamente usada, se importaron todos los componentes y el ruteo de los diferentes subsistemas consistieron en las tareas a realizar, junto con la verificación de errores, elección al layer que pertenece cada componente y demás.

- Sebastián Barrantes Pérez: Realización del ruteo de la alimentación y realización del ruteo del Siwa de los diferentes subsistemas.
- Christopher Quiros Cisneros: realización del ruteo de los LEDs, realización del ruteo del LCD, realización del ruteo del Siwa de los diferentes subsistemas y control de las tareas de los sprint y documentación.
- Samuel Valdivia Mejías: realización del ruteo del reset, realización del ruteo de la memoria externa y realización del ruteo del Siwa de los diferentes subsistemas.

De igual manera, en base al burndown chart 19, se se mantuvo el trabajo eficaz, cumpliendo con las fechas asignadas y task asignadas, se alcanzaron a completar todos los entregables objetivo y se dejó la base lista para avanzar al diseño final. El progreso visualizado durante el desarrollo del sprint destaca una alta efectividad de parte de los participantes en el desarrollo de las tareas asignadas pero, en el proceso de asimilar mejor la aplicación Altium Designer, se presentaron errores leves y fáciles de solucionar. De igual manera, el PCB preliminar se modifico varias veces a fin de mejorar el diseño y prevenir futuras dificultades en el ensamblaje a futuro. Los task de este sprint 2 se iniciaron tarde, pero debido a dificultades de los integrantes, se asignaron tarde en el sprint.

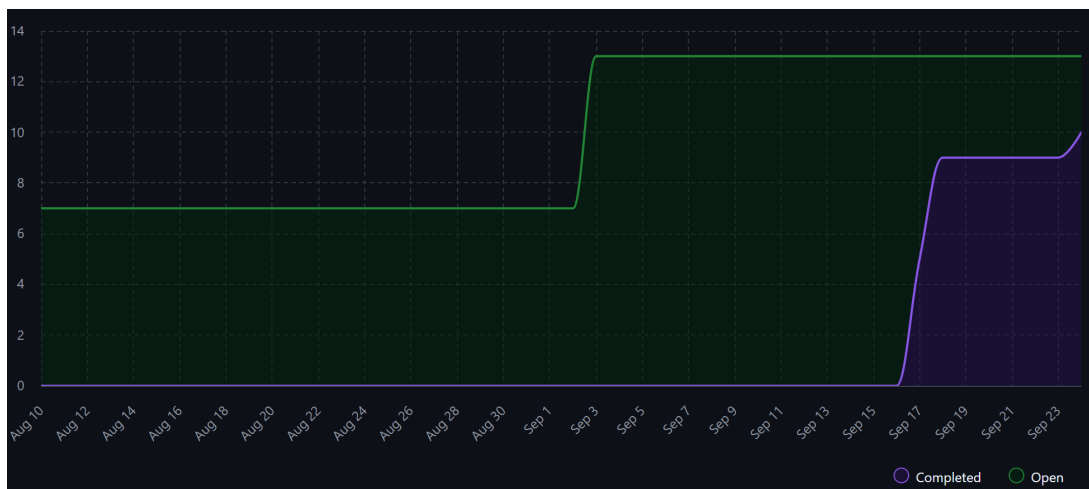


Figura 19: Burndown chart Sprint 2

Referencias

- [1] Abracon LLC, *ASE3 Series — 1.8V CMOS Compatible SMD Crystal Oscillator (3.2×2.5×1.2 mm)*, Rev. 2021-10-20.
- [2] Maxim Integrated, *MAX8510/MAX8511/MAX8512 — Ultra-Low-Noise, High PSRR, Low-Dropout, 120mA Linear Regulators*, Document 19-2732, Rev. 5, 05/2019.
- [3] Diodes Incorporated, *APX811/APX812 — 4-Pin Microprocessor Supervisor with Manual Reset*, DS31960, Rev. 2, 10/2009.
- [4] TE Connectivity, *DIP Sockets — Quick Reference Guide*, 01/2017.
- [5] Nexperia B.V., *74LVC162244A; 74LVCH162244A: 16-bit buffer/line driver; 5 V tolerant; 3-state*, Product data sheet Rev. 10 — 26 Apr 2024.
- [6] Microchip Technology Inc., *PL133-37 Low-Power Inverting/Non-Inverting 1:3 Fanout Buffer*, DS20006403A, 2020.
- [7] Microchip Technology Inc., *SST25WF080B — 8-Mbit 1.8 V SPI Serial Flash*, 09/14/2021.
- [8] Newhaven Display, *NHD-0216MW-IB3 2x16 OLED Character Display — Datasheet Rev. 3*, 08/31/2023.
- [9] QT-Brightek, *QBLP595 Series 0402 LEDs — Datasheet v1.4*, 02/15/2025.
- [10] TAIYO YUDEN, *Soft Termination MLCC—MAJCU168BB7104KTEA01, 0.1 μ F, 50 V, X7R, 0603*, 03/08/2024.
- [11] Würth Elektronik, *WR-BHD Male Box Header 2.54 mm — 61204021621 (40-pin)*, 08/30/2022.
- [12] Würth Elektronik, *WR-BHD Male Box Header 2.54 mm — 61200821621 (8-pin)*, 08/30/2022.