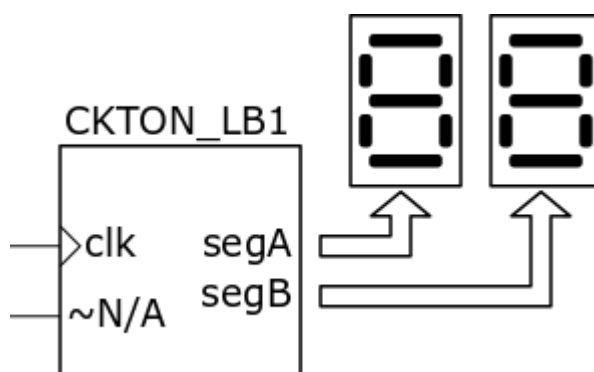


INGENIERÍA ELECTRÓNICA, MECATRÓNICA, TELECOMUNICACIONES Y REDES
SISTEMAS DIGITALES (EL225) – EL41, EL42
2018-2

LABORATORIO CALIFICADO 2

1. Se tiene lo siguiente:



Se trata de un circuito basado en un FPGA conectado a una fuente de reloj (CLK), un switch (~N/A) y a dos displays de siete segmentos del tipo cátodo común (segA y segB).

Se visualizará el nombre o el apellido de cada miembro del grupo y dependiendo de la entrada ~N/A ("0" se visualizará los nombres de ambos integrantes, "1" se visualizará los apellidos de ambos integrantes). La visualización será en los dos displays de siete segmentos con efecto de desplazamiento de derecha a izquierda.

Se solicita lo siguiente:

- a) Detalle en VHDL (entidad y arquitectura) de los diferentes componentes de CKTON_LB1
- b) Diseño TOP-LEVEL (RTL Schematic) indicando los diferentes componentes de CKTON_LB1
- c) Simulación del VHDL Testbench de CKTON_LB1

Monterrico, 17 de setiembre del 2018