

1 PCB

1.1 Général

Circuit haute vitesse : $t_r < 2\tau$ avec t_r le temps de montée / descente et τ le temps de propagation ($L > \lambda/2$)

→ prendre en compte les effets de la ligne de transmission

$$\tau = \frac{L}{\nu_{ph}}$$

Avec ν_{ph} la vitesse de propagation (typiquement $0.5 \dots 0.6c$)

$$\nu_{ph} = \frac{c}{\sqrt{\epsilon_r \mu_r}}$$

$$c \approx 3 \cdot 10^8$$

Extérieur : Câbles, connecteurs, composants plus grands que $\lambda/10$

Sources de bruit : PWM, bruit GND, oscillateurs, RF, spurious signals

Mesures de protection : ferrites, filtres, opto-coupleurs, chokes, fibres optiques, R / L en série, shields, condensateurs, ferrites au delà de 100 MHz, stitching

1.2 Guides d'ondes

$$a = \frac{\lambda_c}{2} \quad \lambda_c = \frac{c}{f_c}$$

f_c la fréquence de transmission. Atténuation faible au delà et faible avant. Stitching $< \lambda/2$ pour éviter l'entrée / sortie d'ondes dans le pcb.

Transformation d'un guide d'onde en câble coax lorsqu'on place un conducteur interne

1.3 Blindage

Matériau du blindage, résonances, nombres de points de contact avec le plan GND.

Comment protéger la partie intérieur d'un pcb? en divisant les zones, en blindant les composants sensibles et en filtrant les signaux des parties internes

1.4 Connecteurs

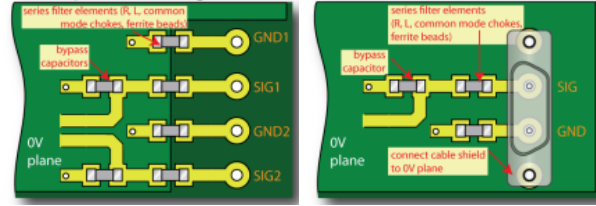
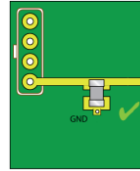


Figure 1: Câble non-blindé vs câble blindé

1.5 Filtrage



1.6 Courant

Chemin de retour du courant sur le plan le plus proche du signal (distribution gaussienne centrée sur la piste du signal). Si plusieurs chemins ou trop d'écartement → tension/courant en mode commun et/ou bruit GND. Il faut que le chemin de retour soit aussi proche que possible du chemin d'aller. Les signaux différentiels produisent moins de perturbations et sont moins perturbés

Bruit en mode commun (common mode current) peut être généré par une série d'impédance dans la ligne de retour, par des charges parasites, par du bruit externe au circuit, etc. Le mode commun peut se traduire comme le mode différentiel et peut produire des chutes de tensions non désirées sur une charge. Réduire l'impédance du GND, éviter les faux chemins de retour

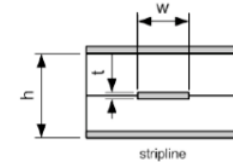
Causes de courant en mode commun

1. Retour par un plan de masse de section faible
2. Capacités différentes sur paires différentielles
3. Sources externes
4. Impédances différentes sur l'aller et le retour

Plan image terme pour une couche pleine (masse ou alim). Sert de chemin de retour pour les pistes des autres couches.

1.7 Pistes

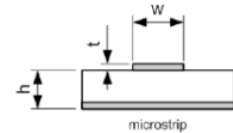
1.7.1 Stripline



$$Z_0 \approx \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{4h}{0.67\pi w (0.8 + t/w)} \right)$$

$$\nu_{ph} \approx \frac{0.3048}{1.017\sqrt{\epsilon_r}} [\text{m ns}^{-1}]$$

1.7.2 Microstrip



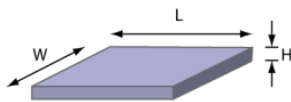
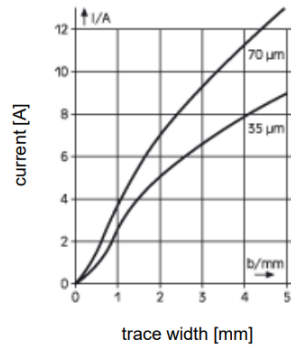
$$Z_0 \approx \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left(\frac{5.98h}{0.8w + t} \right)$$

$$\nu_{ph} \approx \frac{0.3048}{1.017\sqrt{0.457\epsilon_r + 0.67}} [\text{m ns}^{-1}]$$

Méthodologie : Définition des couches, Placer les connecteurs et les vis, Placer les composants critiques, Zones du PCB (numérique, analogique), Layout.

Résistance

$$R = \rho \frac{Z(\text{longueur})}{X(\text{largeur})Y(\text{hauteur})} \quad \rho \approx 0.0175 \Omega \text{ mm}^2 \text{ m}^{-1}$$



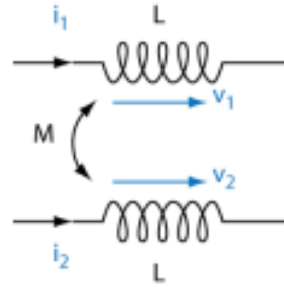
Inductance

$$L_0 = \frac{2}{10^4} L \left(\ln \left(\frac{2L}{W+H} \right) + 0.2235 \left(\frac{W+H}{L} \right) + 0.5 \right) [\mu\text{H}]$$

Inductance mutuelle (M)

$$V_1 = L \frac{di_1}{dt} + M \frac{di_2}{dt}$$

$$V_2 = L \frac{di_2}{dt} + M \frac{di_1}{dt}$$



1.8 Couches

1. S-G-V-S (économie de vias, bonne protection)
2. S-G-S-B (pas symétrique, très bonne protection)
3. G-S-S-V (beaucoup de vias, trous dans les plans)

Si $f > 5 \text{ MHz}$ ou $t < 5 \text{ ns}$ alors il faut utiliser un pcb multicouches.

Rapprocher les couches GND et VCC pour maximiser le découplage. Les plans images (GND, VCC) doivent être proches de couches de signaux.

1.8.1 Empilements à utiliser

Toujours avoir un système symétrique (pour éviter que le board se torde après usinage).
réduction de la distance entre couche signaux et couche plan permet de rendre les signaux plus robustes face aux perturbations

1. S-G-V-S
2. S-G-S-S-V-S
3. S-G-V-S-S-V-G-S

1.9 Plan de masse

Masse chaude : fait le tour du circuit (vis, connecteurs)

Masse froide : GND interne du circuit Les deux masses sont reliées par un pont qui empêche le passage des perturbations.

Il faut éviter les interruptions du plan de masse (surtout si elles sont longues).

Lorsqu'il y a plusieurs plans de masse (AGND, DGND), on utilise une connexion en étoile. Si l'impédance du plan de masse est assez faible on peut les fusionner

Remplir toutes les zones non-utilisées par des plans de masse (ou de VCC).

Attention aux pass-through vias sont des "bouchons" et des antennes émettrices. Elles créent des trous dans le plan de référence et réduisent l'effet de blindage

1.9.1 Séparation du plan de masse

- | | |
|--|---|
| + isolation de zones (analogique sensible, connections à des appareils bruyants) | + Réduction des capacités parasites |
| + Contrôle des chemin de retour | - Les coupures peuvent générer des antennes |
| | - Pas forcément utile |

Stitching avec une distance $\lambda/10$ pour améliorer la protection des zones sensibles.

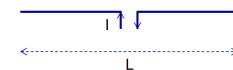
Pour connecter deux plans, utiliser des capa si le signal est rapide et des inductances si le signal est lent.

1.10 Antennes

Champ électrique E généré par une boucle d'aire A traversée par un courant I à une distance R

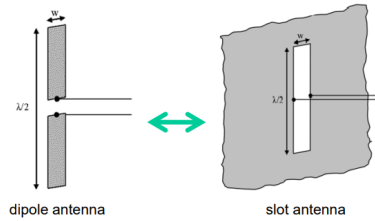
$$E \sim \frac{k^2 I A}{4\pi} \sqrt{\frac{\mu}{\epsilon}} \left(\frac{1}{R} \right) \quad k = \frac{2\pi}{\lambda} = \frac{\omega}{c}$$

1.10.1 Antenne dipôle



$$E \sim \frac{ILf}{4\epsilon_0 R}$$

1.10.2 Antenne "slot"



$$f = \frac{c}{\lambda}$$

1.11 Horloge

1.11.1 Jitter

Petites variation d'un oscillator. Le jitter contribue à réduire le rapport signal sur bruit

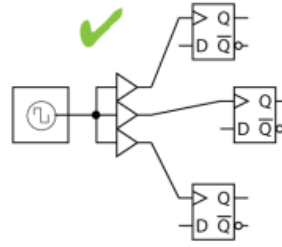
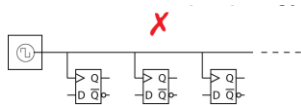
$$\text{SNR} = 20 \log_{10} \left(\frac{1}{2\pi f t_{\text{jitter}}} \right)$$

1.11.2 Skew

Différence de temps pour que le signal atteigne les différents ICs.

Pour éviter ça, mettre le distributeur de clock au centre et distribuer avec des longueurs de piste égales.

1.11.3 Distribution

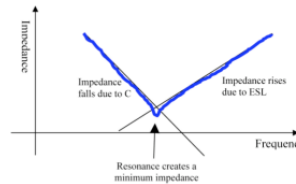


1.12 Découplage

Atténuation des perturbations d'IC et/ou charge de capacités pour diminuer les perturbations et/ou garantir le fonctionnement du système. Placer des capa entre GND et VCC.

Le circuit équivalent d'une capacité est un circuit ESR(R)-ESL(L)-C en série. ESL + C forment un circuit résonant en série. Au dessus de $\omega_{\text{resonance}}$, la capa agit comme une inductance. ESL dépend du format et de la taille de la capa.

$$\omega_{\text{res}} = \frac{1}{\sqrt{LC}}$$



Comment choisir la capacité de découplage? utiliser des multicouche céramique, le plus petit format possible, généralement : 100nF, 10nF, 1 nF

Capacitor value	THT case (6mm leads) ESL ≈ 3.75 nH	SMD 0805 case ESL ≈ 1 nH
1.0 μF	2.6 MHz	5 MHz
100 nF	8.2 MHz	16 MHz
10 nF	26 MHz	50 MHz
1 nF	82 MHz	159 MHz
100 pF	260 MHz	503 MHz

On souhaite un grand ESR pour avoir une atténuation lors de la mise en parallèle (résonance parallèle) et un ESL petit pour avoir la plus fréquence de

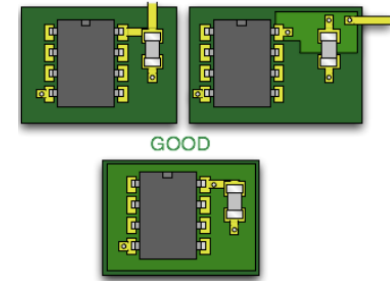
coupure le plus haut possible.

Lors de la mise en parallèle des capa, disposer les capa en tête-bêche (flux de courant en sens opposés) pour annuler les champs magnétiques émis mutuellement.

Si les plans d'alimentation pour la partie analogique et la partie numérique sont séparés, les relier avec des ferrites.

Gros condensateur (10 μF to 50 μF) pour découpler l'alimentation et petit (100 nF) pour les hautes fréquences

1.12.1 Placement du condensateur



Garder les connexions courtes, éviter de mettre les condensateurs dans le même sens

1.13 Plans

Capacité intrinsèque entre les plans :

$$C = \epsilon_0 \epsilon_r \frac{A}{d}$$

Éviter la résonance des plans en choisissant un rapport longueur / largeur irrationnel.

1.14 Lignes de transmission

Impédance caractéristique à HF (impédance de la ligne non fermée, si elle possédait une longueur infinie) :

$$Z_0 \approx \sqrt{\frac{L'}{C'}}$$

Vitesse de propagation :

$$\nu_{ph} = \frac{c}{\sqrt{\epsilon_r \mu_r}} = \frac{1}{\sqrt{L'C''}}$$

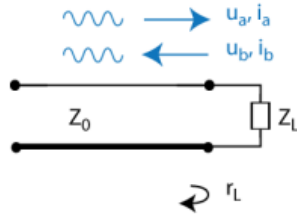
avec $\mu_r = 1$ et $\epsilon_r = 4 \dots 4.5$

Avant réflexion, on a u_a et i_a . Pour éviter les réflexions on doit placer une charge $Z = Z_0$.

Prendre en compte les effets de la ligne de transmission si l'aller-retour du signal est plus grand que le temps de montée / descente du signal.

Éviter de changer de couche avec des signaux haute-vitesse. Si un via est inévitable, prévoir un chemin de retour non-interrompu

1.14.1 Coefficient de réflexion



$$r = \frac{u_b}{u_a}$$

$$r_L = \frac{Z_L - Z_0}{Z_L + Z_0}$$

$$\underline{Z}_L = Z_0 \frac{1 + r_L}{1 - r_L}$$

$Z_L > Z_0$ réflexion positive (signal de même polarité que le signal incident est retourné), $Z_L < Z_0$ réflexion négative (signal de polarité opposée et retourné vers l'émetteur) et $Z_L = Z_0$ pas de réflexion

1.14.2 Deux lignes de transmission

$$r_{\text{jonction}} = \frac{Z_1 - Z_0}{Z_1 + Z_0}$$



Un stub (bas d'un "T" fermé) : $r = 1$. Un embranchement d'une ligne à deux lignes est similaire à deux résistances en parallèle. Les coins génèrent des réflexions

1.14.3 Effet de peau

distribution du courant (AC) que sur la surface du conducteur. Profondeur :

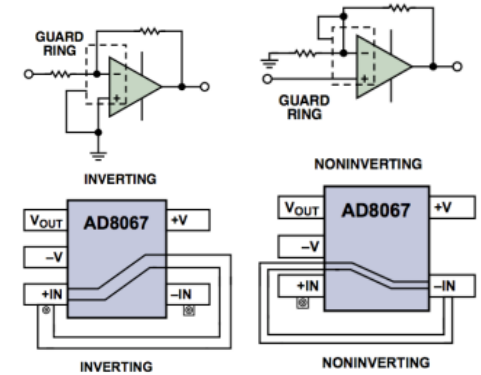
$$\delta = \sqrt{\frac{2}{\omega \mu_0 \mu_r \sigma}} \quad \sigma = 5.82 \cdot 10^7 (\text{cuivre})$$

$$R \sim \sqrt{\omega}$$

f	1 kHz	1 MHz	10 MHz	100 MHz
δ [mm]	2.1	0.06	0.02	0.006

1.15 Guard ring

entourer un nœud sensible avec un conducteur qui peut protéger des courant parasites et maintenir les conducteurs à la tension du nœud sensible.



Il faut répéter les anneaux de garde sur chaque couche si THT

1.16 Crosstalk

Interférences entre des pistes proches (couplage capacitif, inductif $u = M \frac{di}{dt}$ ou retour de courant partagé avec impédance non-nulle)



Pour diminuer le cross-talk on peut : éviter les pistes parallèles, diminuer le nombre de changements de couches, diminuer la vitesse de transition des signaux,

utiliser des signaux différentiels, diminuer la tension des signaux, ajouter un GND pour chaque signal dans les connecteurs, utiliser des stripline pour les signaux critiques.

Si il n'y a pas de plans de masse, on peut placer des "pistes de garde" pour protéger les signaux. Le couplage inductif est inversement proportionnel au carré de la distance.

1.16.1 Couplage inductif

$$\frac{1}{1 + \left(\frac{d}{h}\right)^2}$$

Avec d la distance entre les pistes et h l'épaisseur du pcb. En observant le signal à chaque bout de piste, les signaux sont de polarité inversées

1.16.2 Couplage capacitif

La polarité du signal est la même des deux côtés

1.16.3 Couplage résistif

Chemin de retour à un signal commun avec une impédance non nulle

1.17 Ground bounce

Partage d'un GND par plusieurs éléments

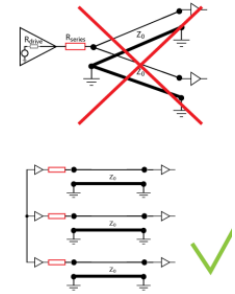


Diminuer le slew rate, utiliser des IC SMD ou BGA, ne pas partager les vias, diminuer l'impédance des connexions au GND

1.18 Signaux différentiels

Immunité aux perturbations en mode commun et aux perturbations sur le GND et moins de perturbations émises / reçues.

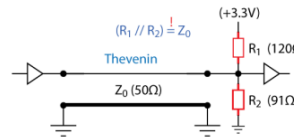
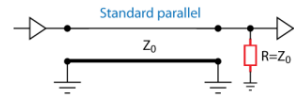
Éviter de passer des pistes proche de paires différentielles



1.18.1 Terminaisons

Éviter les reflections avec une terminaison égale à l'impédance de la ligne Z_0 (série ou parallèle).

1.18.2 Parallèles



terminaison côté récepteur, le niveau de commutation est fait en une seule étape, grande dissipation de puissance.

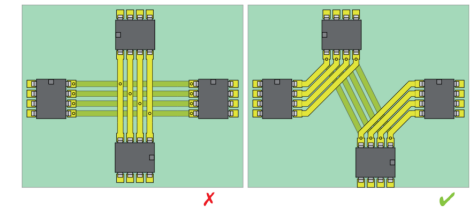
1.18.3 Séries

Uniquement pour des connexions point-to-point, faible pertes, pour des charges avec impédance élevée.

1.19 Routage

Oscillateur et circuits rapides au centre du pcb, les circuits de puissance sont placés vers les alim et les régulateurs, diviser le pcb selon les composants.

Éviter les connexions en grilles, privilégier plus de pistes sans avoir à percer le plan de masse



1.19.1 Microvia

diamètre < 0.15 mm et qui ne traversent pas forcément toutes les couches. Coût plus élevés mais beaucoup d'avantages. "Via-in-pad" (diminution des inductances de couplage). Moins de perforations des plans

1.20 Choix des composants

Pas de logique rapide (juste assez rapide pour le design), composants avec des boîtiers petits, composants avec le bon pinout (entrée d'un côté et sortie de l'autre), beaucoup de GND, vérifier la fréquence de résonance des capa de découplage

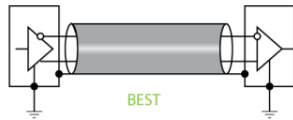
1.21 Connectors and cables

Câbles plats : signal aller-retour placés à côté (un GND entre chaque signal).

Câbles torsadés : mieux que les câbles plats sur les longues distances

Câbles blindés: bon contrôle de l'impédance de la ligne de transmission. Si le shield est mal câblé on perd tous les avantages

L'utilisation d'un choke permet de réduire les courant perturbateurs



Impédance de transfert d'un câble :

$$Z_{\text{transfer}} = \frac{u_{\text{mesuré}}}{i_{\text{appliqué}}}$$

Ajouter des ferrites / chokes, connecter le blindage du câble directement au châssis

1.22 Multi-cartes

Toujours mieux d'avoir un système sur un seul PCB. Plusieurs cartes donnent :

Problèmes de lignes de transmission

Crosstalk : diminuer la distance entre les signaux et ajouter des GND entre les pistes, prévoir un GND séparé pour chaque signal et/ou diminuer l'inductance mutuelle ou la variation de courant

Perturbations RF : Ajouter une plaque métallique de séparation ou prévoir une couche GND extérieure sur chaque carte. Prévoir également une manière de diminuer l'impédance GND

Ground bounce : Diminuer la vitesse de transition des signaux

réflexions (stubs)

clock skew

EMI (diminuer l'aire entre le signal et son retour)
Pour un signal très sensible et rapide, utiliser un canal LVDS (high speed serial differential channel).
Toujours faire un blindage au niveau PCB avant de toucher à l'armoire

1.23 ESD

Filtrage immédiat à l'entrée du câble dans le PCB, diminuer l'aire des boucles, bien faire attention à la mise à terre du PCB (masse chaude et froide si nécessaire).

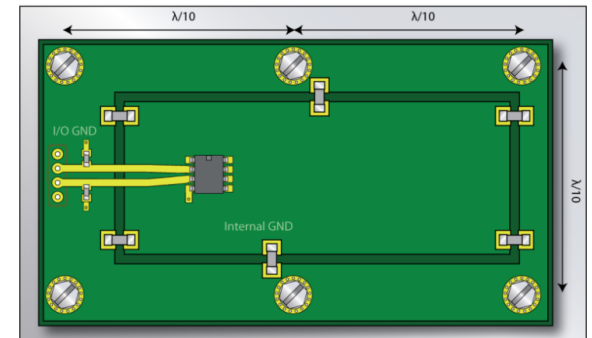
1.24 Testabilité

Ajouter des points de tests pour tous les nets. Remplir tous les vias, toutes les pins de BGA doivent être accessibles depuis la face opposée. Prévoir des points de tests sur les alimentations de chaque IC ainsi que sur les reset.

Prévoir de désactiver les oscillateurs.

Connecter les entrées inutilisées au GND

1.25 Illustrations



opamp

adc

2 Numérique

2.1 Circuits

Combinatoires Les sorties dépendent des entrées directement (porte logique par exemple)

Séquentiels synchrones Les sorties dépendent de l'état actuel et des états précédents

Séquentiels asynchrones Les sorties dépendent de l'état actuel, des états précédent et de l'état actuel des entrées et avec des délais non-contrôlés par l'horloge

2.2 Comportement transitoire

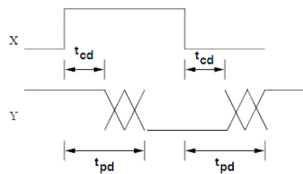
Rise time t_r : Temps de montée de 20 % à 80 %

Fall time t_f : Temps de descente de 80 % à 20 %

Edge rate : $\frac{t_r + t_f}{2}$

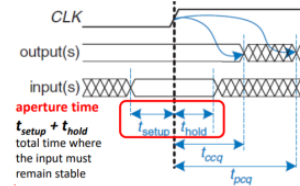
Temps de contamination t_{cd} (t_c) : Temps le plus court avant qu'un changement sur l'entrée (50 %) apparaisse sur la sortie (50 %)

Temps de propagation t_{pd} (t_p) : Temps le plus long avant qu'un changement sur l'entrée (50 %) apparaisse sur la sortie (50 %)



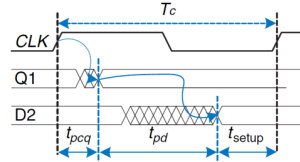
Temps de setup t_{setup} : Temps de stabilité avant le flanc d'horloge

Temps de "hold" t_{hold} : Temps de stabilité après le flanc d'horloge (souvent 0)



2.3 Contraintes

2.3.1 Temps de setup

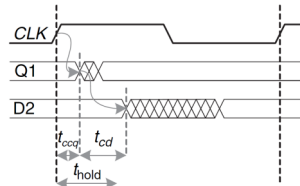


$$T_{clk} \geq T_{pcq} + t_{pd} + t_{setup} + t_{skew}$$

Ou

$$t_{pd} \leq T_{clk} - (t_{pcq} + t_{setup} + t_{skew})$$

2.3.2 Temps de hold

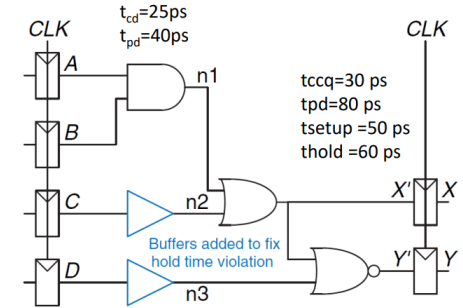


OU

$$t_{ccq} + t_{cd} \geq t_{hold} + t_{skew}$$

$$t_{cd} \geq t_{hold} + t_{skew} - t_{ccq}$$

2.3.3 Circuit combinatoire



2.4 Horloge

2.4.1 Skew

Dans le cas des cascades de flip-flop

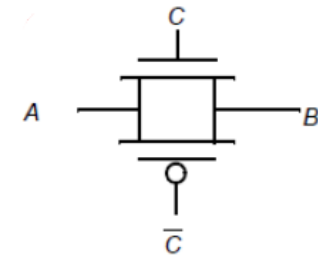
$$t_{ccq} \geq t_{skew}$$

2.5 FPGA

Timing analysis : Analyse des contraintes de timing du système complet et recherche des erreurs / définition de la fréquence max.

t_{pd} pour chaque logic element et t_{wire} entre chaque logic element

2.6 CMOS Transmission Gate



$C = 1$: Le système agit comme un fil.

$C = 0$: Le système agit comme un circuit ouvert

2.7 Optimisation

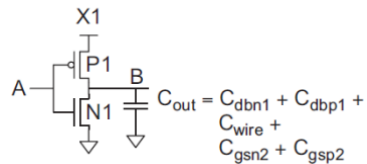
On va jouer sur : la micro-architecture, la logique, les circuits numériques, le layout (les deux derniers sont traités dans le cours)

2.8 Capacités parasites

Capacité de diffusion : Capacité entre le drain et la sortie et entre source et sortie

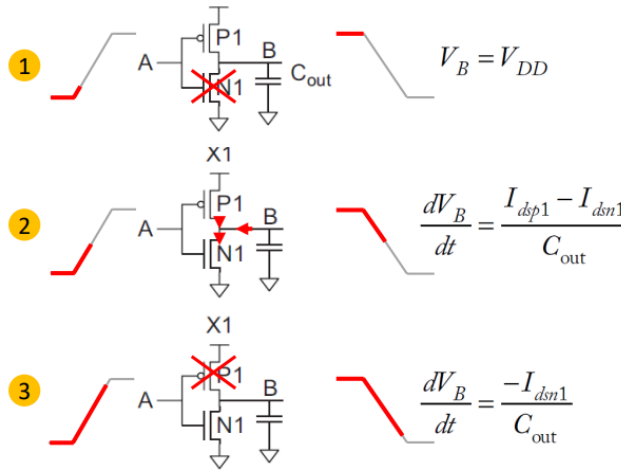
Capacité de gate : Capacité entre la gate et la masse (Canal N) et la gate et l'alimentation (canal P)

2.9 Comportement transitoire d'un inverseur



$$\frac{dV_B}{dt} = -\frac{\beta}{C_{out}} \begin{cases} \frac{(V_{DD} - V_t)^2}{2} & V_B > V_{DD} - V_t \\ (V_{DD} - V_t - \frac{V_B}{2}) V_B & V_B < V_{DD} - V_t \end{cases}$$

Si les temps de montée/descente en entrée ne sont pas 0, alors le temps de propagation augmente

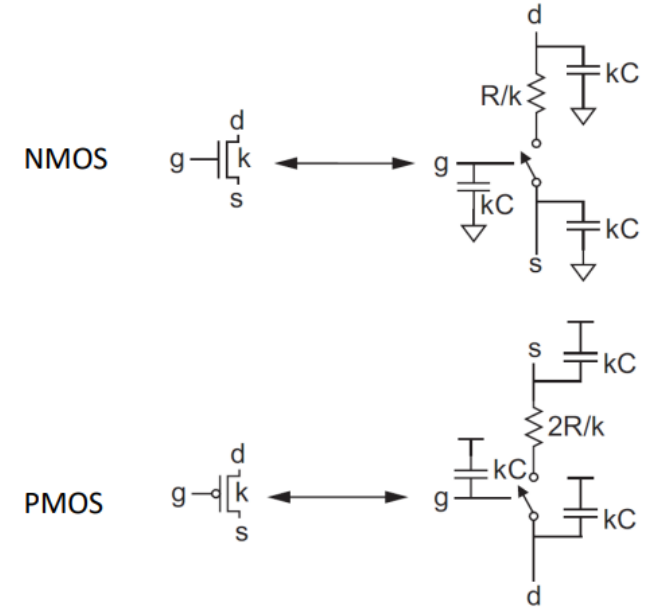


1. A commence à monter, P_1 est allumé N_1 est éteint et B reste inactif

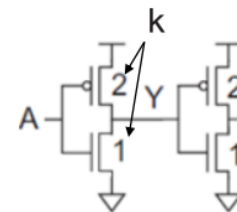
2. A atteint V_{tn} , P_1 est allumé et N_1 s'allume (B commence à diminuer)

3. A est presque à V_{DD} , P_1 s'éteint et B devient 0

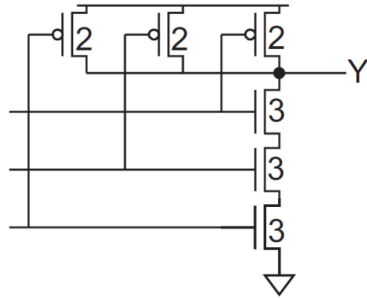
2.10 Modèle RC



k est la "taille" du transistor (le nombre d'unités). Le Pmos a le double de résistance parce que les trous ont une moins bonne mobilité que les électrons. Pour avoir un circuit équilibré on utilise :



2.10.1 Exemple de porte NAND à 3 entrées



$$\begin{aligned} t_{pdf} &= \ln(2) \cdot 12RC \\ t_{pdr} &= \ln(2) \cdot 15RC \leftarrow \\ t_{cdf} &= \ln(2) \cdot 9RC \\ t_{cdr} &= \ln(2) \cdot 3RC \leftarrow \end{aligned}$$

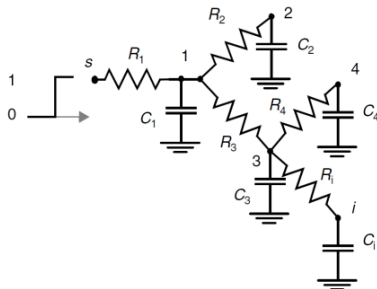
2.10.2 Exemple avec un inverseur

$$V_{out}(t) = V_{DD}e^{-t/\tau} \quad \tau = RC$$

$$t_{pd} = RC \ln(2)$$

2.11 Modèle de Elmore

Un seul nœud d'entrée, tous les condensateurs sont entre des nœuds et le GND, aucune boucle résistive



Délai sur le nœud i :

$$\begin{aligned} \tau_{Di} &= R_1 C_1 \\ &+ (R_1 + R_2) C_2 \\ &+ (R_1 + R_3) C_3 \\ &+ (R_1 + R_3 + R_4) C_4 \\ &+ (R_1 + R_3 + R_i) C_i \end{aligned}$$

Vérifier ce qui est en rouge !

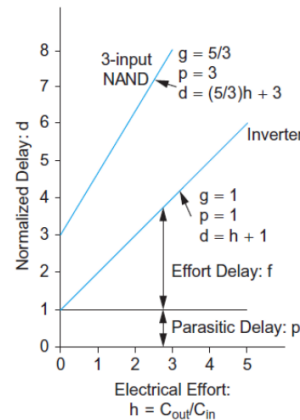
2.11.1 Représentation linéaire

$$\frac{\tau_{pd}}{\tau} = d = (p + f)$$

Délai parasite p : Propre à la porte logique (en principe invariant)

Délai "d'effort" f : Dépend des charges

Effort électrique h : Rapport entre la capacité d'entrée et de sortie C_{out}/C_{in}



2.11.2 Délais parasites

Gate Type	Number of Inputs				
	1	2	3	4	n
inverter	1				
NAND		2	3	4	n
NOR		2	3	4	n
tristate, multiplexer	2	4	6	8	$2n$

2.11.3 Efforts logiques

Gate Type	Number of Inputs				
	1	2	3	4	n
inverter	1				
NAND		4/3	5/3	6/3	$(n+2)/3$
NOR		5/3	7/3	9/3	$(2n+1)/3$
tristate, multiplexer	2	2	2	2	2
XOR, XNOR		4, 4	6, 12, 6	8, 16, 16, 8	

Des portes avec moins d'entrées sont mieux que des portes avec plus d'entrées

2.12 Système à plusieurs étages

effort logique du chemin G

$$G = \prod g_i$$

Effort électrique du chemin H

$$H = \frac{C_{out(path)}}{C_{in(path)}}$$

Effort du chemin F

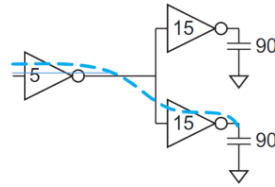
$$F = \prod f_i = \prod g_i h_i$$

$$F \neq GH \quad (\text{avec plusieurs chemins})$$

$$F = GBH$$

Effort "d'embranchement" B

$$b = \frac{C_{\text{sur le chemin}} + C_{\text{hors chemin}}}{C_{\text{sur le chemin}}}$$



Network with two-way branch

$$\begin{aligned} G &= 1 \quad H = 90/5 = 18 \\ F &= f_1 f_2 = g_1 h_1 g_2 h_2 = 1 \times 6 \times 1 \times 6 = 36 \\ F &\neq GH \end{aligned}$$

$$B = \prod b_i$$

Délai du chemin D

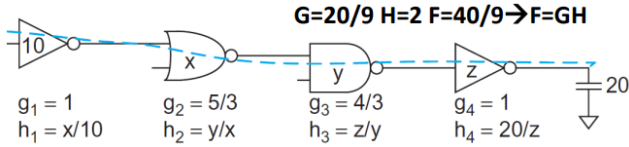
$$D = \sum d_i = D_F + P$$

Délai d'effort du chemin D_F

$$D_F = \sum f_i$$

Délai parasite P

$$P = \sum p_i$$



The method of Logical Effort is applied with the following steps:

1. Compute the path effort: $F = GBH$
2. Estimate the best number of stages: $\hat{N} = \log_4 F$
3. Sketch a path using: \hat{N} stages
4. Estimate the minimum delay: $D = \hat{N}F^{1/\hat{N}} + P$
5. Determine the best stage effort: $\hat{f} = F^{1/\hat{N}}$
6. Starting at the end, work backward to find sizes: $C_{in_i} = \frac{C_{out_i} \times g_i}{\hat{f}}$

2.12.1 Autres

Effort pour chaque étage (N étages)

$$\hat{f} = g_i h_i = F^{1/N}$$

Délai minimal pour N étages avec effort F et délai parasite P

$$D = NF^{1/N} + P$$

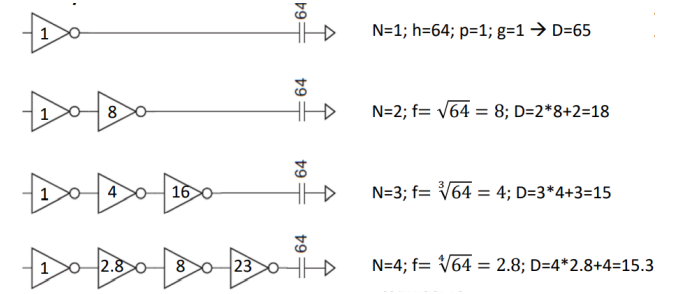


TABLE 4.5 Summary of Logical Effort notation

Term	Stage Expression	Path Expression
number of stages	1	N
logical effort	g (see Table 4.2)	$G = \prod g_i$
electrical effort	$b = \frac{C_{\text{out}}}{C_{\text{in}}}$	$H = \frac{C_{\text{out(path)}}}{C_{\text{in(path)}}}$
branching effort	$b = \frac{C_{\text{onpath}} + C_{\text{offpath}}}{C_{\text{onpath}}}$	$B = \prod b_i$
effort	$f = gb$	$F = GBH$
effort delay	f	$D_F = \sum f_i$
parasitic delay	p (see Table 4.3)	$P = \sum p_i$
delay	$d = f + p$	$D = \sum d_i = D_F + P$