

1 Conclusion

Le but principal du laboratoire a été atteint (loop avec affichage de la fractale) et un objectif secondaire a été réalisé : l'implémentation sous forme de pipeline. Un zoom "dynamique" a également été réalisé afin de démontrer la vitesse de calcul du pipeline. Il faut noter toutefois que la vitesse du zoom (10 rapprochements par seconde) est toujours bien en dessous de la fréquence de rafraichissement du pipeline (82 images par seconde) avec une fréquence de fonctionnement arbitraire de 50 MHz. Cette fréquence pourrait d'ailleurs être augmentée en recherchant précisément le maximum.

1.1 Utilisation du FPGA

1.1.1 Méthode loop

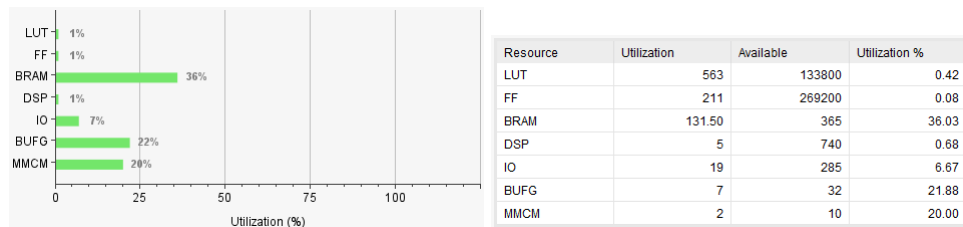


FIGURE 1 – Graph et table d'utilisation du FPGA fourni par Vivado

L'utilisation des BRAM est importante et l'implémentation de l'itérateur a nécessité 5 DSP

1.1.2 Méthode pipeline

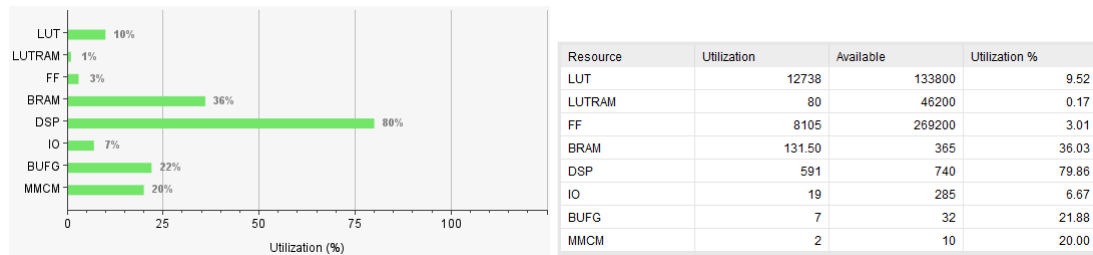


FIGURE 2 – Graph et table d'utilisation du FPGA fourni par Vivado

L'utilisation des DSP est très importante, ce qui est attendu car on en attend environ 100x plus qu'avec la version loop. L'utilisation des BRAM est identique car la mémoire vidéo est la même.