

Descripción

En este laboratorio se realizará el diseño, simulación, e implementación de los módulos del sistema de entrada y salida. Estos módulos serán implementados en la tarjeta de desarrollo Terasic DE1-SoC que contiene una FPGA Intel Cyclone V.

1. Controlador de Video VGA

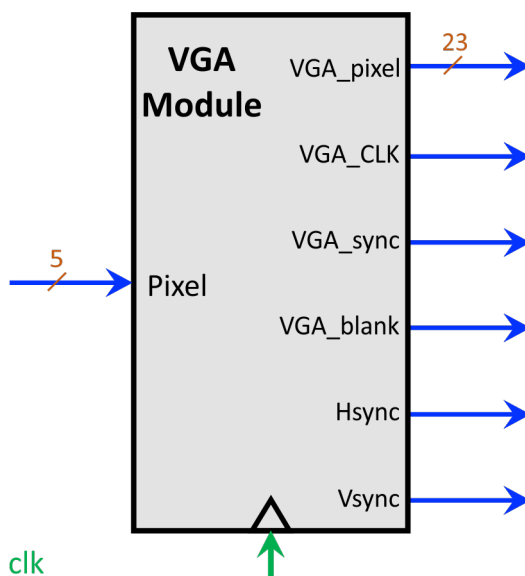


Figura 1. Controlador de Video VGA

El VGA es un tipo estándar de puerto para dispositivos de video como son los monitores, proyectores y televisores desarrollado por IBM e introducido en 1987. VGA proporciona una visualización en color con una resolución de 640 x 480 con una frecuencia de actualización de 60 Hz y 16 colores mostrados a la vez.

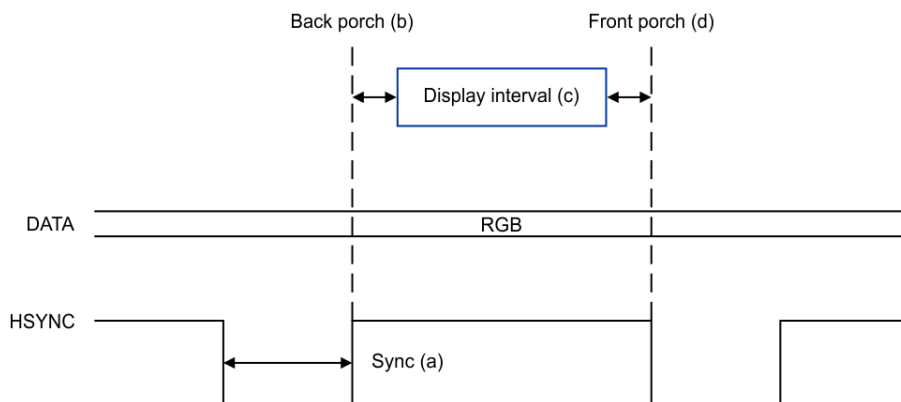


Figura 2. Horizontal Timing Specification

La **Figura 2** ilustra los requisitos básicos de tiempo para cada fila (horizontal) que se muestra en un monitor VGA. Se aplica un pulso activo-bajo de duración específica a la entrada de sincronización horizontal (hsync) del monitor, que significa el final de una fila de datos y el comienzo del siguiente.

La salida de datos (RGB) al monitor debe estar apagada (conducida a 0 V) para un período de tiempo llamado el porche trasero (b) después de que ocurre el pulso hsync, que es seguido por intervalo de visualización (c). Durante el intervalo de visualización de datos, los datos RGB conducen cada píxel por turnos a lo largo de la fila siendo exhibido. Finalmente, hay un período de tiempo llamado porche delantero (d) donde las señales RGB debe volver a estar apagadas antes de que pueda ocurrir el siguiente pulso hsync.

El momento de la sincronización vertical (vsync) es similar al que se muestra en la **Figura 2**, excepto que un pulso vsync significa el final de un cuadro y el comienzo del siguiente, y los datos se refieren al conjunto de filas en el cuadro (sincronización horizontal).

VGA mode		Horizontal Timing Spec				
Configuration	Resolution (HxV)	a(μs)	b(μs)	c(μs)	d(μs)	Pixel clock (MHz)
VGA (60Hz)	640x480	3.8	1.9	25.4	0.6	25

Tabla 1. Horizontal Timing Specification

VGA mode		Vertical Timing Spec				
Configuration	Resolution (HxV)	a(lines)	b(lines)	c(lines)	d(lines)	Pixel clock (MHz)
VGA (60Hz)	640x480	2	33	480	10	25

Tabla 2. Vertical Timing Specification

La **Tabla 1** y la **Tabla 2** muestran las duraciones del período de tiempo a, b, c, y d para temporización tanto horizontal como vertical.

2. Controlador de Teclado PS2

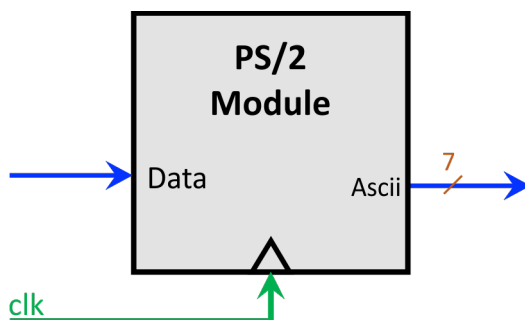


Figura 3. Controlador de Teclado PS2

El conector PS/2 o puerto PS/2 toma su nombre de la serie de computadoras IBM Personal System/2 que es creada por IBM en 1987, y empleada para conectar teclados y ratones.

La interfaz tiene dos líneas de señales principales, Datos y Reloj. Normalmente, la transmisión es del dispositivo al host. Para transmitir un byte, el dispositivo simplemente emite una trama de datos en serie (incluidos 8 bits de datos y un bit de paridad) en la línea de datos en serie, ya que alterna la línea de reloj una vez por cada bit.

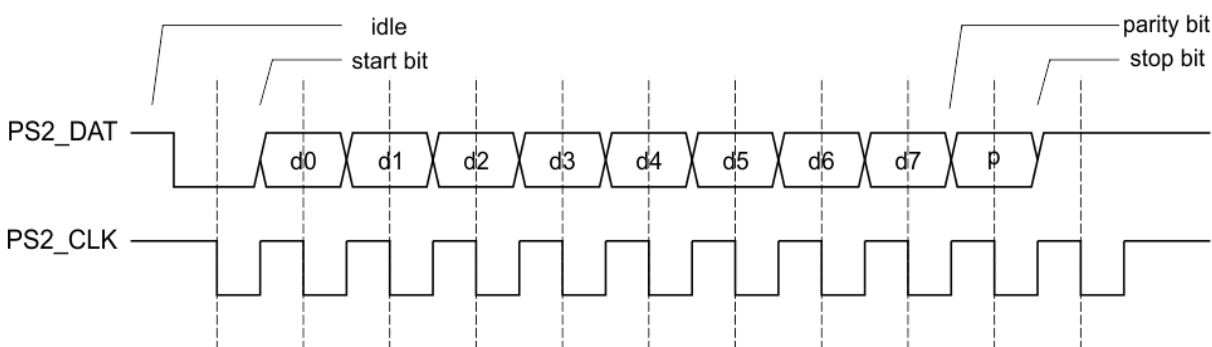


Figura 4. Protocolo serial PS/2

Todos los módulos deberán ser diseñados en el lenguaje de descripción de hardware SystemVerilog y simulados con un banco de pruebas en la plataforma EDAPlayground. Deberán tomar capturas de pantalla de los archivos de diseño y banco de pruebas y de la simulación realizada en EPWave. Se deberá explicar cómo los resultados de la simulación coinciden con la respuesta esperada. Luego se deberá diseñar una estrategia para verificar el diseño en la FPGA usando como entradas los interruptores y los pulsadores y como salida una pantalla con puerto VGA, los LEDs y los visualizadores de 7 segmentos. Para realizar este proceso se requiere de elementos adicionales que también debe ser diseñados, tales como, multiplexores y decodificadores. Luego se debe proceder con la síntesis y configuración de la FPGA usando el entorno de Intel Quartus y la posterior verificación física del diseño.