
ФПИиКТ, Системное и Прикладное Программное Обеспечение

Лабораторная работа № 2

Тема: “Разработка аппаратных
ускорителей математических вычислений”

Вариант №7

по Функциональной схемотехнике

Выполнил:

Провоторов Александр
Владимирович

Группа:

P33112

Преподаватель практики:

Салонина Екатерина
Александровна

Преподаватель:

Кустарев Павел Валерьевич

Цель работы.

Получить навыки описания арифметических блоков на RTL-уровне с использованием языка описания аппаратуры Verilog HDL.

Задание в соответствии с вариантом.

Таблица 1

№ варианта	Функция	Ограничения
2	$y = a^3 + \sqrt[2]{b}$	2 сумматора и 1 умножитель

Схема основных функциональных блоков:

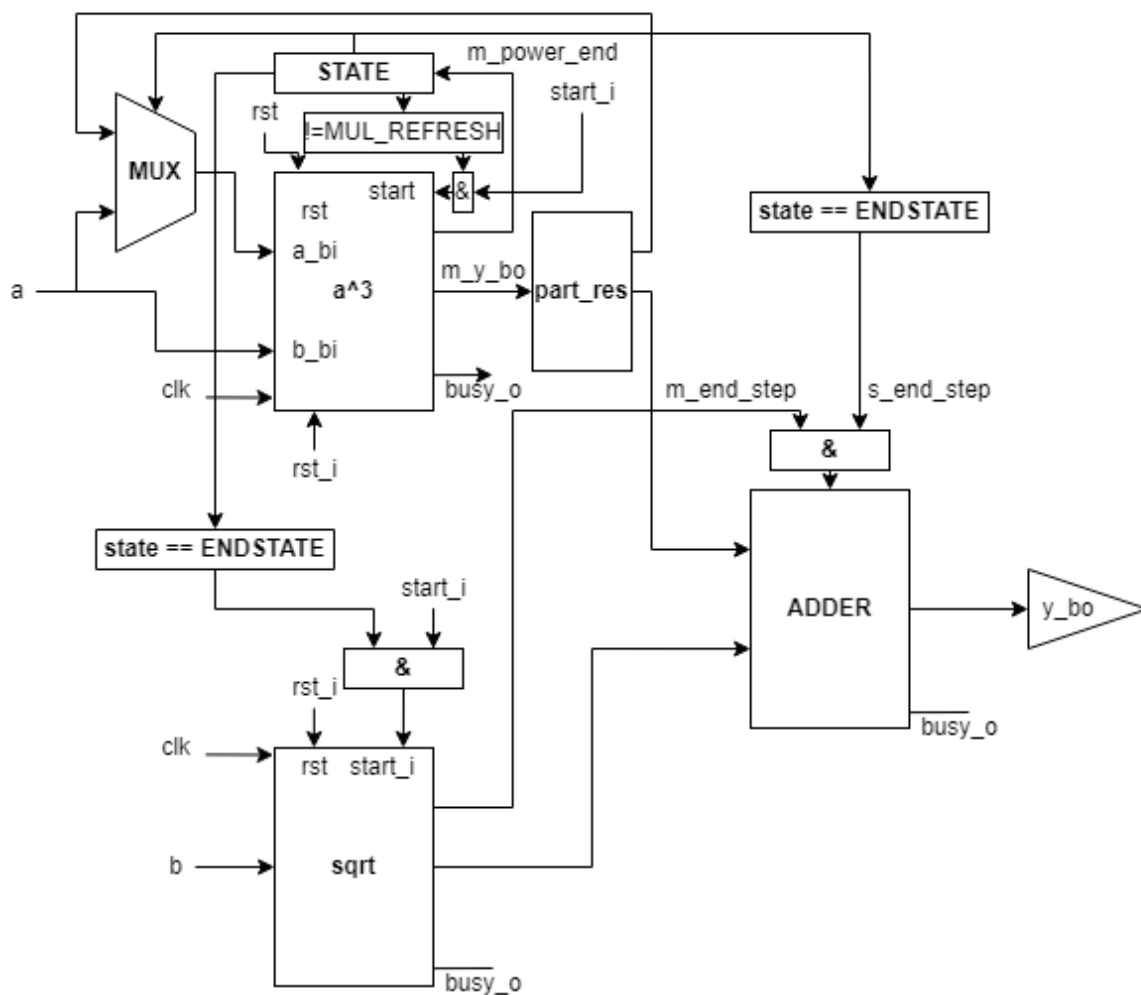
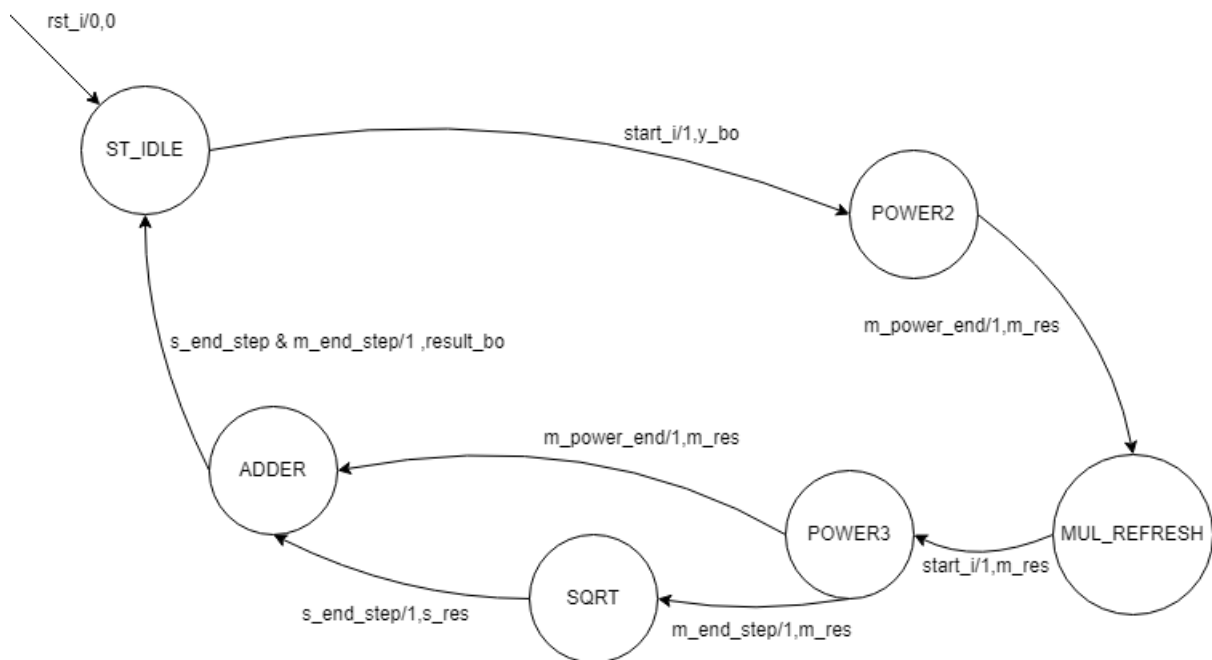


Схема конечного автомата для итоговой функции



Описание работы разработанного блока

Когда приходит сигнал **rst_i** происходит сброс модулей нашего автомата и схема входит в состояние **ST_IDLE**. По сигналу **start_i** равному **1** автомат переходит в состояние **POWER2**, в котором умножитель используется для подсчета **a_bi * mux(a_bi, part_res)**, а значение мультиплексора в данном случае, исходя из значения **state**, которое равно как раз **POWER2**, он выберет **a_bi** и умножит, после чего сохранит в **part_res** и перейдет в состояние **MUL_REFRESH**. В данном состоянии регистр **m_power_end** будет сброшен, после чего модуль будет готов для дальнейший подсчетов и перейдет в состояние **POWER3**. В этом состоянии **mux** выберет уже **part_res** и таким образом мы получим число, возведенное в 3 степень, и перейдем к следующему состоянию, **SQRT**. Здесь уже начнет работать модуль вычисления корня из числа **b_bi**. После вычисления, схема перейдет в состояние **ADDER**, где, исходя из названия, наши два числа будут сложены, и мы получим итоговое значение нашей функции, после чего она обратно вернется в состояние **ST_IDLE**.

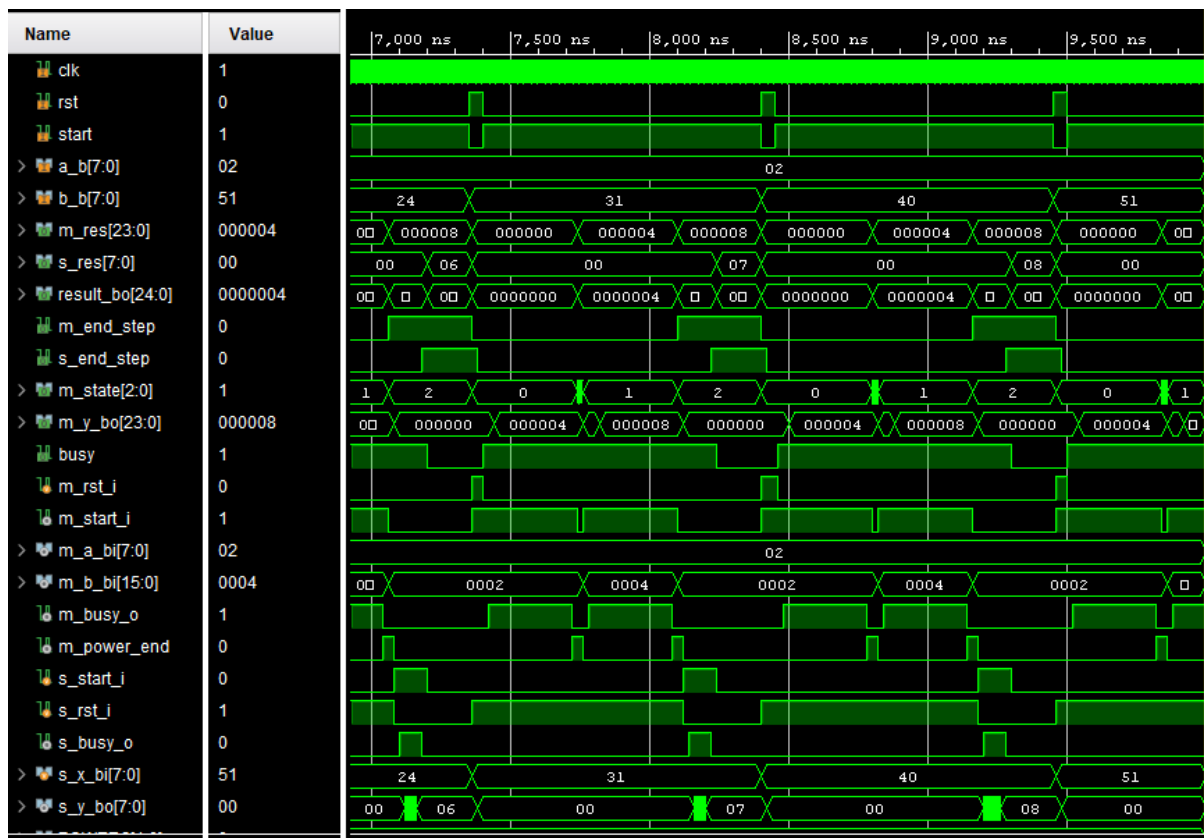
[КОД РАЗРАБОТАННОГО АВТОМАТА](#)

Область допустимых значений разработанного блока

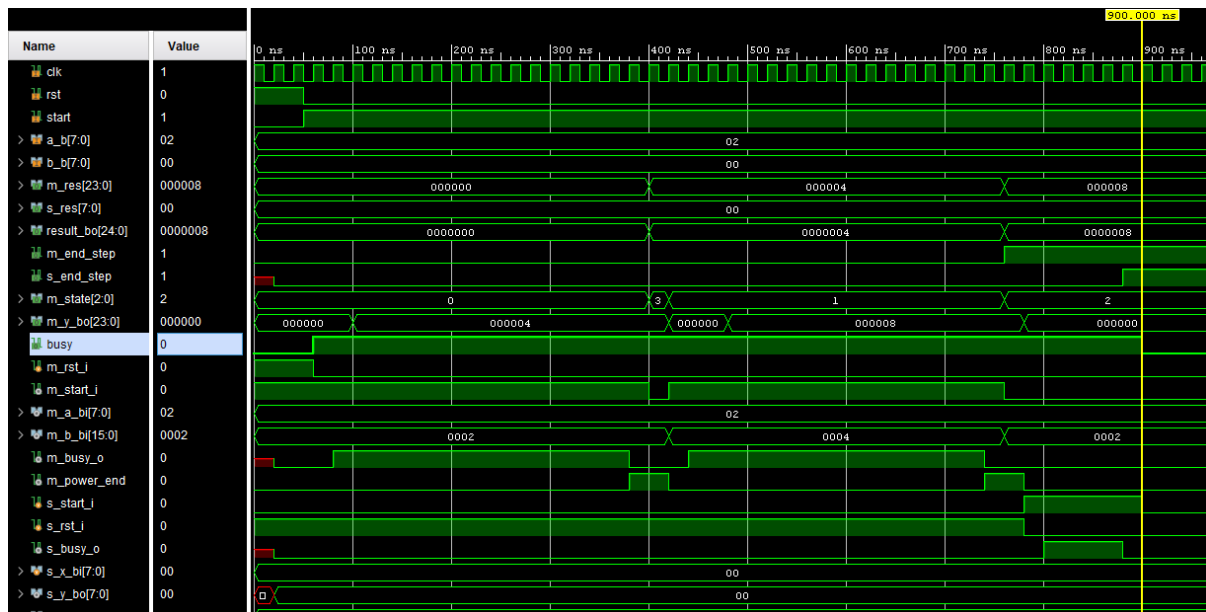
$$a \in [0; 256), b \in [0; 256)$$

$$\left[\begin{array}{l} y \in \{a + b | a, b \in \{0 \dots 2^{24} - 1\} \times \{0 \dots 255\}\} \\ y \in [0; 2^{25}) \end{array} \right.$$

Результат тестирования разработанного блока (временная диаграмма)



Время вычисления результата при частоте тактового сигнала в 100 МГц



Время выполнения: 850 нс

Выводы по работе

В ходе выполнения лабораторной работы я понял, что ~~Vivado не создан для людей~~ очень сложно проектировать, разрабатывать и создавать даже простейшие схемы, особенно включающих много мелких деталей, требующих высокую точность вычислений. А также очень сложно следить одновременно везде за отсутствием утечки памяти, ведь даже неправильное тестирование может дать ложно-верное представление о работе схемы, коим оно не является на самом деле.