

|  |  |
| --- | --- |
| ФПИиКТ, Системное и Прикладное Программное Обеспечение | |
| Лабораторная работа № 2Тема: “Разработка аппаратныхускорителей математических вычислений” | |
| Вариант №7 | по Функциональной схемотехнике |
|  | Выполнил:  Провоторов Александр Владимирович  Группа:  P33112  Преподаватель практики:  Салонина Екатерина Александровна  Преподаватель:  Кустарев Павель Валерьевич |
| *г. Санкт-Петербург*  *г. 2022* | |

# Цель работы.

Получить навыки описания арифметических блоков на RTL-уровне с использо-

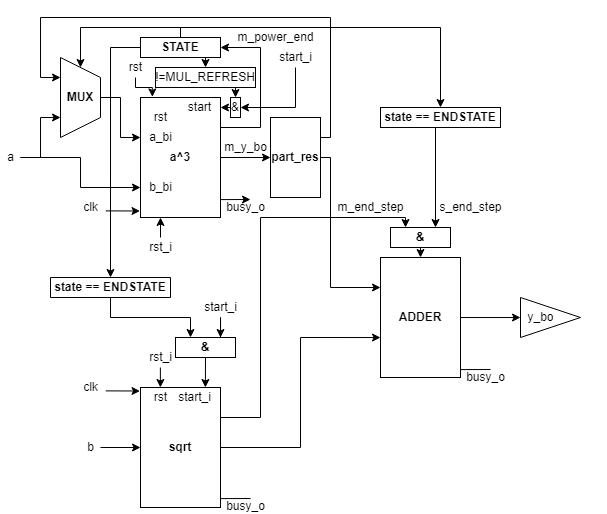
ванием языка описания аппаратуры Verilog HDL.

# Задание в соответствии с вариантом.

Таблица 1

|  |  |  |
| --- | --- | --- |
| **№ варианта** | **Функция** | **Ограничения** |
| 2 |  | 2 сумматора и 1 умножитель |

***Схема основных функциональных блоков:***



# Схема конечного автомата для итоговой функции

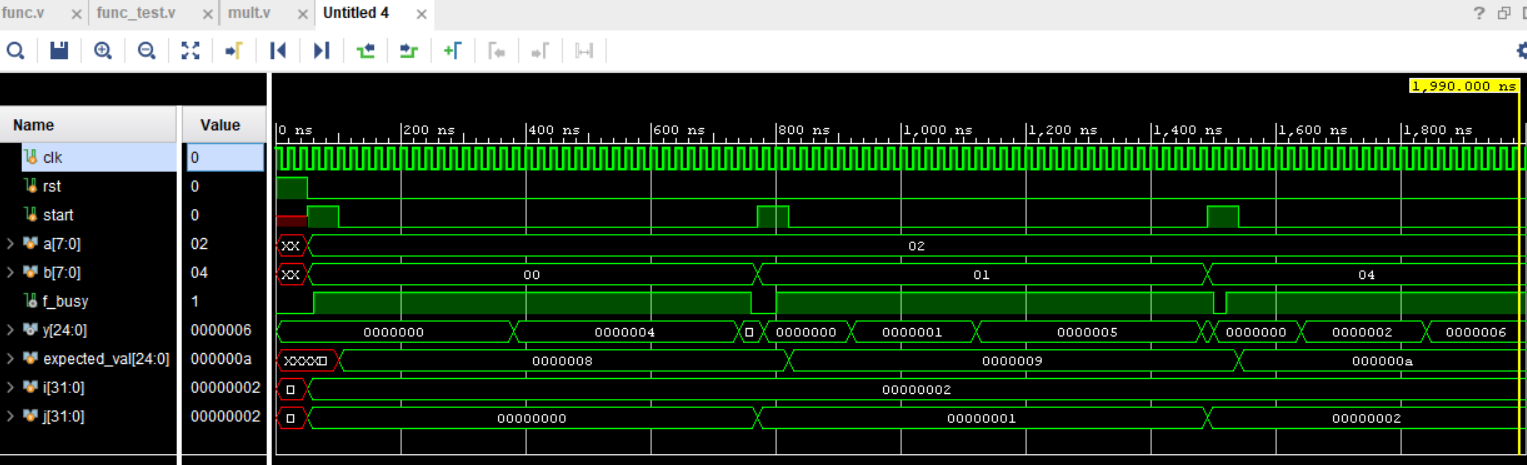
# Описание работы разработанного блока

Когда приходит сигнал **rst\_i** происходит сброс модулей нашего автомата и схема входит в состояние **ST\_IDLE**. По сигналу **start\_i** равному **1** автомат переходит в состояние **POWER2**, в котором умножитель используется для подсчета **a\_bi \* mux(a\_bi, part\_res)**, а значение мультиплексора в данном случае, исходя из значения **state**, которое равно как раз **POWER2**, он выберет **a\_bi** и умножит, после чего сохранит в **part\_res** и перейдет в состояние **MUL\_REFRESH**. В данном состоянии регистр **m\_power\_end** будет сброшен, после чего модуль будет готов для дальнейший подсчетов и перейдет в состояние **POWER3**. В этом состоянии **mux** выберет уже **part\_res** и таким образом мы получим число, возведенное в 3 степень, и перейдем к следующему состоянию, **SQRT**. Здесь уже начнет работать модуль вычисления корня из числа **b\_bi**. После вычисления, схема перейдет в состояние **ADDER**, где, исходя из названия, наши два числа будут сложены, и мы получим итоговое значение нашей функции, после чего она обратно вернется в состояние **ST\_IDLE**.

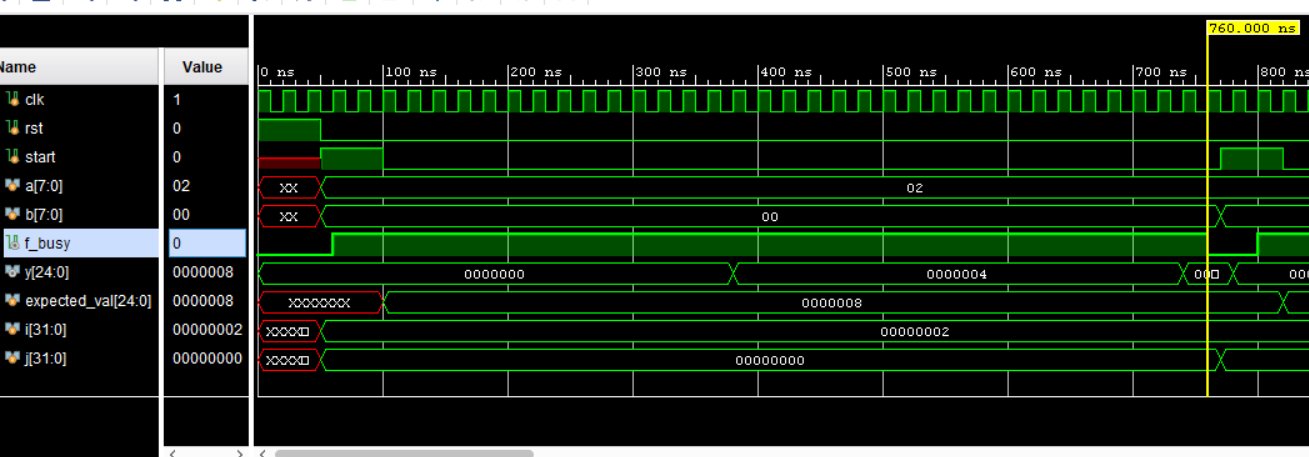
[КОД РАЗРАБОТАННОГО АВТОМАТА](https://github.com/SeeMemes/VerilogLab2)

# Область допустимых значений разработанного блока

# Результат тестирования разработанного блока (временная диаграмма)



# Время вычисления результата при частоте тактового сигнала в 100 МГц



Время выполнения: 700 нс

# Выводы по работе

В ходе выполнения лабораторной работы я понял, что ~~Vivado не создан для людей~~ очень сложно проектировать, разрабатывать и создавать даже простейшие схемы, особенно включающих много мелких деталей, требующих высокую точность вычислений. А также очень сложно следить одновременно везде за отсутствием утечки памяти, ведь даже неправильное тестирование может дать ложно-верное представление о работе схемы, коим оно не является на самом деле.