



## DISEÑO AUTOMÁTICO DE SISTEMAS

### FICHA DE DISEÑO

#### Proyecto

Nombre del proyecto	
Fecha de diseño	
Herramienta	Xilinx ISE Design Suite 14.1
Placa de prototipado	XSA 3S1000 + XST 3.0
Dispositivo	XC3S1000-4FT256

#### Especificación VHDL

Elemento	Cantidad
Ficheros	
Líneas de código totales	
Componentes	
Sentencias concurrentes totales	

#### Módulos RTL inferidos

Módulo	Cantidad
Registers	
Latches	
Tristates	
Counters	
Accumulators	
Shift Registers	
Multiplexers	
Decoders	
Priority Encoders	

Módulo	Cantidad
Logic Shifters	
Adders/Subtractors	
Comparators	
Multipliers	
MACs	
RAMs	
ROMs	
FSMs	
Block RAMs	

#### Utilización del dispositivo

Elemento	Disponibles	tras HDL Synthesis (estimados)		tras Mapping (reales)	
		#	%	#	%
Slices	7680				
related logic	---	---	---		
unrelated logic	---	---	---		
Flip-flops	15360				
4 input LUTs	15360				
used as logic	---	---	---		
used as routed thru	---	---	---		
Bonded IOBs	173				
Block RAMs	24				
Multipliers	24				

### Análisis de tiempos

Elemento	tras HDL Synthesis (estimados)	tras P&R (reales)
Minimum (clock) period		
Maximum (clock) frequency		
Minimum input arrival time		---
Maximum output required time		---
Maximum combinational path		---

### Análisis de potencia

Elemento	Potencia consumida
Clocks	
Logic	
Signals	
IOs	
Leakage	
Total	