



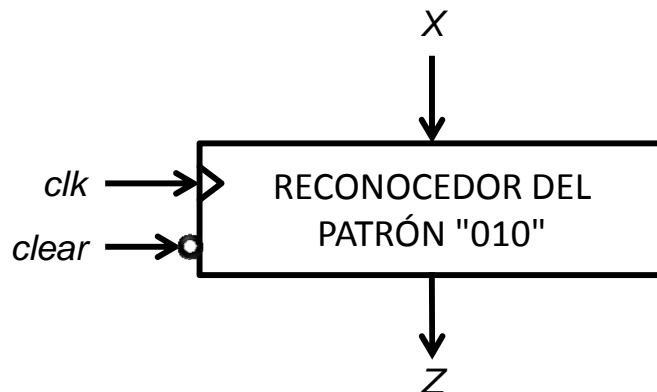
## FUNDAMENTOS DE COMPUTADORES

# PRÁCTICA 3: DISEÑO Y MONTAJE DE UN RECONOCEDOR DE PATRÓN

El objetivo de esta práctica es diseñar y montar en el laboratorio un circuito secuencial que reconozca el patrón “010”, modelando su comportamiento como una máquina de Moore.

Un circuito tendrá los puertos mostrados en la figura:

- Una entrada binaria,  $X$ , por la que reciben los bits en serie.
- Una salida binaria,  $Z$ , que tomará el valor lógico “1” cuando los últimos tres bits de entrada formen la secuencia “010”, y “0” en cualquier otro caso.
- Una entrada,  $clk$ , de reloj.
- Una entrada,  $clear$ , de inicialización asíncrona activa a baja.



### Desarrollo de la práctica

#### 1. Fase de diseño

- El diseño del circuito debe realizarse en casa y quedar reflejado en el cuadernillo correspondiente.
- El circuito deberá diseñarse como **máquina de Moore** usando biestables D, puertas NAND e inversores.

#### 2. Fase de montaje

- El montaje del circuito se realizará durante la sesión de laboratorio.
- Las entradas  $X$  y  $clear$  se conectarán a switches.
- La entrada de  $clk$  se conectará a un pulsador.
- La salida  $Z$  se conectará a un led.
- Para montar el circuito en el entrenador hay que utilizar los siguientes chips:
  - **7474**: 2 biestables D (disparados por flanco de subida y señales de inicialización asíncrona a 0 ó 1 activas a baja).
  - **7400**: 4 puertas NAND de 2 entradas.
  - **7410**: 3 puertas NAND de 3 entradas.
  - **7404**: 6 puertas NOT.

- Comprobar que el circuito reconoce el patrón “010” con solapamiento, para ello hay que introducir por la entrada X una secuencia que presente varios patrones solapados en algún momento, como por ejemplo:

0 0 1 0 0 1 0 1 0 1 0 0 1 1

- Si el circuito no funciona correctamente hay que depurarlo para encontrar los fallos y corregirlos. Para depurar circuitos secuenciales hay que seguir los pasos explicados en el siguiente apartado.
- Cuando se haya comprobado que funciona correctamente hay que enseñárselo al profesor del laboratorio.

### **Depuración de un circuito secuencial**

A continuación se va a explicar un procedimiento para determinar de un modo sistemático a que son debidos los errores que se producen en el comportamiento de un sistema secuencial que se ha diseñado e implementado.

Para facilitar esta tarea es conveniente que los valores del estado actual (aunque NO SON SALIDAS del circuito) se conecten a los LEDs o al display para comprobar de manera rápida cual es la transición de estado que falla.

Si al comprobar el funcionamiento del circuito se detecta que el valor de una de las salidas no se corresponde con el esperado para el estado del circuito y la configuración binaria presente en las entradas, se debe buscar la causa del error. Para ello se procede del siguiente modo:

- i) Repasar el diseño que se está implementando buscando errores.
  - a. Si en la simulación el circuito funcionaba correctamente podemos asegurar que el error no se encuadra en el diseño.
- ii) Una vez que se está seguro que el error se encuentra en la implementación hardware o física del circuito, se debe analizar la secuencia de estados que sigue la máquina, para la secuencia de entradas en la que se ha detectado el error.
  - a. Si la secuencia es correcta entonces el error se encuentra en la red combinacional que produce la salida (SC1). Aplicar los pasos de depuración de una red combinacional sobre este módulo.
  - b. Si la secuencia no es correcta entonces falla o la red combinacional que genera el siguiente estado (SC2) o el conjunto de biestables. Pasar al punto iii.
- iii) Llevar el circuito al estado en el que se produce una transición incorrecta.

A continuación se plantea un ejemplo de cómo depurar un circuito secuencial cuando se observa un error en la secuencia de las salidas:

	Secuencia correcta				Secuencia observada		
	Q2	Q1	Q0		Q2	Q1	Q0
Estado inicial	0	1	0		0	1	0
Estado final	0	1	1		0	0	1

En este ejemplo se aprecia que el circuito que debería haber realizado la transición de estados  $2 \rightarrow 3$ , ha efectuado en realidad la transición  $2 \rightarrow 1$ . Lo primero es identificar el biestable o biestables que han efectuado una transición de estado incorrecta. En este ejemplo el biestable que realiza una transición incorrecta sería Q1 (es el único biestable que tiene un bit incorrecto).

Una vez identificado el biestable que falla:

- Si teniendo en cuenta los valores actuales de las entradas y la tabla de verdad del biestable que falla, se deduce que el próximo estado ha de ser el de la secuencia incorrecta observada, entonces el biestable está funcionando correctamente. El fallo se encuentra en la red combinacional (SC2) que genera el estado futuro. Aplicar los pasos de depuración de una red combinacional sobre esta red.
- Si las entradas del biestable que falla determinan que el próximo estado ha de ser el de la secuencia correcta entonces el biestable no funciona. Las posibles razones que no funcionen son:
  - No llega la señal de reloj.
  - Entradas asíncronas activadas.
  - Biestable sin polarizar o mal polarizado.
  - Chip estropeado.

A continuación se resume todo este proceso en forma de organigrama:

