

Trabajo Práctico 2 - Microelectrónica 86.46

Trabajo Práctico Final - 2024-1C

Fernández Long, Segundo	102753
Tema	ue02

Índice

1. Introducción	1
2. Current Steering	1
2.1. Etapa de entrada	1
2.2. Decoder 3x8	2
2.3. Celda de corriente	2
2.4. Cascode bias	3
3. Diseño	3
3.1. FFD de entrada	3
3.2. Decoder	4
3.3. Celda de corriente	6
3.3.1. Lógica	6
3.3.2. Transistores de paso	7

3.3.3. Cascode	8
3.4. Cascode bias y referencia	10
4. Caracterización	12
4.1. INL	12
4.2. DNL	14
4.3. Valor maximo de la resistencia R_s	14
4.4. Tiempo maximo de conversión	15
4.5. Offset	17
4.6. Error de ganancia	17
4.7. Señal de reset	18
5. Consideraciones del layout	19
6. Referencias	19
7. Layout	19

1. Introducción

En este trabajo se buscara diseñar un conversor Digital-Analógico de 6 bits basado en celdas de corriente cascode diferencial de $3.5\mu A$ con una resistencia de sensado de 350Ω . Una vez hecho el diseño se caracterizara el conversor con parámetros como el INL , DNL , $Offset$ y F_{max} . Para finalizar se hará el floor planning de todo el circuito y parte del layout del mismo.

2. Current Steering

La topología utilizada para el DAC es la de current steering, la cual se basa en convertir los datos de entrada en una suma de n fuentes de corriente a la salida del circuito.

En este caso se utilizó una salida diferencial, lo que significa que el resultado es una diferencia de la caída de tensión sobre 2 resistencias.

A continuación se explicaran en detalle todos los bloques funcionales del circuito.

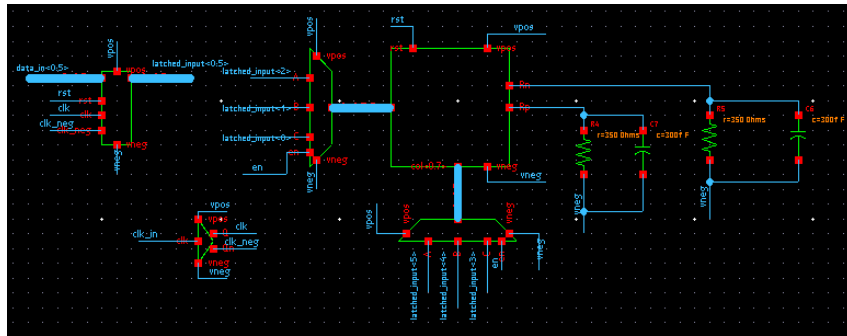


Figura 1: Bloques funcionales del DAC

2.1. Etapa de entrada

La entrada del circuito sera el bus de 6 bits de datos, una entrada de reset que se encarga de llevar a un estado conocido al circuito y una entrada de enable la cual permite que el circuito convierta el dato de entrada.

Para evitar errores o glitches por las posibles variaciones en los datos de entrada mientras se esta realizando una conversión se utilizo un array de FFD. De esta forma el dato utilizado por el DAC permanecerá constante hasta que ocurra un flanco ascendente de en la señal de clock.

Cualquier retardo $tc2q$ provocado por los FFD limitara la F_{max} del circuito, ya que los datos tardaran mas tiempo en llegar a la entrada de los decodificadores y por lo tanto a la salida del circuito.

Debido a que para los FFD se necesita una entrada de clock negada se utilizo un circuito de no-overlapping-clock para generar dicha señal. Esto evita que circuito necesite una entrada de clock externa pero a cambio sera necesario una mayor área, que en este caso no es considerable.

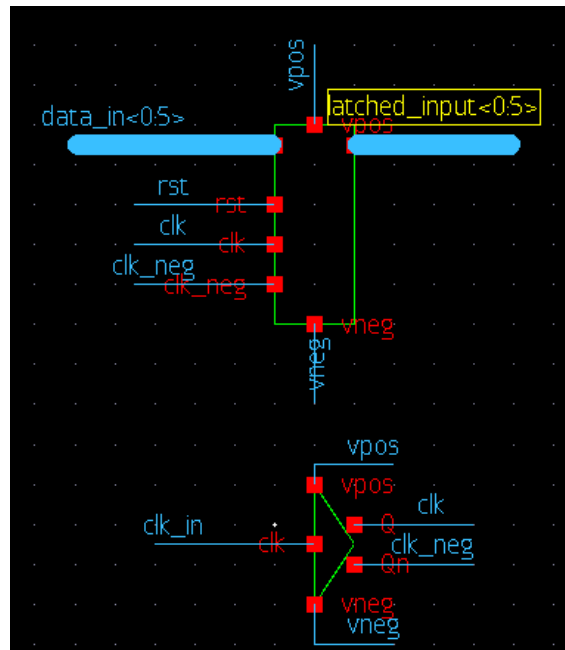


Figura 2: Etapa de entrada

2.2. Decoder 3x8

El decoder se encargara de activar una de las 8 salidas (filas/columnas) de la matriz en función de los datos de entrada. Los 3 bits menos significativos controlaran las filas de la matriz de celdas y los 3 mas significativos las columnas.

Las salidas del decoder llevan la información de cuantas celdas de corriente deben estar encendidas para un cierto código. Esta información tardara un cierto tiempo en ser propagada por el circuito lo que provocara que la topología utilizada afecte la máxima frecuencia de operación debido al retardo agregado.

2.3. Celda de corriente

La celda de corriente es el bloque principal del DAC, se encargara de proporcionar la corriente de $3.5\mu A$ estable. Además contiene la lógica necesaria para controlar el encendido de las celdas anteriores a esta.

Una celda estará activa cuando la fila y la columna correspondiente a esta celda este en 1 o cuando una celda posterior este encendida.

La corriente suministrada por la celda es generada por una copia de corriente cascode. Este circuito deberá tener una impedancia de salida lo mas grande posible, de forma que la copia de corriente sea lo mas fiel posible y así también la tension generada por el DAC.

Como se esta trabajando con una salida diferencial, se utilizan 2 transistores de paso para controlar la dirección de la corriente. De forma que si la celda esta apagada la corriente fluirá por la resistencia R_p y en caso de que este encendida fluirá sobre R_n .

Estos transistores de paso estarán funcionando como llaves por lo que estarán en triodo.

Debido a esto se buscara que estos transistores tengan la menor $R_{DS_{on}}$ para evitar una caída de tensión en las llaves y así no perder rango dinámico en la salida.

2.4. Cascode bias

Las celdas de corriente necesitan de 2 tensiones V_{c1} y V_{c2} con el fin de polarizar el cascode, estas tensiones son generadas por el cascode bias. El circuito genera las tensiones necesarias a partir de la copia de una corriente de referencia la cual debe estar bien regulada y no debe variar con la tensión de alimentación ni con la temperatura.

3. Diseño

3.1. FFD de entrada

El primer bloque a diseñar fue el array de FFD, el cual va a mantener estable la entrada del DAC para evitar glitches en el tiempo que tarda el DAC en realizar una conversión.

El circuito propuesto se muestra en la figura 3, donde se utiliza uno por cada bit de datos de entrada

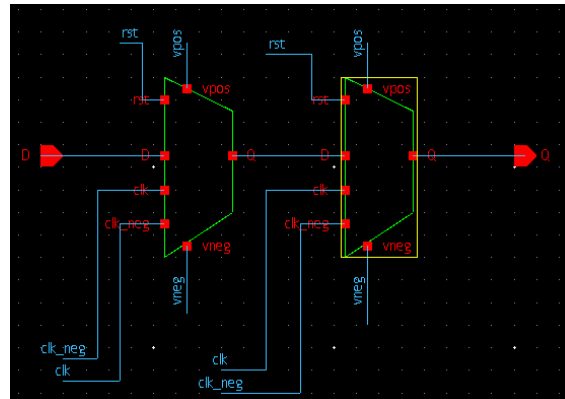


Figura 3: Esquemático de un FFD

Como se menciona anteriormente este circuito agregara un retardo al tiempo de conversión, por lo tanto se busca minimizar los anchos y largos del circuito de forma de minimizar las capacidades parásitas.

Para generar la señal de Clock en contrafase necesaria por los FFD se utilizó el circuito de No-Overlapping-Clock mostrado en la figura 4. Además se evitara cargar a la señal de Clock de entrada ya que la capacitancia vista por la misma sera la del circuito de NOC, la cual es menor que la de los 6 FFD a los que se debería conectar en caso de no usar este circuito.

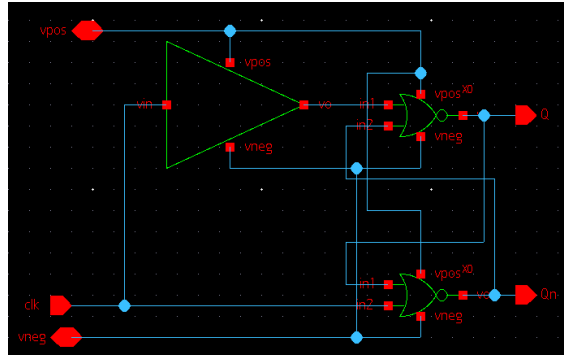


Figura 4: Esquemático de No-Overlapping-Clock

Corner	$\text{Clk}_{noc}[pS]$	$\text{Clk}_{neg-noc}[pS]$
Lento	107.0	234
Normal	53.1	94.2
Rápido	38.4	58.5

Tabla 1: Retardos simulados del NOC

3.2. Decoder

El decoder de 3 entradas y 8 salidas mas simple se puede conseguir utilizando una serie de compuertas AND y las entradas negadas/sin negar. De forma que cuando, por ejemplo, todas las entradas sean 0 , la primer compuerta tenga todas las entradas negadas obteniéndose así un 1 a la salida de la primer compuerta.

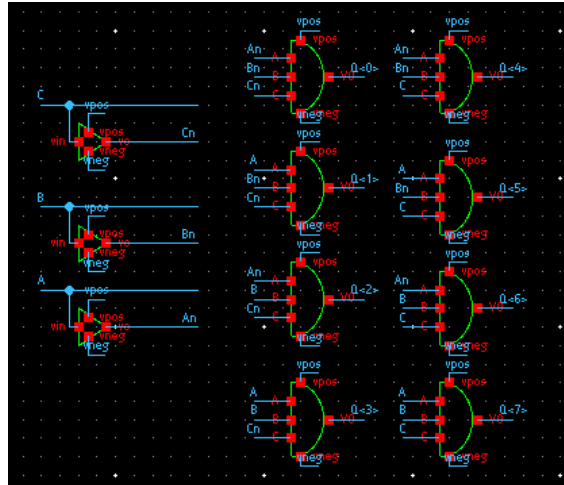


Figura 5: Esquemático del decoder de 3x8

Es importante notar que esta topología no sería conveniente para conversores con mayor cantidad de bits de datos, ya que cada 2 bits adicionales habría que usar compuertas con 1 entrada adicional, lo que provocaría que el retardo de la misma aumente demasiado.

A continuación se simuló el retardo de la compuerta con el siguiente testbench.

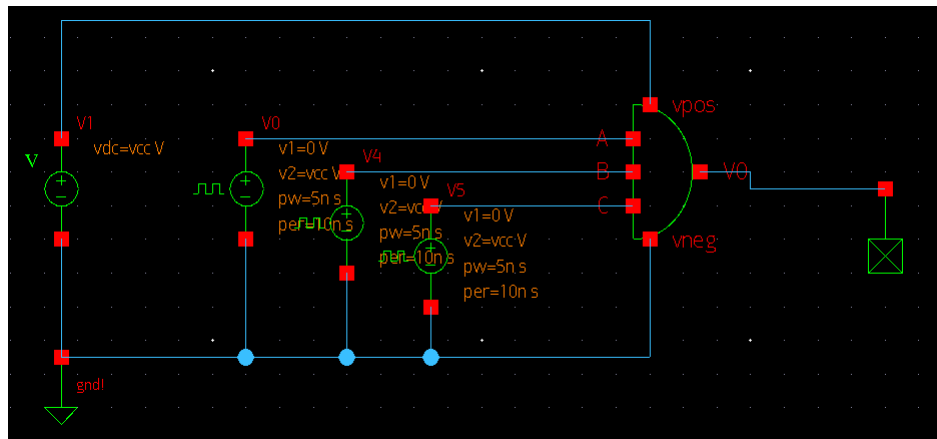


Figura 6: Testbench de retardo de la and3

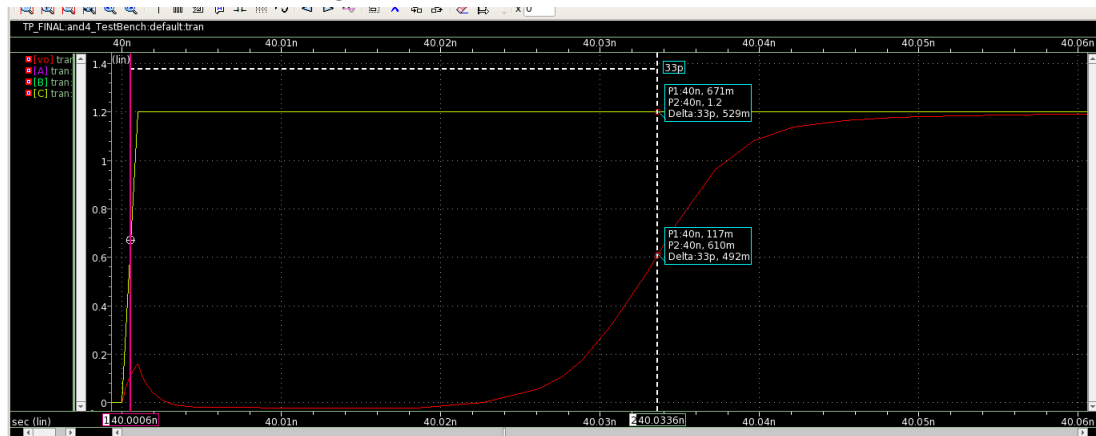


Figura 7: Resultado de la simulación

Debido a que para ciertas entradas se tiene inversores adicionales en el camino de la señal se simuló el retardo para el peor caso, que correspondería a la primera salida que tiene todas las entradas negadas.

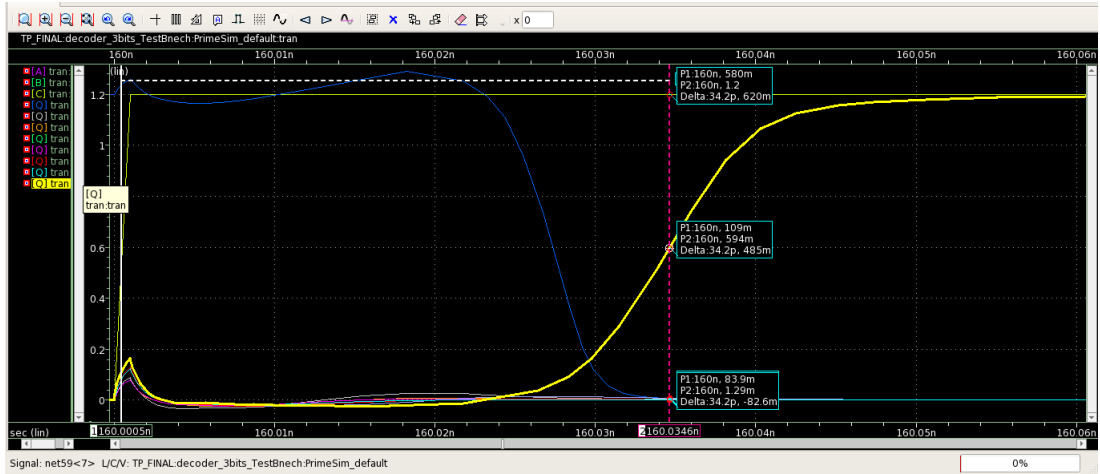


Figura 8: Testbench de retardo de la and3

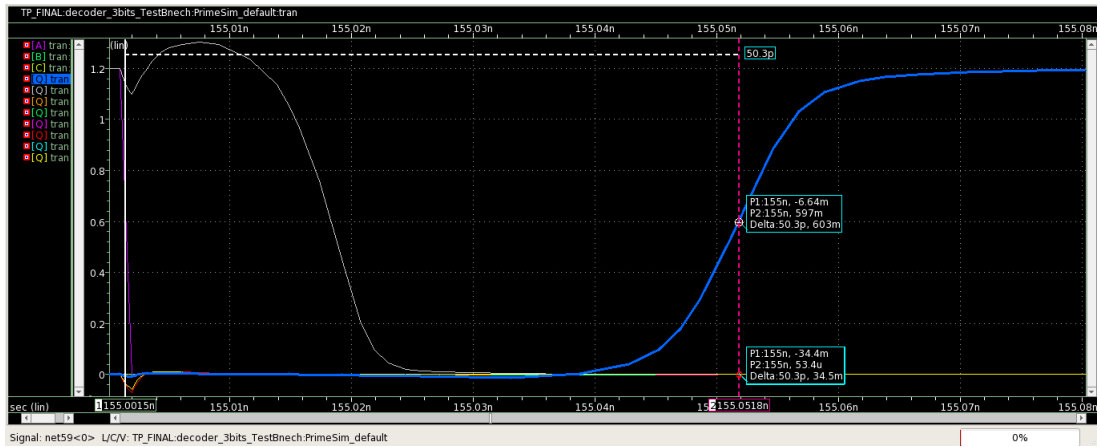


Figura 9: Resultado de la simulación

En estas imágenes se observa que el retardo puede variar de 33pS a 50pS según la entrada.

	AND3	Peor caso Decoder(0)	Mejor caso Decoder(7)
T_{comb}	33pS	50.3pS	34.2pS

Tabla 2: Tiempos de retardo del decoder

3.3. Celda de corriente

3.3.1. Lógica

Para la celda de corriente se comenzara por el diseño de la lógica de encendido y apagado. Esta lógica deberá encender la celda cuando las entradas de fila y columna estén en 1, o cuando una celda posterior este encendida. Además se agrego una señal de reset a la lógica en forma para tener la posibilidad de arrancar el circuito en un estado conocido al alimentarlo.

La lógica explicada se traduce en el siguiente circuito.

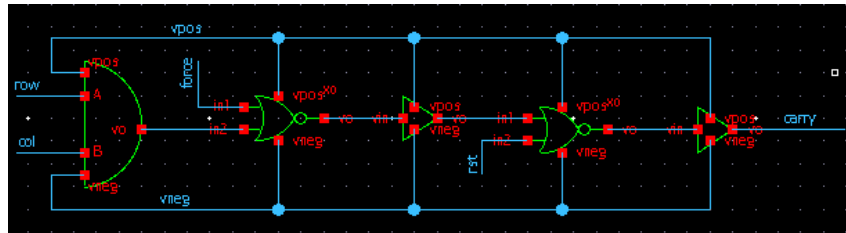


Figura 10: Esquemático de la lógica de encendido de la celda

Es importante notar que el hecho de agregar la entrada de reset a cada una de las celas provoca que aumente el significativamente el área y la complejidad del ruteo. Esta opción tiene como ventaja que el reset se dará en simultaneo para todas las celdas, por lo que sera rápido. Pero tiene como desventaja que el hecho de agregar una NOR fuerza a que se deba usar un inversor adicional, por lo tanto se tendrá un retardo adicional entre el encendido de una celda y la anterior.

Este retardo sera de aproximadamente $t_{rst} = t_{NOR} + t_{inv}$, suponiendo que una de la entradas(RST) de la compuerta NOR estar  en 0 en funcionamiento normal, este valor ronda los $t_{rst} = 31.05pS$. En el peor de las casos, cuando la cuenta valla del valor minimo al maximo, se tendra un retardo adicional de $63.t_{rst} = 1.95nS$ adicional.

Otra alternativa a este circuito podría ser agregar compuertas nor que lleven a 0 las entradas o salidas del decoder de forma que se evitaría replicar tantas veces el mismo retardo. Esto tendría como desventaja que se estaría actuando de forma indirecta sobre las celdas.

3.3.2. Transistores de paso

Estos transistores de encargaran de dirigir sobre cual resistencia fluye la corriente de la celda. Cuando la salida de la lógica (force) este en 1, el transistor conectado a Rn deberá cerrarse y el conectado a Rp deberá abrirse.

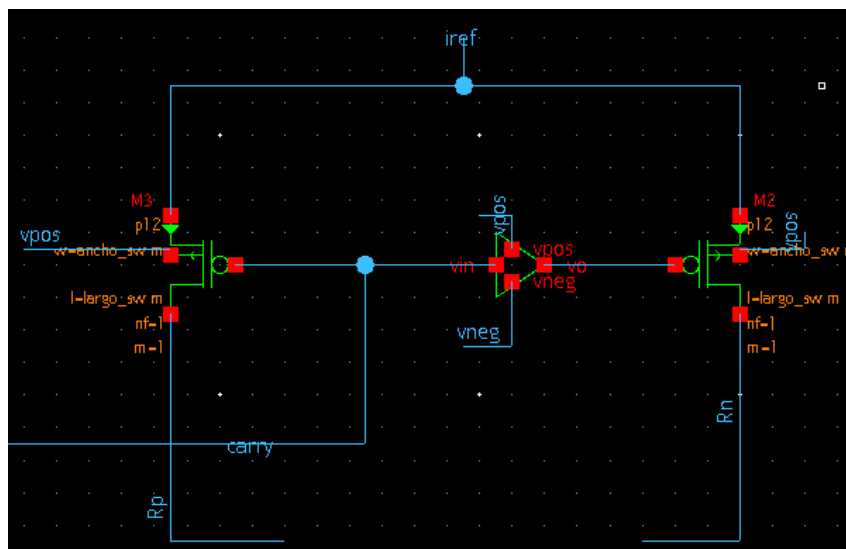


Figura 11: Transistores de paso de una celda

Es necesario que presenten una resistencia baja al estar encendidos de forma que no caiga

tensión sobre Drain-Source ya que esto afectaría al rango dinámico del DAC. Debido a esto se busca que el largo del transistor sea mínimo, por lo tanto $L = L_{min} = 0.1\mu m$.

El ancho de las llaves se debería calcular tal que se garantiza que el transistor trabaje en triodo. Teniendo en cuenta que a mayor W, menor será la resistencia $R_{ds_{on}}$ pero mayor serán las capacitancias vistas por el nodo de salida se eligió un $W=1.5\mu m$.

En este circuito el nodo de salida verá las 63 capacitancias de Drain en paralelo por lo que es un factor a tener en cuenta. Dichas capacitancias estarán siendo cargadas y descargadas en función del valor digital a la entrada del DAC, lo cual generará picos de corriente debido a que en un instante de tiempo habrá 2 capacitancias con tensiones distintas en paralelo, lo que provocará una corriente de gran magnitud debida al flujo de carga.

3.3.3. Cascode

El cascode será el circuito principal del DAC, se encargará de generar una corriente estable y precisa a partir de una referencia.

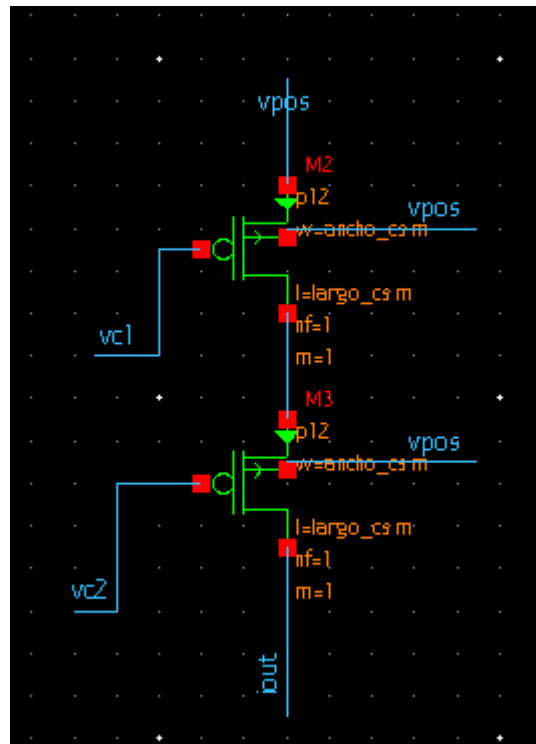


Figura 12: Esquemático del cascode

Suponiendo que se quiere una variación menor al 0.5 % en la corriente, para una variación de 0.6V a la salida, la resistencia de salida del cascode debe ser mayor a $R_o > \frac{0.6V}{17.5nA} = 34.3M\Omega$.

Esta cuenta supone que el rango dinámico del nodo de salida es de al menos 0.6V, además se supone que solo hay una sola celda conectada al nodo de salida.

El hecho de que las fuentes de corriente no sean ideales provoca que al conectar varias celdas, se estará generando un paralelo entre todas las resistencias de salida de cada una de las fuentes. En el peor caso se dará cuando todas las celdas estén encendidas o apagadas, lo que

provocara que la impedancia vista por el nodo de salida sea de $\frac{R_o}{63}$. Este efecto provocara que el INL y el DNL aumenten, aunque este ultimo lo hará en menor medida ya que depende de la variación de las impedancias al encender / apagar una sola celda.

Esto provoca que para tener una variación menor al 0.5 % en el peor caso se debería tener una $R_o = 2.142G\Omega$. Este valor se podria obtener utilizando mas etapas en el cascode a costa de perder rango dinamico pero se prefirió utilizar un cascode de 2 etapas

Utilizando $L = 3\mu m$ y $W = 3.81\mu m$ se logro una impedancia de salida del cascode de $R_o = \frac{0.6V}{7.7nA} = 78M\Omega$ obteniéndose una variación de $485nA$ en el peor caso, lo que significa una variación de 13.8 % respecto del valor ideal.

El valor calculado anteriormente supone una gran variación de tension en el nodo de salida del cascode, equivalente a casi todo el rango dinamico del mismo. Como este circuito esta diseñado para una $R_s = 350\Omega$ la tension máxima a la salida del cascode sera de $N \cdot I_{ref} \cdot R_s = 63.3.5\mu A \cdot 350\Omega = 77.175mV$ suponiendo que la caída sobre los transistores de paso es 0. Esto provoca que la variación de corriente en el peor caso, para este rango de tensiones sea de $\frac{77.175mV}{\frac{78M\Omega}{63}} = 62.33nA$ lo que equivale a un 1.78 % de error respecto a la de referencia de $3.5\mu A$, un valor mucho menor al calculado para un variación de todo el rango dinamico.

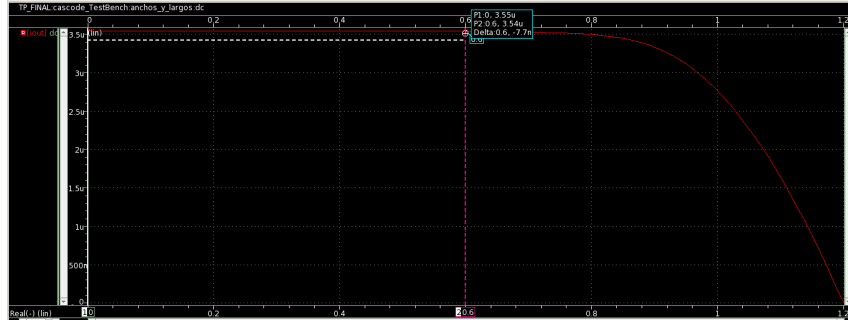


Figura 13: I vs V del cascode

El hecho de que la impedancia de salida del DAC varié según el código de entrada provocara que el INL aumente

El rango dinamico mencionado anteriormente se define como el rango de tension para el cual el cascode funciona como fuente de corriente. En la figura 13 se puede observar que para tension mayores a 0.8V los transistores de la fuente entran en triodo y dejan de controlar la corriente de salida. Este valor corresponde a los 1.2V de alimentación menos las 2 caídas de V_{ds} de los transistores del cascode.

Para finalizar se muestra la respuesta del cascode para los 3 corners.

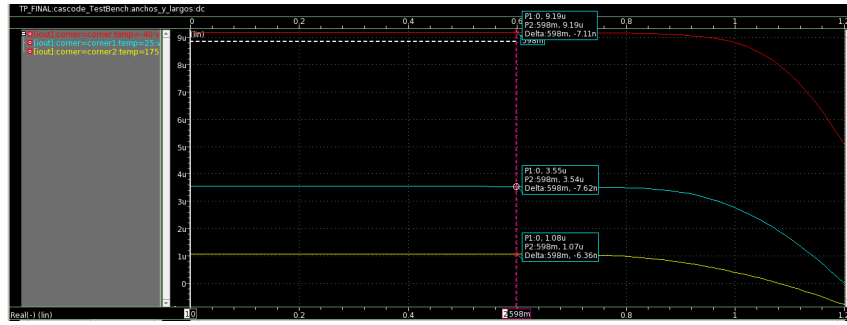


Figura 14: I vs V del cascode para los corners

En esta figura se observa que hay una gran variación en la corriente con la temperatura debido a la variación de la corriente de referencia, la cual proviene un una beta-multiplier la cual presentan coeficiente térmico muy grande.

3.4. Cascode bias y referencia

La referencia de corriente sera una beta multiplier con una resistencia de $R = 9.9k\Omega$ lo que resulta en una referencia de $14\mu A$ con los parámetros de la tabla 3.

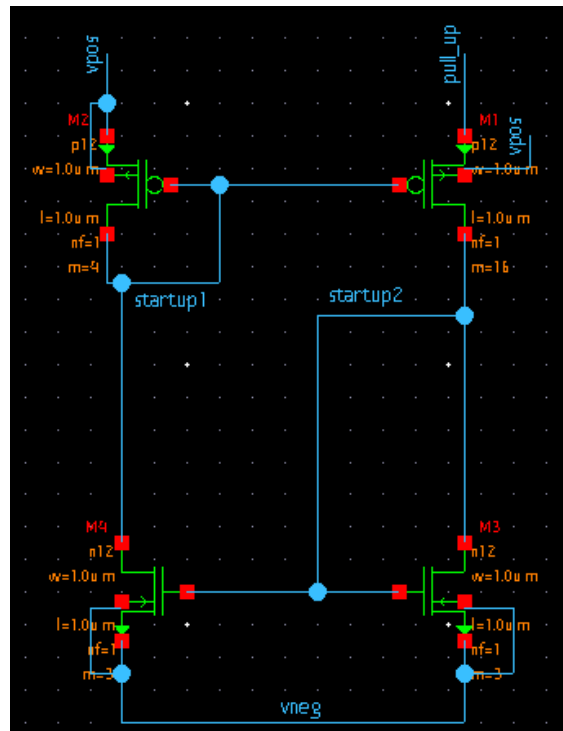


Figura 15: Esquemático de la referencia beta-multiplier

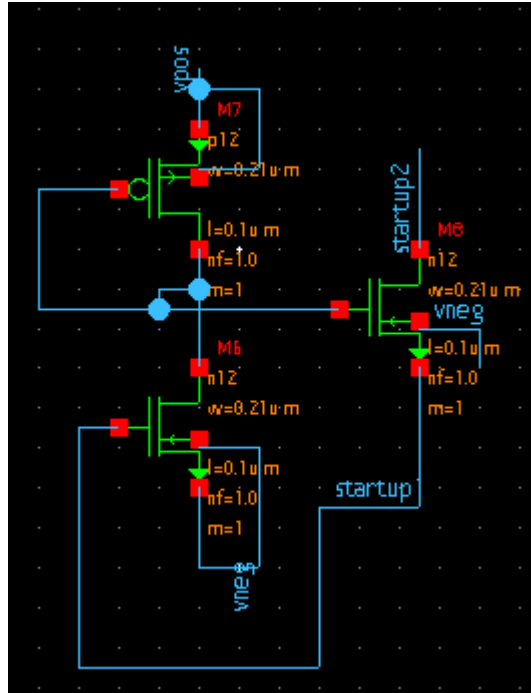


Figura 16: Circuito de startup de la beta multiplier

$\Delta I_{ref}/\Delta V_{cc}$	$\Delta I_{copy}/\Delta V_{cc}$	V_{min}	Delay de encendido	$\Delta I_{ref}/\Delta T$
0.91uA/V	2.74uA/V	810mV	338nS	112nA/K

Tabla 3: Parámetros de la beta multiplier simulados

Debido a la topología utilizada para la referencia se esperaba que la salida del DAC varíe considerablemente con la temperatura. Este efecto podrá observarse en la figura 30

Esta referencia fue copiada por un espejo de corriente simple para luego polarizar a los transistores que generaran las tension de bias de los cascode

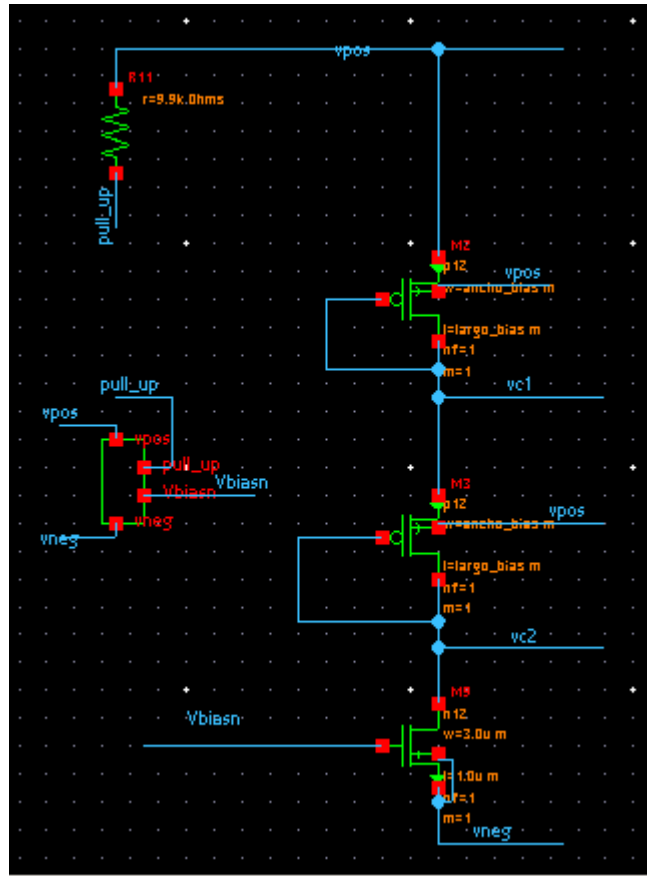


Figura 17: Esquemático del bias para los cascodes

4. Caracterización

En esta sección se simularan los parámetros mas importantes del DAC.

4.1. INL

El INL se define como la diferencia entre la salida del DAC y la tension ideal esperada. Este parámetro da una idea de que tan alejado esta cada punto del valor ideal.

Para obtener esta simulación se coloco a la entrada una serie de fuentes que incrementan el dato de entrada en 1 cada 100ns. En rojo se observa la respuesta ideal esperada del DAC, en azul la respuesta real y en verde los puntos tomados como valor del escalón

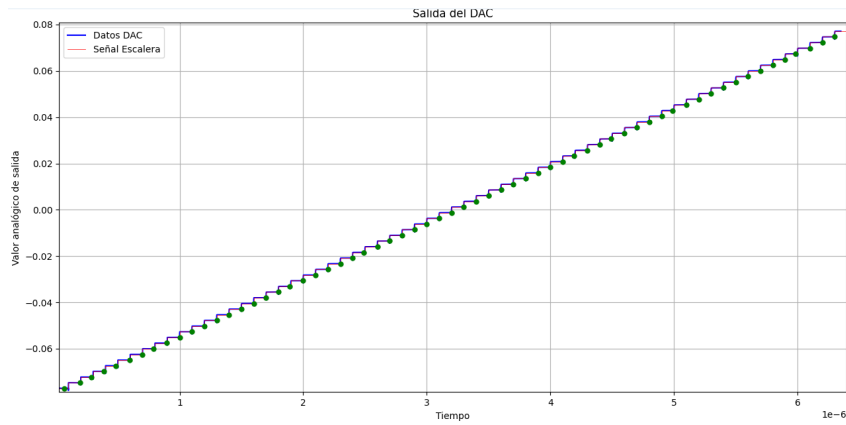


Figura 18: Comparación entre la salida del DAC y la salida ideal

En la siguiente figura se puede ver el mismo gráfico centrado en el valor de D_{28} correspondiente a l valor de tension -8.575mV

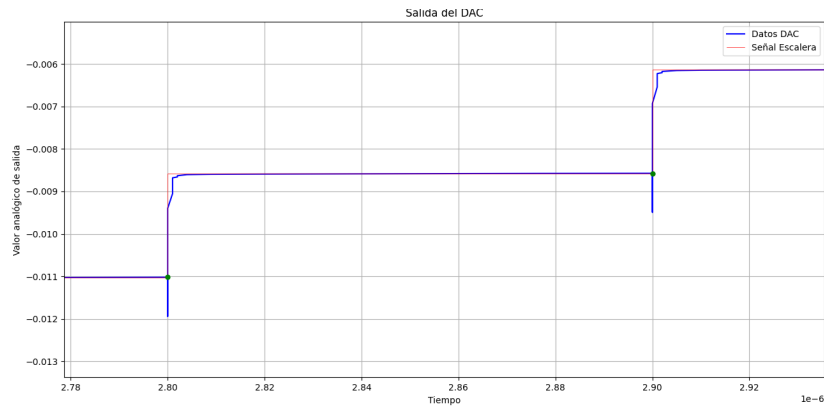


Figura 19: Comparación entre la salida del DAC y la salida ideal con zoom para D_{28}

Calculando la diferencia entre los valores ideales y los reales se obtuvo el siguiente gráfico. Donde se observa que el INL maximo se da para el código D_0 y es de 0.022 LSB o $2.2\% \text{ LSB}$

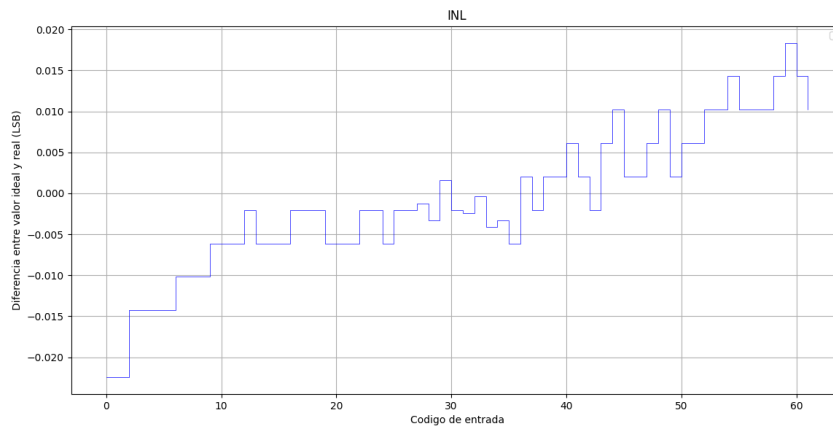


Figura 20: INL en LSB

Para minimizar el INL se puede aumentar la impedancia de salida de las celdas por las razones explicadas anteriormente.

4.2. DNL

El DNL se define como la diferencia entre el incremento en la salida y el incremento ideal, que sería de 1 LSB. Debido a que el DNL nunca es menor que -1 LSB se puede decir que el DAC es monótono, o sea que al incrementar el valor de entrada el valor de salida siempre es mayor que el código anterior. En otras palabras, que el salto entre 2 códigos contiguos es siempre mayor que 0.

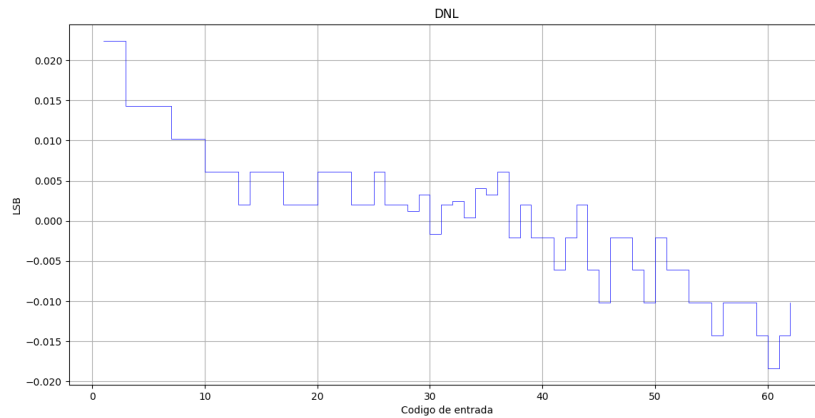


Figura 21: DNL en LSB

4.3. Valor máximo de la resistencia R_s

Para estimar la resistencia máxima que se puede tener a la salida R_s se realizó un barrido de este parámetro de 1Ω a $10k\Omega$ y se midió la tensión a la salida del DAC, teniendo un código de entrada igual a D_{63} . En el caso con $R_s = 350\Omega$ este valor es de $77.175mV$. Pero al aumentar el valor de la resistencia, se aumenta el valor de tensión equivalente para un LSB. Esto provoca que la SNR de la señal aumente, o sea que es más difícil confundir un valor con uno contiguo o también con el ruido en el nodo de salida. Por otra parte el hecho de aumentar la tensión de un LSB se está aumentando el máximo valor de tensión visto a la salida, por lo que si se supera un cierto valor se podría estar mandando a triodo los transistores del cascode. Además el aumentar R_s provoca que los cascodes varíen la tensión de salida en un rango más amplio, lo que provocará que las variaciones en la corriente sean mayores y por lo tanto el error en la conversión será mayor.

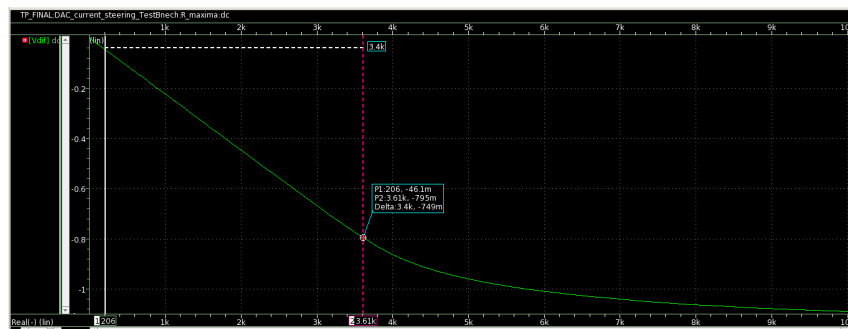


Figura 22: Tensión de salida en función de R_s para D_{63}

Se puede observar que para valor chicos de R_s la pendiente de la curva es aproximadamente de $63 \cdot I_{ref}$, que es lo esperado. Además se observa que para tensiones mayores a $0.8V$ se deja de tener una corriente constante, esto es debido a que la tension de salida es mayor que el rango dinamico del DAC.

Para obtener el valor de la resistencia para el cual el error en la corriente supera el 1 % se calculo la derivada del gráfico anterior obteniéndose la figura 23

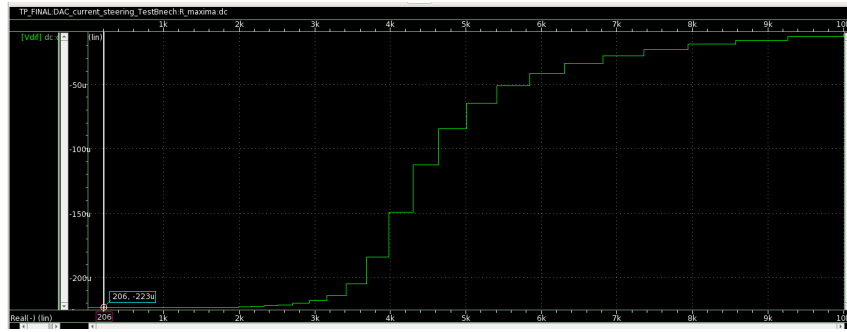


Figura 23: Derivada de la corriente en función de R_s para D_{63}

Para aumentar la resolución se volvió a graficar para un intervalo menor de resistencias y se llego a que para valores mayores a $R_s = 2.63k\Omega$ la corriente supero el 1 % de error. Para esta valor se tendría un LSB de $18.41mV$ pero a cambio se tendría valores de INL y DNL mucho peores. Es importante notar que esto es para el córner típico, ya que, si varia la temperatura, varia la corriente de las celdas y por lo tanto el rango de resistencias valido. Además, en los corners también se contempla una variación en la tension de alimentación, por lo tanto también variara el rango dinamico.

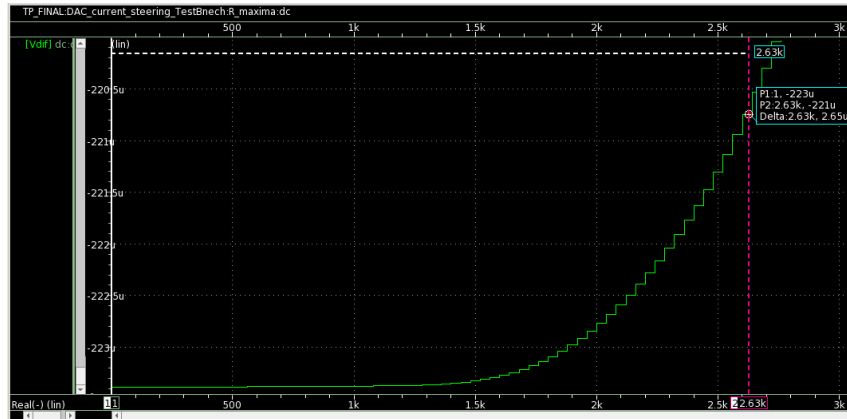


Figura 24: Derivada de la corriente en función de R_s para D_{63}

4.4. Tiempo maximo de conversión

La velocidad máxima de conversión se tomara como la diferencia de tiempo entre un flanco ascendente en la señal de clock y y el tiempo que tarde la salida en llegar al valor correspondiente.

El peor caso estará dado cuando el valor de entrada pase de $D_{63} = 11.1111$ a $D_0 = 00.0000$, ya que todas las celdas de corriente deberán apagarse al mismo tiempo. Para obtener este valor

mediante simulación se utilizara un capacitor de 300fF en el nodo de salida para simular al buffer de la siguiente etapa del DAC.

En la figura 25 se observa que el DAC tarda $5.51nS$ en convertir el dato de entrada para para el caso mencionado anteriormente, lo que resulta en un frecuencia máxima de operación de $F_{max} = 181.5MHz$. para el córner típico.

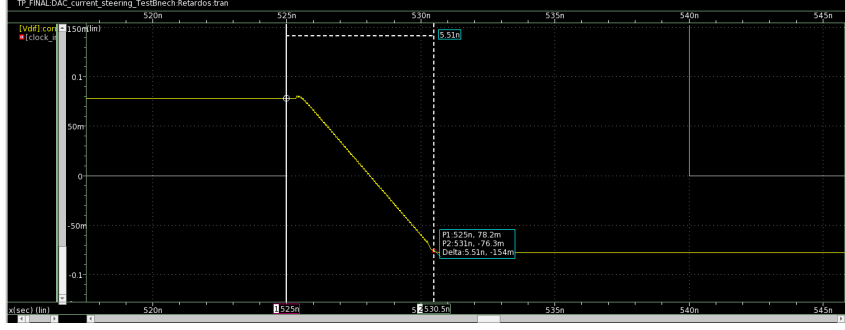


Figura 25: Delay en la transición de D_{63} a $D_0 =$ para el córner típico

En la figura anterior se pueden observar 3 etapas en la conversión del dato. La primera ocurre debido a el retardo presentado por el circuito de No-Overlapping-Clock, los FFD de entrada y del decodificador.

$$T_1 = t_{noc} + t_{c2q_{FFD}} + t_{DECO} \quad (1)$$

La segunda etapa corresponde al tiempo que tardan las distintas celdas en apagarse y propagar la señal a la siguiente celda.

$$T_2 = 63.t_{celda} \quad (2)$$

t_{noc}	$t_{c2q_{FFD}}$	t_{DECO}	t_{celda}	Total
104pS	48.6pS	80.5pS	79.8pS	5.40nS
	30.16pS		76.6pS	

Tabla 4: Retardos del DAC

El tiempo t_{c2q} sera el tiempo que tarda el dato almacenado en el FFD en llegar a la salida de los registros.

$$t_{c2q} = t_{tg} + t_{nor} \quad (3)$$

El calculo de t_{DECO} se simplemente el retardo de la compuerta and correspondiente a la fila/columna que se tenga que encender, en este caso la compuerta and tiene como entrada todas las señales negadas por lo que el retardo sera el de la compuerta misma mas el de los inversores de entrada.

$$t_{DECO} = t_{inv} + t_{and} \quad (4)$$

Para el calculo de t_{celda} , que corresponde a la lógica, se supone que las entradas de cada compuerta nor siempre esta en un estado fijo. Por ejemplo en la primera nor la salida de la and

siempre estará en 0 cuando force pase de 0 a 1. Para la segunda nor se supone que la entrada de rst siempre estará en 0.

$$t_{celda} = 3 * t_{inv} + 2 * t'_{nor} = 3 * 7.3pS + 2 * 27.35pS = 76.6pS \quad (5)$$

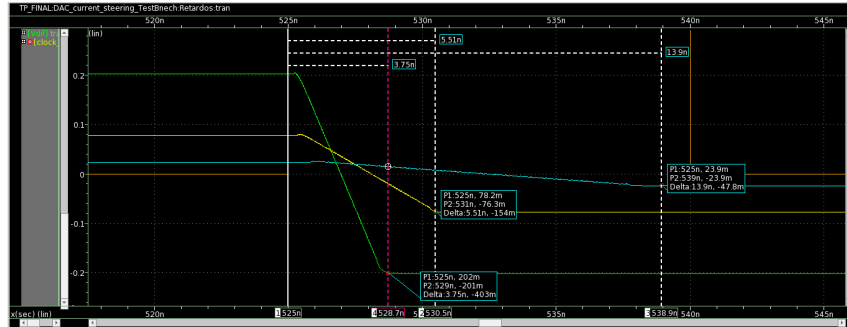


Figura 26: Tiempo de conversión para D_{63} a D_0 con corners

	Corner lento	Corner típico	Corner rápido
Delay de conversión	13.9nS	5.51nS	3.75nS

Tabla 5: Tiempos de conversión para el peor caso D_{63} a D_0 para los 3 corners

4.5. Offset

El offset se define como la diferencia entre el valor de tensión de D_0 real y el ideal, también se puede pensar como el desplazamiento de la recta que une a D_0 y D_{63} con respecto a la ideal. Este offset podría ser corregido mediante una calibración.

De la figura 18 se tomaron los puntos necesarios y se llegó a que el Offset es de 550uV o de 2.24%LSB

4.6. Error de ganancia

El error de ganancia del DAC estará dado como la diferencia entre la pendiente ideal y la real de la salida. La pendiente ideal de la curva sería de 1LSB por dígito de entrada y el valor obtenido de la simulación es de $2.40997 \frac{mV}{\text{Digito}}$ lo que resulta en un error de $G_{error} = 40.028 \frac{\mu V}{\text{Digito}}$ o $G_{error} = 3.26\%$

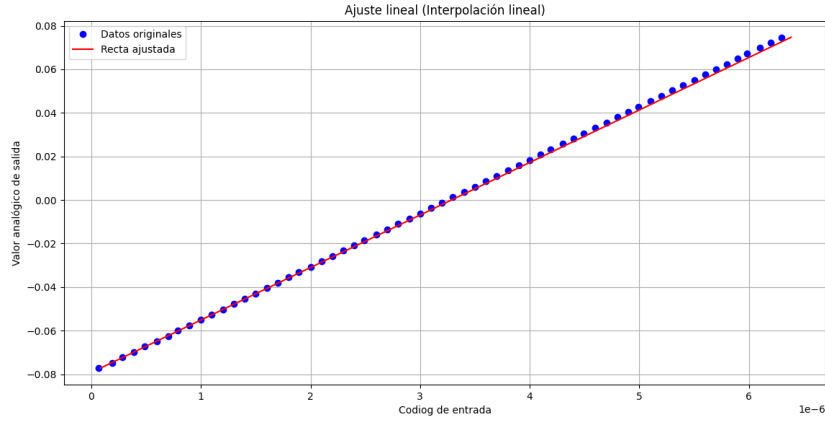


Figura 27: Interpolación lineal de los puntos

4.7. Señal de reset

La señal de reset se diseñó para que apague todas las celdas de corriente, lo que significa que se tendrá a la salida el valor de tensión correspondiente a D_0 . A continuación se muestra como responde el circuito ante la activación de esta señal.

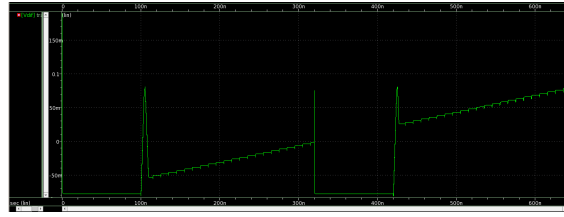
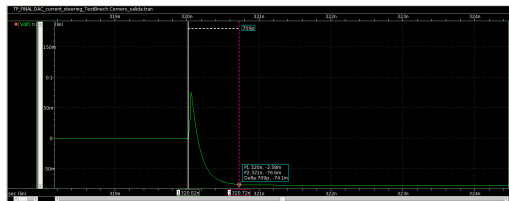
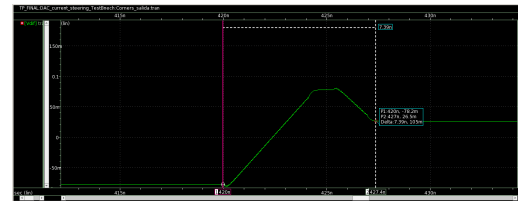


Figura 28: Respuesta de la salida del DAC a la señal de reset



(a) Flanco de bajada



(b) Flanco de subida

Figura 29: Tiempos de encendido y apagado del DAC debido a la señal de reset

Tiempo de apagado	Tiempo de encendido
710pS	7.39nS

Tabla 6: Tiempos de encendido y apagado del reset

Para finalizar se calcularon todos los parámetros mencionados anteriormente para los 3 corners.

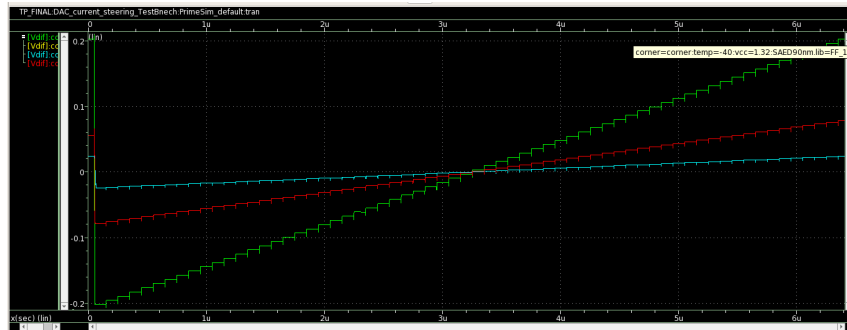


Figura 30: Salida del DAC al incrementar la entrada para los 3 corners

5. Consideraciones del layout

En esta sección se explicaran algunas consideración a la hora de hacer el layout del DAC

Con el fin de minimizar el INL se podrían mezclar la distintas filas y columnas de la matriz de celdas. Esto minimizaría el efecto de las distintas variaciones que se podrían presentar en los parámetros del wafer, lo que provocaría una disminución del INL. Al mezclar las distintas celdas también se estará aumentando el DNL, ya que se estarían separando 2 celdas contiguas, esta variación se supone despreciable en comparación a la mejora del INL. También se debería tener en cuenta que esto podría complicar considerablemente el ruteo de la matriz de celdas.

Para las celdas de corriente se podría diseñar un centroide común entre los transistores del cascode. Lo mismo podría hacerse para la referencia de corriente y para las resistencias de sensado, estos 2 últimos tienen parámetros que varían en gran medida con la temperatura por lo que sería recomendable alejarlos el uno del otro por la disipación de potencia en las resistencias.

Para finalizar se podría variar la sección del conductor que conecta todos los nodos de vpos, ya que sobre ese conductor podrían estar circulando una corriente de $63I_{ref}$ lo que llegado el caso, podría provocar una variación de tensión

6. Referencias

- Tps anteriores
- R. Jacob Baker, *CMOS Circuit Design, Layout, and Simulation*, Third Edition.
- *Design of a 8-bit CMOS Unit-Element Current-Steering Digital-to-Analog Converter*.
- Behzad Razavi, *The Current-Steering DAC: A Circuit for All Seasons*.
- Douglas Mercer, *A Low Power Current Steering Digital To Analog Converter In 0.18 Micron CMOS*, Analog Devices Inc., Wilmington, MA USA.
- Phillip E. Allen, Douglas R. Holberg, *CMOS Analog Circuit Design*, Phillip E. Allen, Professor Emeritus, Georgia Institute of Technology, Douglas R. Holberg, Consultant.

7. Layout

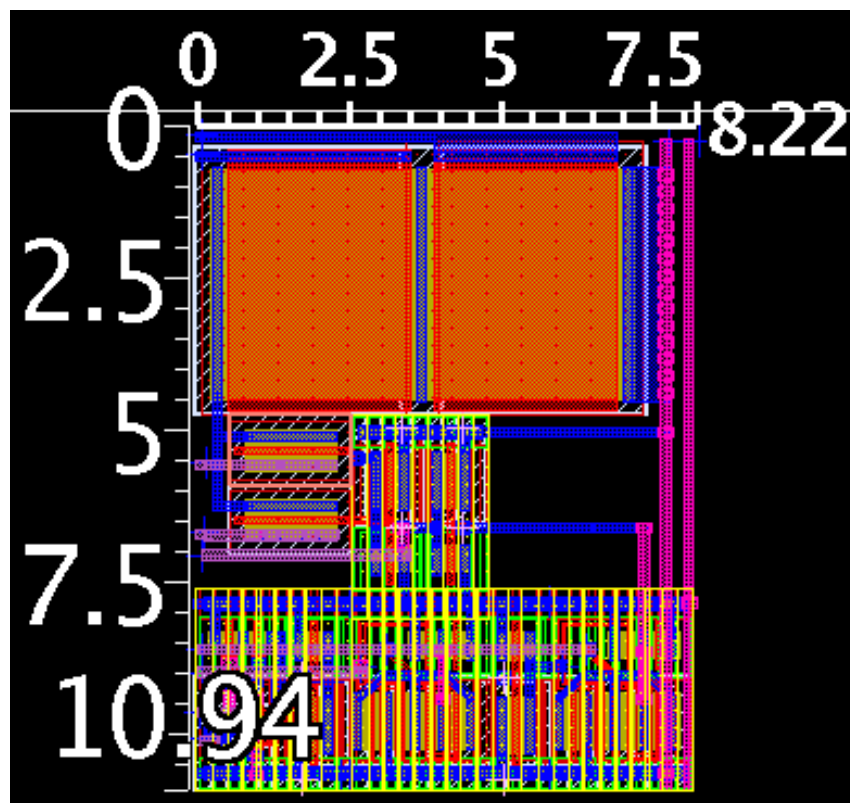


Figura 31: Layout de la celda de corriente

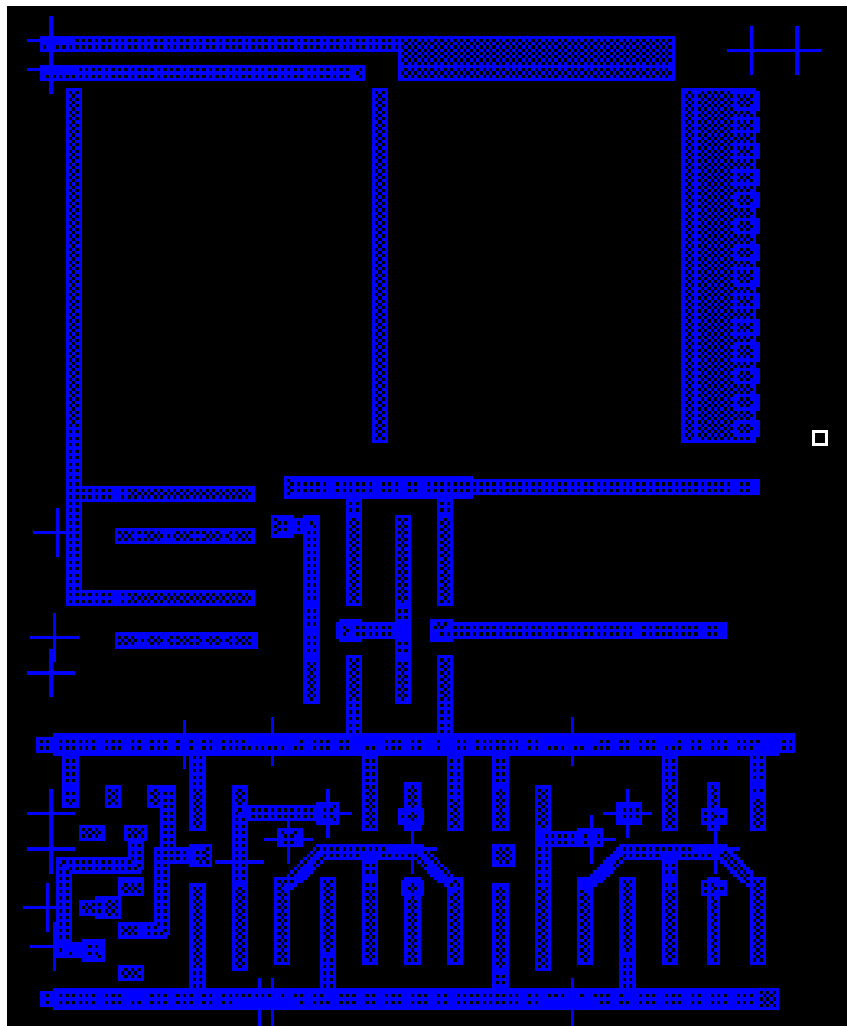


Figura 32: Layout de la celda M1

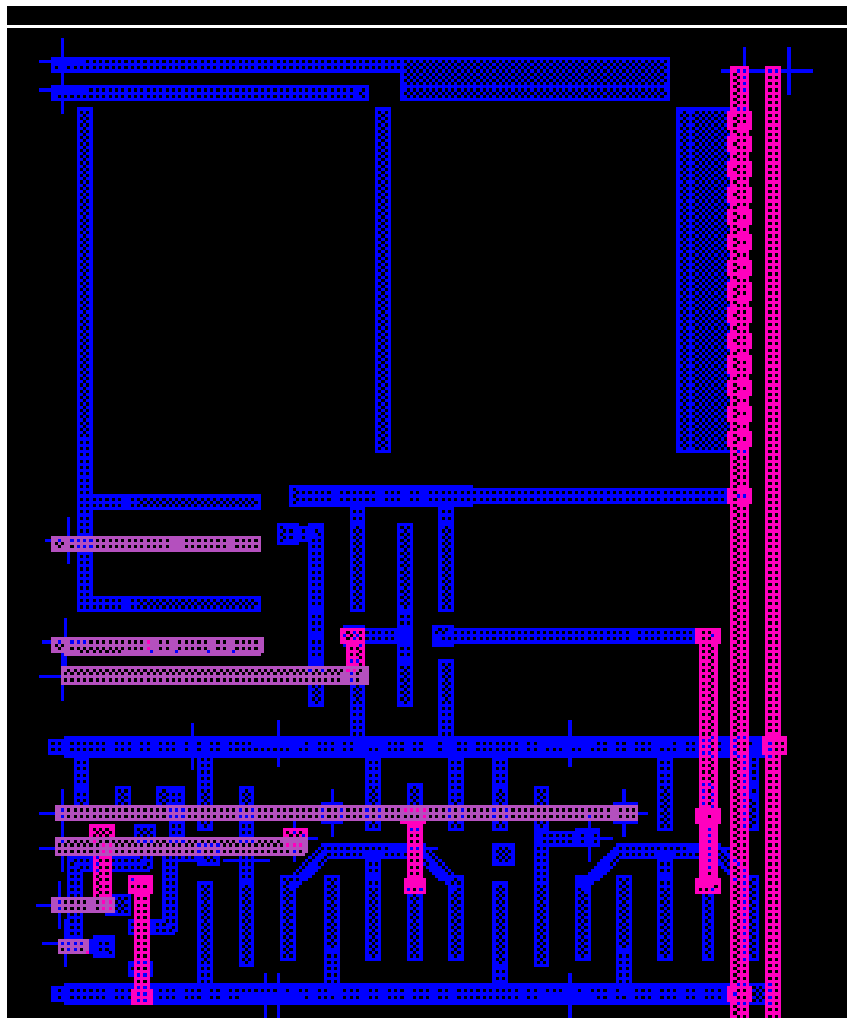


Figura 33: Layout de la celda M1, M2 y M3

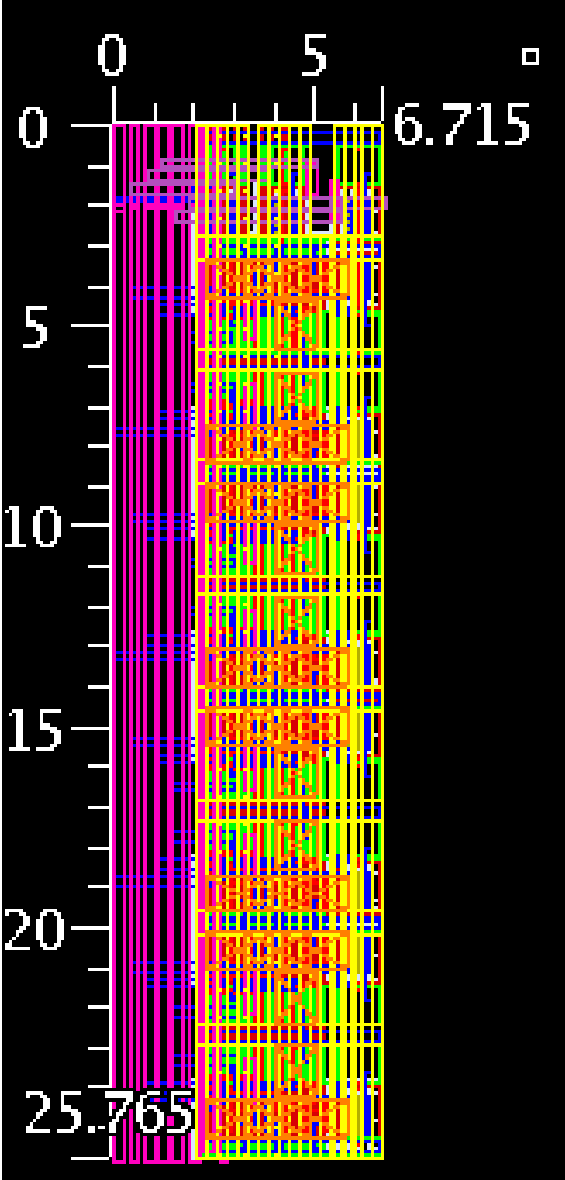


Figura 34: Layout del decoder

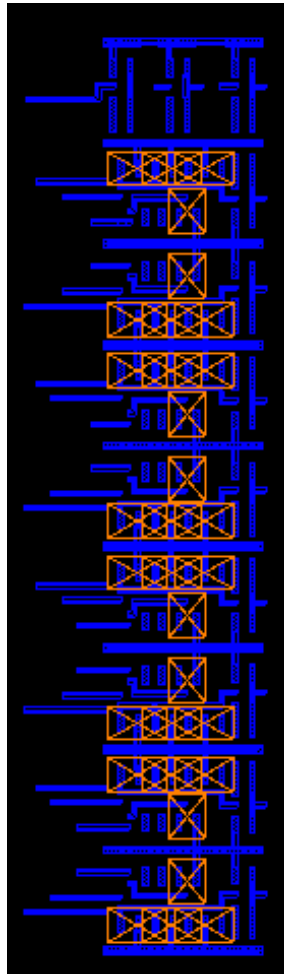


Figura 35: Layout del decode M1

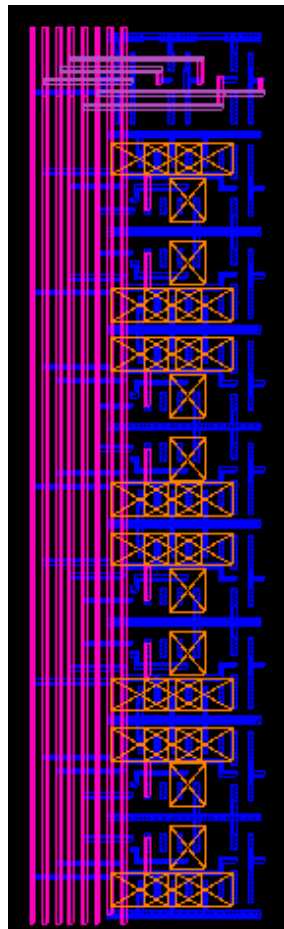


Figura 36: Layout del decoder M1, M2 y M3