



Ausgabe: 28. November 2022

Abgaben	{	 Theorie	04. Dezember 2022
		 Praxis	11. Dezember 2022
		Rücksprache	12./13. Dezember 2022

Ab diesem Aufgabenblatt werden entwickelte Komponenten wiederverwendet. Sollte bei der Implementierung einer benötigten Komponente nicht die volle Punktzahl erreicht worden sein, **kann – aber soll auch nur dann** – die entsprechende Musterlösung aus der ROrgPrSimLib genutzt werden. Ändern Sie dazu bei der Instanziierung den Namen der Bibliothek (ROrgPrSimLib statt work).

Aufgabe 1: Iterative Instanziierung (3 Punkte)

Sehr häufig wird eine gewisse Anzahl von Komponenten ähnlich mit anderen Bestandteilen verbunden. Um derartige strukturelle Beschreibungen zu vereinfachen, bietet VHDL die iterative Instanziierung (siehe [1]).

Exemplarisch soll ein n-Bit-Addierer aus 1-Bit-Volladdierern mithilfe des Statements `generate` beschrieben werden. Die `entity fulladd` des zu verwendenden Volladdierers ist vorgegeben. Schreiben Sie eine entsprechende `architecture behavioral` für die `entity adder` unter Verwendung des 1-Bit-Volladdierers.

Die Abgabe muss als `adder.vhd` hochgeladen werden und soll erfolgreich kompilieren. Um dies zu testen, kann der Befehl `make all` im entsprechenden Verzeichnis ausgeführt werden.

Literatur

- [1] Jürgen Reichardt and Bernd Schwarz. *VHDL-Synthese: Entwurf digitaler Schaltungen und Systeme*. Oldenbourg, 4., überarbeitete auflage. edition, October 2007.