

1. Fast cache memory is designed such that the main memory appears faster to the processor than it actually is.

A. True.

B. False.

“cache 被设计成相对于处理器来讲主存能表现的比它实际上更快一些”,听起来有些拗口,但就是这样的,cache 的设计目的就是为了提高 CPU 对主存的访问速度。

2. In a computer system, all the following units can store information : ①Primary memory; ②general registers in CPU; ③cache ④magnetic tape ⑤disk. According to access speed, the order by fast to low is ②③①⑤④. Main memory includes ①③; Secondary memory includes ④⑤

在一个计算机系统中,以下所有单元均可以存储信息①主存②CPU 中的通用寄存器③cache④磁带⑤硬盘,根据访问速度,从快到慢的顺序是②③①⑤④主存包括:①③,二级存储包括④⑤

3. Commonly the virtual memory is composed of (), which is a two level storage structure.

A. memory-secondary storage

B. cache- secondary storage

C. cache-primary memory

D. general register-primary

通常虚拟存储由主辅存储构成，它是一个二级存储结构。牢记。

4. There are four 16K*8bit storage chips, then these chips can form a 32K
*16bit memory module.

“现有 4 个 16K*8 位的芯片，这些芯片可以组成一个 32K *16 位的存储模块。”

这 4 个芯片分为两组，2 个一组做位扩展，把 8 位字长扩为 16 位字长，分出的组有两个，
也就是说 32 位字长的情况下，有两组 16K 的存储模块，那存储容量自然是 32K。

5. A RAM is organized as 512*8bit, besides power supply and ground terminal,
the minimal pins number of the chip is 19.

“一个 RAM 被组织成一个 512*8 位的芯片，除去电源供应引脚和接地引脚外，至少
还应该有个 19 个引脚。”是这样数的：8 位的芯片至少有 8 个引脚连接数据总线，
而 512 (B) 的容量要求地址总线至少为 9 根，以使得 RAM 容量达到 $512 = 2^9$ ，除此之外，
为了使得此 RAM 可以被扩展，它还应该有个片选信号引脚。为了区分 CPU 对此 RAM 的操
作是读还是写，此芯片还应该有个读写控制信号引脚。所以总共的引脚数至少应该为：
 $8+9+1+1=19$ (根)。

6. A SRAM chip is organized as $64K \times 16\text{bit}$, then its address length is 16, its word length is 16.

一个 SRAM 被组织为一个 $64K \times 16$ 位的芯片，那么它的地址长度是 16，它的字长是 16。 $64K$ (2^{16}) 的容量要求它有 16 根总线，所以它的地址长度为 16。

7. Dual-port memory can operate r/w in a fast way. That is because it adopts(C)

- A. assembly line
- B. new type device
- C. two separate read/write circuit
- D. high speed chip

双端口存储器可以更快的读写操作，这是因为它采用了 (C)

- A. 流水线
- B. 新型硬件
- C. 两套相互独立的读写电路
- D. 高速芯片

8. In virtual memory, (D) is responsible for address mapping.

- A. load program
- B. complier

C. programmer

D. operating system

“虚拟存储器中，地址匹配是操作系统的责任。” 牢记。

9. A fully associative cache has high hit ratio and low cost.

A. True.

B. False.

“采取全相连映射的 cache 有着高命中率和低造价。” 错误，全相连的映射策略会有较高的命中率，但它的控制电路很复杂，所以造价不会低，也正是因为控制电路复杂的问题，全相连的映射策略只应用于容量较小的 cache 中。

10 . A direct-mapped cache has high hit ratio and low cost.

“采取直接相连策略的 cache 有着高命中率和低造价。” 因为内存的每个块只能映射到 cache 中比较固定的几个行中，因此控制逻辑电路简单，造价也低，但是这种相对死板的映射方式有着较低的命中率，因此说法错误

11 . In multi-level hierarchical structure of a computer memory system, regist is the fastest, disk is the lowest.

(待定)12. Cache is a part of Memory, it can be accessed directly by instruction.

A . True.

B . False.

“cache 是存储器的一部分，它可以被指令直接访问”

(待定)13 .Multi-level hierarchical structure for a computer memory system is used to solve the speed bottleneck of memory.

A. True.

B. False.

“计算机存储系统应用多级分层结构是为了解决存储速度上的瓶颈”。错误。

14 . A DRAM is organized as 512K×8bit, it has 19 address pins, 8 data pins.

“一个 DRAM 被组织成一个 512K×8 位的芯片，它应该有19根地址引脚，8根数据引脚。” 因为要保证 8 位的字长，芯片必须有 8 根数据总线的引脚。而要保证 512K(2^{19})的容量，应该有 19 根地址引脚。

(待定) 15 . Associative memory is accessed by address, and it is used for block table in cache.

A. True.

B. False.

“相连存储器是通过地址进行访问的，并且在 cache 中它被用于块表。” 相连存储器是通过内容进行访问的。

16 . The purpose of hierarchical structure in a computer memory system is: (B).

A . to reduce the volume of the computer

B . to solve the contradictory between capacity, speed and price.

C . easy to operate

D . easy to store huge data

计算机存储系统中采用多级结构的目的是 : (B)

A.减少计算机的容量

B.解决容量，速度和价格之间的矛盾。

C.易于操作

D.便于存储海量数据

B 正确，因为内存和 cache 虽然速度快，但是容量小价格高，而磁盘闪存等容量大但是速度慢，所以为了兼顾速度和容量，计算机存储系统采取多级结构。

(待定) 17 . Using 16K*1bit memory chips to form 64K*8bit main memory module.

It need expand 4 times in word, expand 8 times in bit.

使用 16K*1 位存储芯片来制作一个 64K*8 位存储模块。需要进行 4 次字拓展，8 次位拓展。

18 . Address mapping functions between main memory and cache use

full-associative mapping scheme, direct mapping scheme and set-associative mapping scheme.

A . True.

B . False.

“主存与 cache 的地址匹配有全相连匹配策略 ,直接相连匹配策略和组相连匹配策略。”

正确！地址映射方式，书中介绍的就这三种。

19 . The memory system for a computer is:

A. cache, main memory and secondary storage

B. primary memory

C. ROM

D. RAM

“计算机的存储系统是 cache，主存和辅助存储”，牢记，木说的！

20 . The purpose of virtual memory is: ().

- A . to expand the capacity of secondary storage
- B . to increase speed for access to primary memory
- C . to expand the capacity of primary memory
- D . to increase speed for access to secondary storage

“ 使用虚拟存储的目的是扩展主存的容量”一般来说主存的容量相对于用户来说还是比较小的，因此仍然需要扩展，将辅助存储和主存统一编址便产生了虚拟存储，其目的就是为了扩展贮存的容量。

21 . CPU could not access directly to :

- A . hard disk
- B . register
- C . primary memory
- D . cache

“CPU 不能够直接访问硬盘” 太显然了！有木有！

22 . 16 storage chips of 2K*4 bit can form a 8K *16bit memory module.

“16 个 2K*4 位芯片可以制作一个 8K*16 位存储模块。” 16 个芯片每四个分为一组，

做位拓展，可以分出 4 组，一组是 2K 的容量，一共是 8K 的容量。

23 . SRAM is faster than DRAM, but its Integration is lower.

A. True.

B. False.

“SRAM 比 DRAM 快，但是它的整合度要低些”

24 . Memory is used to store () .

A . micro-program

B . data and program

C . program

D . data

“主存被用来存储数据和程序。” 简直没啥说的。

(待定) 25 . Let word length of a computer is 32 bit, the capacity of the memory is 64MB. If the memory is addressed by word, then its range of addressing is 0 ~ 4294967296 .

令一个计算机的字长为 32 位，他的容量是 64MB 如果按字存储为内存编址，那么地址范围为 $0 \sim 4294967296$ (2^{32})。

26 . Let the word length of a computer is 32 bit, the capacity of the memory is 4MB. If the memory is addressed by half word, then its addressing space is 64K.

设计算机字长是 32 位，而内存的容量是 4MB，如果内存按半字编址，那么他的内存空间是64K。

27 . Refresh mode of DRAM are three ways that are centralization, distributed and asynchronous.

A. True.

B. False.

· DRAM 的刷新方式有三种，分别是：集中刷新，分散刷新和异步刷新。

28 . The purpose of setting a cache between CPU and primary memory is: ()

- A . to expand the capacity of primary memory
- B . to expand both of the capacity of primary memory and the number of registers in CPU
- C . to expand the number of registers in CPU
- D . to balance the speed between CPU and primary memory

“CPU 和主存之间设置 cache 的目的是 :为了平衡 CPU 和主存之间的速度” 正确 !主存速度要比 CPU 慢很多, 根据木桶原理, 要想提高计算机的速度, 必须提高主存的速度, 所以设计了 cache。

29 . Set-associative mapping scheme between main memory and cache is high flexibility, high hit ratio and low cost.

- A. True
- B. False

“主存和 cache 之间的组相连映射策略是很灵活的, 高命中的和低开销的。” 正确, 组相连的方式继承了全相连和直接相连映射策略各自的优点, 所以也被广泛使用。

30 . Associative memory is a memory addressing by: (C)

A . stack

B . address and stack

C . content

D . address

“相连存储是一种按内容编址的存储器。” 切记，这是相连存储器的最大特点。

计算题

一：给出: $x = 0.1011$, $y = -0.0101$

求: $[1/2x]_{2' \text{ s compl}}$, $[1/4x]_{2' \text{ s compl}}$, $[-x]_{2' \text{ s compl}}$, $[1/2y]_{2' \text{ s compl}}$, $[1/4y]_{2' \text{ s compl}}$, $[-y]_{2' \text{ s compl}}$

$[1/2x]_{\text{补}} = 0.01011$, $[1/4x]_{\text{补}} = 0.001011$, $[-x]_{\text{补}} = 1.0101$,
 $[1/2y]_{\text{补}} = 1.11011$, $[1/4y]_{\text{补}} = 1.111011$, $[-y]_{\text{补}} = 0.0101$ 。

二：IEEE 754 format of X is $(41360000)_{16}$, what is its decimal value?

将十六进制数展开，可得二进制数格式为：

0 100 0001 0 011 0110 0000 0000 0000 0000

指数 $e = \text{阶码} - 127 = 10000010 - 01111111 = 00000011 = (3)_{10}$

包括隐藏位 1 的尾数 $1.M = 1.011\ 0110\ 0000\ 0000\ 0000\ 0000 = 1.011011$

于是有： $X = (-1)^s * 1.M * 2^e = +(1.011011)_2 * 2^3 = +(1011.011)_2 = (11.375)_{10}$

三：设一个加法器的进位分别为 C_4, C_3, C_2, C_1 。 C_0 是低位的进位标志，请分别给出 C_4, C_3, C_2, C_1 在串行模式下和进位先行模式下的逻辑表达式

(1) 串行进位方式：

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 C_1$$

$$C_3 = G_3 + P_3 C_2$$

$$C_4 = G_4 + P_4 C_3$$

其中： $G_1 = A_1 B_1$ ， $P_1 = A_1 \oplus B_1$

$G_2 = A_2 B_2$ ， $P_2 = A_2 \oplus B_2$

$G_3 = A_3 B_3$ ， $P_3 = A_3 \oplus B_3$

$G_4 = A_4 B_4$ ， $P_4 = A_4 \oplus B_4$

(2) 并行进位方式：

$$C_1 = G_1 + P_1 C_0$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0$$

$$C_4 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0$$

其中 $G_1—G_4$ ， $P_1—P_4$ 表达式与串行进位方式相同。

四：假设一个计算机的时钟频率是 100 MHz，并且有 4 种指令，并且每种指令的使用频率和 CPI 已在下表给出。

Instruction operation	Frequency of usage	Cycles per instruction
Arithmetic-logic	40%	2
Load/store	30%	4
Compare	8%	2.5
Branch	22%	3

(1) 计算出这个计算机运行一个具有 10^7 条指令的程序的 MIPS 和周期。

(2) 把比较和分支指令结合在一起，从而去掉比较指令，假设比较指令被用于分支指令，现在每个分支指令都变成了比较和分支指令，也假设新的方案可以减少 5% 的时钟频率，因为新的比较和分支指令需要更多的时间去执行，计算出 CPIave, MIPS, 和 T。

(1)

$$\text{CPIave} = 0.4 \times 2 + 0.3 \times 4 + 0.08 \times 2.5 + 0.22 \times 3 = 0.8 + 1.2 + 0.2 + 0.66 = 2.86$$

$$\text{MIPS} = f(\text{MHz}) / \text{CPIave} = 100 / 2.86 = 35$$

$$T(\text{sec}) = \text{IC} \times \text{CPIave} / f(\text{Hz}) = 107 \times 2.86 / (100 \times 10^6) = 0.286\text{s}$$

(2)

$$\text{CPIave} = (0.4 \times 2 + 0.3 \times 4 + 0.22 \times 3) / 0.92 = 2.66 / 0.92 = 2.9$$

$$\text{MIPS} = f(\text{MHz}) / \text{CPIave} = (100 \times 95\%) / 2.9 = 32.76$$

$$T = \text{IC} \times \text{CPIave} / f(\text{Hz}) = (0.92 \times 107) \times 2.9 / (0.95 \times 100 \times 10^6) = 0.28\text{s}$$

五：给出一个十进制数 20.59375，请用 IEEE754 的单精度浮点数的标准形式表示它。

首先分别将整数和分数部分转换成二进制数: $20.59375 = 10100.10011$

然后移动小数点,使其在第 1,2 位之间

$$10100.10011 = 1.010010011 \times 2^4 \quad e = 4$$

于是得到：

$$S = 0, \quad M = 010010011$$

$$E = e + 127 = 4 + 127 = 131 = 1000 \ 0011$$

二进制表示：

$$0100 \ 0001 \ 1010 \ 0100 \ 1100 \ 0000 \ 0000 \ 0000$$

$$(41A4C000)_{16}$$

设计题

1. CPU has 16 address bus lines ($A_{15}-A_0$), 8 data bus lines (D_7-D_0), R/W (high level represents Read, while low level represents Write), MREQ control line for accessing memory (low level represents accessible).

Memory space allocation: The minimal 8K are used for system program, which is composed of Read Only Memory chip; the following 24K are used for user program; the last 2K are used for system working.

Now we have: EPROM $8K \times 8$ (contains CS control line only);

SRAM $16K \times 1$, $2K \times 8$, $4K \times 8$, $8K \times 8$;

Decoder 74LS138;

and other logic gates

Questions:

- (1) Select appropriate chips to form the required memory space. Which chips are needed? How many chips are needed? Descript the corresponding data bus length, address bus length and control bus line.
 - (2) Descript the address distribution of memory.
 - (3) Descript select chip logic functions (片选逻辑函数) of each chip.
 - (4) Descript the connection way among CPU, memory chips and 74LS138.
-
1. 一个 CPU 有 16 个地址总线($A_{15}-A_0$) , 8 根数据总线(D_7-D_0) , 读写控制线(高电平读, 低电平写) , 访存使能线(低电平可访存)。

内存分配 : 开始的 8K 被用于系统程序 , 由只读存储器芯片组成 ; 接下来的 24K 被用于用户编程 ; 最后的 2K 被用于系统工作。

现在有 : EPROM $8K \times 8$ (只含有片选信号); SRAM $16K \times 1$, $2K \times 8$, $4K \times 8$, $8K \times 8$; 译码器 74LS138 ; 和其他逻辑门电路 ;

问题:

- (1) 选择适当的芯片组成要求的存储空间。需要哪些芯片? 需要多少芯片?说明相应的数据总线宽度, 地址总线宽度和控制总线。
- (2) 说明存储器的地址分布。
- (3) 说明每个芯片的片选逻辑函数。
- (4) 描述 CPU,存储芯片和 74LS138 之间的连接方式。

(1) 需要 EPROM 8K * 8 一片 , SRAM 8K*8 3 片 , 2K*8 1 片。译码器 74LS138 一片。数据总线宽度为 8 , 地址总线宽度为 16 , 控制总线宽度为 2。

(2)

内存区域	地址			
EPROM 起始	0000	0000	0000	0000
EPROM 结束	0001	1111	1111	1111
SRAM 用户起始	0010	0000	0000	0000
SRAM 用户结束	0111	1111	1111	1111
SRAM 系统起始	1111	1000	0000	0000
SRAM 系统结束	1111	1111	1111	1111

(3)因为各个芯片的片选信号来源于 74LS138 译码器的输出端 , 因此以输出端的值作为变量 , 各个芯片的片选逻辑函数如下 :

$$CS_{(EPROM)} = \overline{Y_0};$$

$$CS_{(SRAM_U1)} = \overline{Y_1};$$

$$CS_{(SRAM_U2)} = \overline{Y_2};$$

$$CS_{(SRAM_U3)} = \overline{Y_3};$$

$$CS_{(SRAM_OS)} = Y_7 \text{ 的反与 A 与 B 后的结果再取反。}$$

(4) A₁₂-A₀ 连接到每个芯片的地址线引脚上。CPU 的读写端也相应连到各个芯片的读写引脚上 , CPU 的 A₁₅-A₁₃ 地址线连到 74LS138 译码器的 A , B , C 三个输入端上。74LS138 译码器的 Y₀ 输出端连至 EPROM 芯片的片选信号引脚上 , Y₁ , Y₂ , Y₃ 三个输出端分别连至三个 8K*8 芯片的片选信号上 , Y₄ , Y₅ , Y₆ 空着不连 , Y₇ 输出端先连接一个非门后再与 CPU 的地址线 A₁₁ , A₁₂ 相与 , 得到的结果取反后再与那片 2K*8 的 SRAM 相连。

2 . We use 16M*8bit memory chip to form a 64M*16bit main memory module. Required that the capacity of storage be expand, the access time be reduced.

Questions:

(1) How many 16M*8bit memory chips should be used?

(2) Give the address length of each memory chip and address length of main memory module.

(3) Descript select chip logic functions (片选逻辑函数) of each chip.

Descript the connection way among encoder, CPU and memory chips.

(4) For an address $(2345678)_{16}$, give its body number and address inside the body.

2. 我们使用 16M*8 位的存储器芯片去做一个 64M*16 位的主存模块，要求对存储容量扩展，访问时间减少。

问题：

- (1) 应该用多少 16M*8 位的芯片？
- (2) 给出每个存储芯片的地址长度和主存的地址长度。
- (3) 说明每个芯片的片选逻辑函数，并描述译码器，CPU 和存储芯片之间的连接方式。
- (4) 对于一个地址 $(2345678)_{16}$ 给出它的 body number 和 body 内的地址。

答：

- (1) 应该用 8 片 16M*8 位的芯片，每 2 个分为一组，组内做位拓展，把字长拓展到 16 位，组建做字拓展，把容量拓展到 64M。
- (2) 存储芯片的地址长度是 24 位；而主存的地址长度是 26 位。
- (3) 这里要使用一个 24 译码器。CPU 的地址线 A_0-A_{23} 分别连到每个存储芯片的地址线引脚上，因为芯片两个一组，所以组内芯片 1 的数据线引脚 D_7-D_0 连接到 CPU 的数据线 D_7-D_0 上，而组内芯片 2 的数据线引脚 D_7-D_0 连接到 CPU 的数据线 $D_{15}-D_8$ 上。CPU 的地址线 $A_{24}-A_{25}$ 连至 24 译码器的输入端 A, B, 四个输出端 Y_0, Y_1, Y_2, Y_3 分别连在这四组的芯片的片选信号引脚上。CPU 的读写控制连接到每个芯片的读写控制。
- (4) 不知道啥意思。

3. CPU has 16 address bus lines ($A_{15}-A_0$), 8 data bus lines (D_7-D_0), R/W (high level represents Read, while low level represents Write), MREQ control line for accessing memory (low level represents accessible).

Memory space allocation: The minimal 4K are used for system program, which is composed of Read Only Memory chip; the following 4K are used for user program; the last 16K are used for system working.

Questions:

- (1) As shown in figures, select appropriate chips to form the required memory space. Which chips are needed? How many chips are needed? Descript the corresponding data bus length, address bus length and control bus line.
- (2) Descript the address distribution of memory.
- (3) Descript select chip logic functions (片选逻辑函数) of each chip.
- (4) Descript the connection way among 74LS138, CPU and memory chips.

3. CPU 有 16 个地址总线($A_{15}-A_0$), 8 根数据总线(D_7-D_0), 读写控制线(高电平读, 低电平写), 访存使能线(低电平可访存)。

内存分配: 开始的 4K 被用于系统程序, 由只读存储器芯片组成; 接下来的 4K 被用于用户编程; 最后的 16K 被用于系统工作。

问题:

- (1) 在给出的数据中, 选择适当芯片去组成所要求存储空间, 需要哪些芯片? 需要多少芯片, 说明向相应的数据总线宽度, 地址总线宽度和控制总线宽度。
- (2) 说明内存的地址分布。
- (3) 说明每个芯片的片选逻辑函数。
- (4) 说明译码器 74LS138, CPU 和存储芯片之间的连接方式。