实验一：七段数码管译码电路设计

**一、实验目的：**

1. 学习Logisim数字逻辑电路设计和模拟仿真平台的使用；

2. 掌握组合逻辑电路的设计方法；

3. 掌握带有无关项的数字逻辑电路化简方法；

4. 掌握七段数码管的工作原理；

5. 设计七段数码管译码电路，并且进行仿真测试。

**二、预习要求：**

1. 阅读老师提供的论文“正确理解和区分逻辑函数中的无关项、约束项和任意项这三个基本概念”，合理地运用无关项进行逻辑化简；

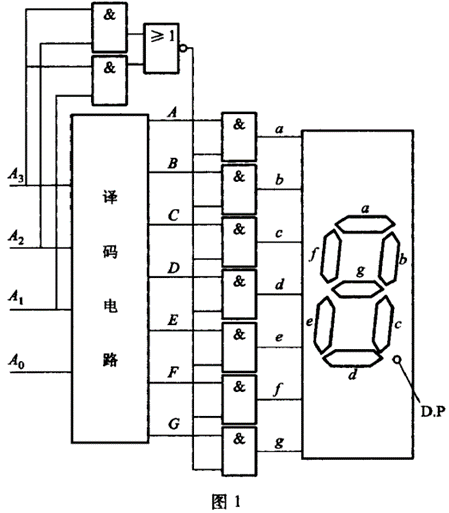
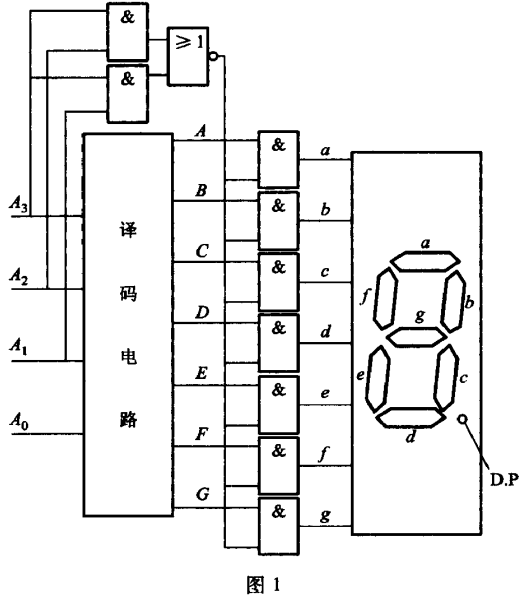
2. 预习Logisim平台使用方法；

3. 了解实验要求。

**三、实验平台：**

用于设计和模拟逻辑电路的图形化工具Logisim

**四、实验要求：**

1. 设计一个七段数码管译码电路，基本功能参考图1（不局限于图1所示）。

2. 设计的译码电路是一个独立的子电路，并进行封装及外观设计。

3. 设计一个七段数码管译码电路的测试电路，该测试电路可使用拨码开关作为测试输入源，七段数码管模块作为测试输出。

4. 设计实验步骤，完成实验，并导出七段数码管译码电路和它的测试电路。

**五、创新设计**

例如，针对电路的通用性进行创新，可以设计既能适用于共阳极的七段数码管，也能适用于共阴极的七段数码管。

实验二：乘法器电路设计

**一、实验目的：**

1. 掌握使用FSM进行时序逻辑电路设计的总体流程；

2. 理解Moore型有限状态机和Mealy型有限状态机的不同；

3. 理解并掌握两种状态编码方式（二进制编码和独热编码）；

**二、预习要求：**

1. 学习教材3.4节“有限状态机”内容；

2. 学习教师提供的关于乘法器设计方案的提示PPT，深入理解并讨论关于乘法器的实现原理；

3. 进一步熟悉Logisim平台使用方法；

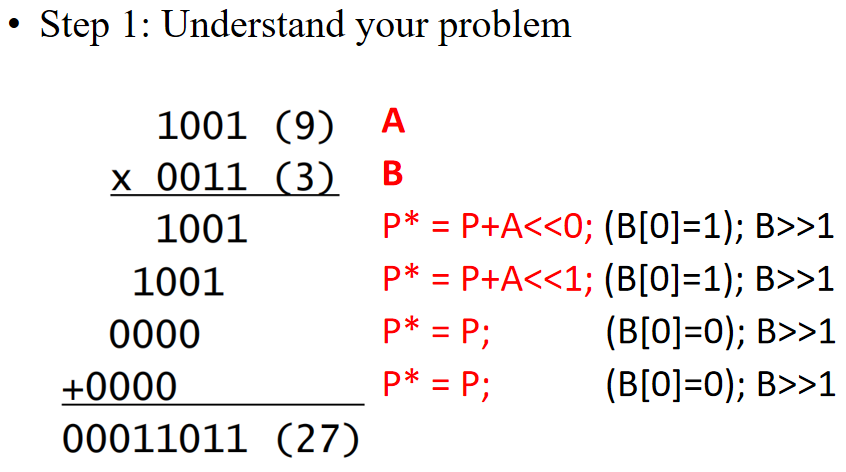
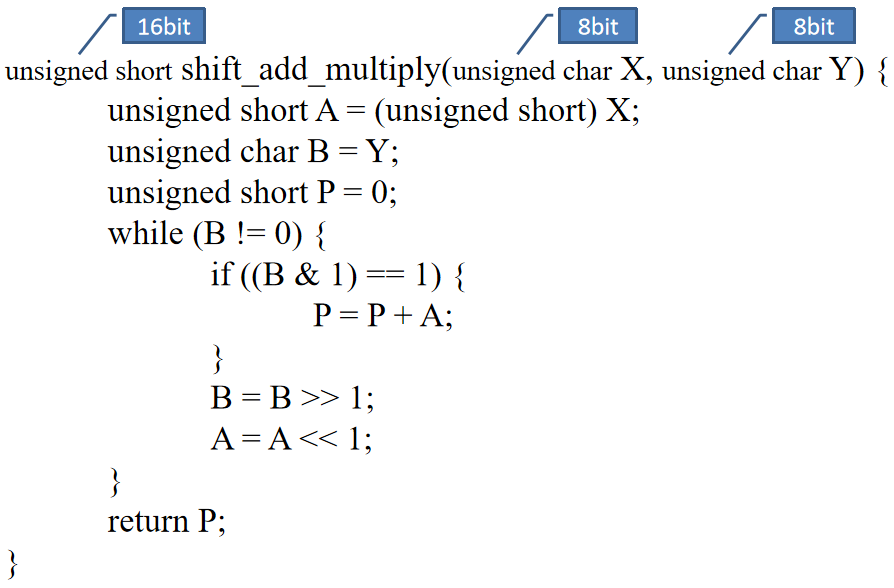
4. 了解实验要求。

**三、实验平台：**

用于设计和模拟逻辑电路的图形化工具Logisim

**四、实验要求：**

1. 自行选择Moore型或Mealy型有限状态机设计一个8位\*8位的乘法器，该乘法器实现如下功能，如图2所示。

** **

**图2：乘法器问题描述**

2. 理解乘法器的数据通路：

（1）首先从变量中识别所需的状态组件（需要多少位的寄存器来存储什么状态？）

unsigned short shift\_add\_multiply(unsigned char X, unsigned char Y) {

unsigned short A = (unsigned short) X; //例如，A就是一个需要存储的状态

unsigned char B = Y;

unsigned short P = 0;

while (B != 0) {

if ((B & 1) == 1) {

**P = P + A;**

}

**B = B >> 1;**

**A = A << 1;**

}

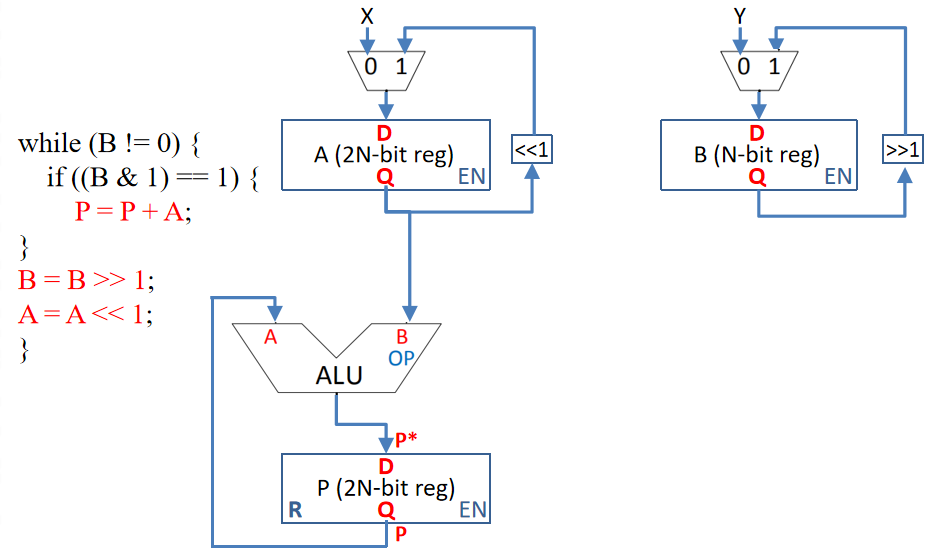
return P;

}

（2）确定我们如何修改这些状态（变量都做了什么修改？）

例如： P = P + A； B = B >> 1； A = A << 1；

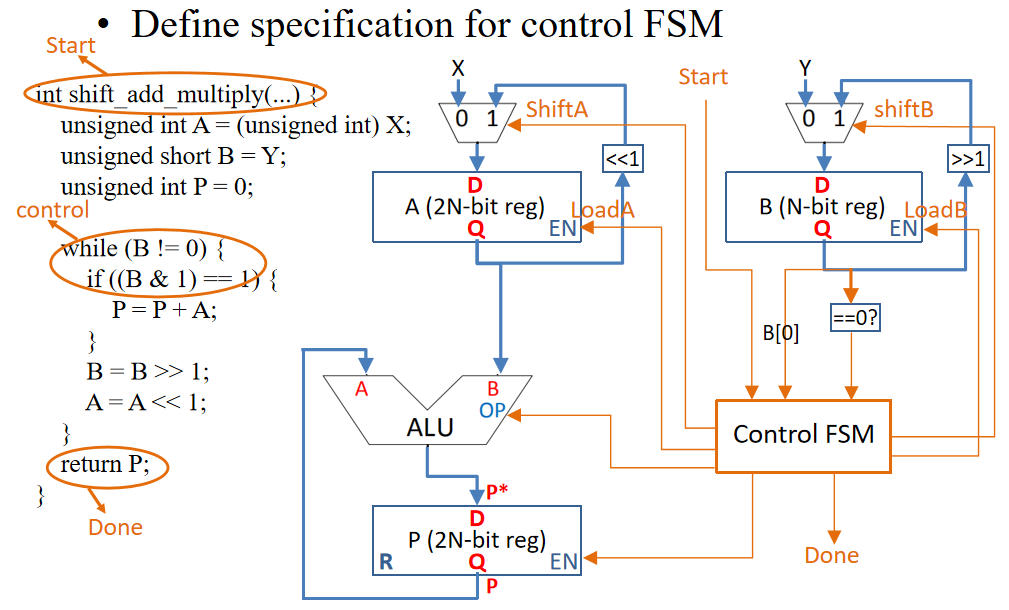
如图3所示。



**图3：乘法器状态修改**

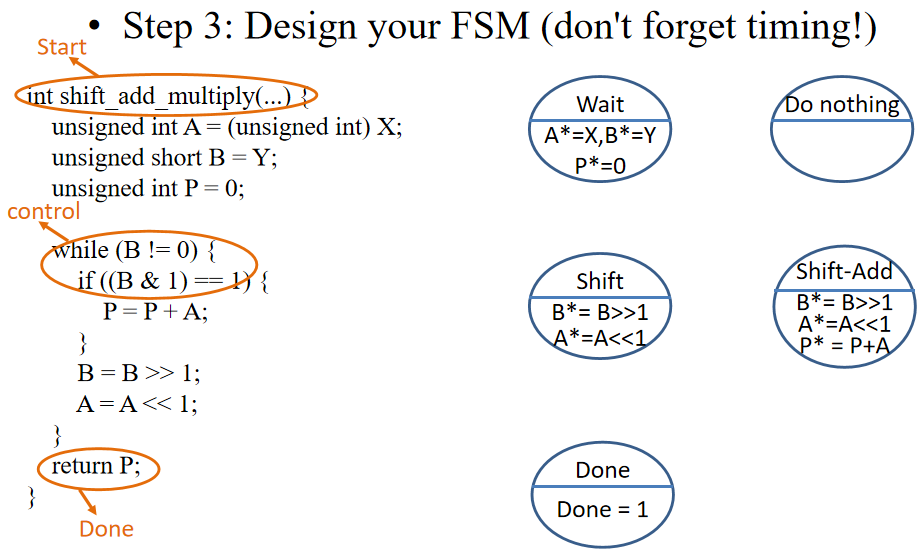
3. 理解乘法器的控制电路：

控制电路，就是在输入信号的作用下，产生特定的输出控制信号。对于时序电路而言，需要在时钟上升沿时，根据当前的状态，在特定的输入信号作用下，产生特定的输出控制信号。提示，该乘法器的控制电路使用FSM实现，其输入输出如图4所示。



**图4：乘法器控制电路输入输出信号**

4. 使用FSM设计乘法器的控制器：乘法器的状态有以下几种，如图5所示。尝试画出状态转换图，并确定输出信号。



5. 设计实验步骤，实现此乘法器，并使用适当的输入输出部件，进行模拟测试。

**6. 实验创新1：实现不增加结果寄存器位数的乘法器。**

**7. 实验创新2：实现快速乘法器。**

6. 导出乘法器电路。

实验三：单周期MIPS CPU设计

**一、实验目的：**

1. 掌握MIPS体系结构，指令系统；

2. 掌握MIPS机器指令三种类型指令的结构；

3. 理解并掌握三种类型指令的执行过程；

4. 掌握MIPS存储组件（寄存器，ROM，RAM）的工作原理；

5. 掌握单周期MIPS CPU设计原理。

**二、预习要求：**

1. 学习教材7.3节“单周期处理器”内容；

2. 熟悉Logisim平台使用方法；

3. 了解实验要求。

**三、实验平台：**

用于设计和模拟逻辑电路的图形化工具Logisim

**四、实验要求：**

1. 设计一个MIPS体系结构的CPU，该CPU含有3种类型的指令，包括如下指令：

|  |  |  |
| --- | --- | --- |
| **序号** | **MIPS指令** | **RTL功能描述** |
| 1 | add $rd, $rs, $rt | R[$rd]<--R[$rs]+R[$rt] 溢出产生异常，且不修改R[$rd] |
| 2 | slt $rd, $rs, $rt | R[$rd]<--R[$rs]<R[$rt] 小于置1，有符号比较 |
| 3 | addi $rt, $rs, imm | R[$rt]<--R[$rs]+SignExt16b(imm) 溢出产生异常 |
| 4 | lw $rt, imm($rs) | R[$rt]<--Mem4B(R[$rs]+SignExt16b(imm)) |
| 5 | sw $rt, imm($rs) | Mem4B(R[$rs]+SignExt16b(imm))<--R[$rt] |
| 6 | beq $rs, $rt, imm | If(R[$rs]==R[$rt]) PC<--PC+SignExt18b({imm,00}) |
| 7 | bne $rs, $rt, imm | If(R[$rs]!=R[$rt]) PC<--PC+SignExt18b({imm,00}) |
| 8 | syscall | 系统调用，用于停机 |

1. 设计实验步骤，完成单周期MIPS CPU的数据通路和控制器；
2. 设计CPU测试用例，完成测试。
3. 导出CPU设计电路和测试电路。