

Auxiliar 9 - Caché y Arquitecturas

Profesor: Luis Mateu
Auxiliares: Vicente Gonzalez
Iván Henríquez

P1. La figura muestra un extracto del contenido de un cache de 128 KB de 2 grados de asociativad y líneas de 16 bytes. El computador posee un bus de direcciones de 20 bits. El cache se organiza en 2 bancos, cada uno con 4096 líneas. Por ejemplo en la línea 4f2 (en hexadecimal) del banco izquierdo se almacena la línea de memoria que tiene como etiqueta 04f2 (es decir, la línea que va de la dirección 04f20 en hexadecimal a la dirección 04f2f)

	Banco 1		Banco 2	
línea	etiqueta	contenido	etiqueta	contenido
301	4301		2301	
4f2	04f2		a4f2	
c36	dc36		1c36	

Un programa accede a las siguientes direcciones de memoria:

- a4f28
- dc360
- 53014
- 2301c
- 1c360
- ec368
- 84f20
- dc36c

Conteste (i) cuál es la porción de la dirección que se usa como etiqueta, (ii) cuál es la porción de la dirección que se usa para indexar el cache, y (iii) qué accesos a la memoria son aciertos en el cache y cuáles son desaciertos, mostrando un posible estado final del cache

P2. Considere el siguiente programa en assembly:

```
a. lw x7, 4(x5)
b. add x9, x2, x3
c. blt x0, x7, p
d. slli x9, x3, 1
...
p. ori x5, x9, 7
q. srli x1, x5, 2
r. and x10, x7, x9
s. xori x8, -1, x1
```

Haga una tabla de la ejecución de estas instrucciones en:

1. Una arquitectura microprogramada.
2. Una arquitectura en pipeline con etapas fetch, decode y execute.
3. Una arquitectura superescalar, con 2 pipelines con las etapas de 2.