

IV. LOGICA SECUENCIAL

4.1 Introducción:

Los circuitos considerados hasta el momento, han sido circuitos, en los cuales las salidas en cada instante de tiempo dependen por completo de las entradas presentes en ese instante. Ello puede ser descrito por el siguiente conjunto de ecuaciones:

$$Z_i = f_i(x_1, x_2, x_3, \dots, x_n), i=1, \dots, m.$$

$x_1, x_2, x_3, \dots, x_n$ son entradas.

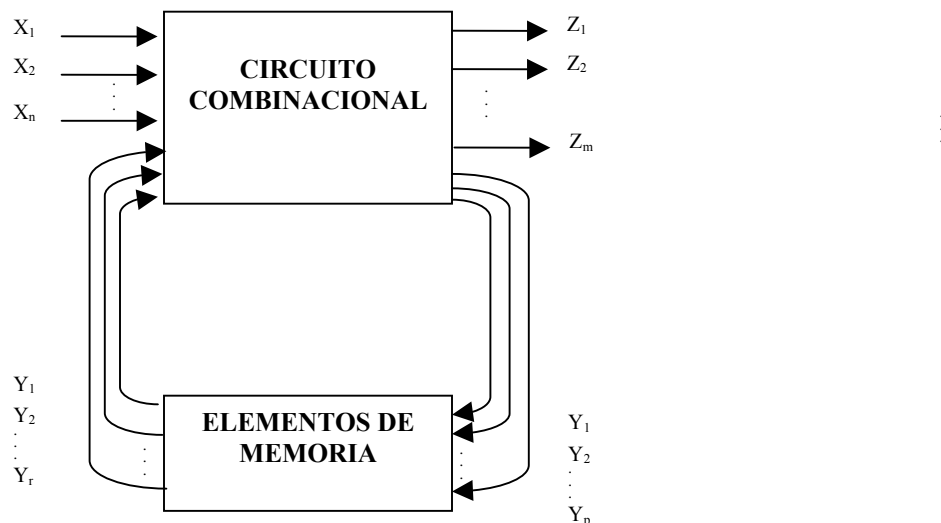
$Z_1, Z_2, Z_3, \dots, Z_m$ son salidas.

La mayoría de los circuitos lógicos si bien incluyen circuitos combinacionales, también emplean elementos de memorias. Tales circuitos son llamados Circuitos Secuenciales y pueden ser descritos por las siguientes ecuaciones:

$$Z_i = f_i(x_1, x_2, x_3, \dots, x_n, y_1, y_2, y_3, \dots, y_r), i=1, \dots, m.$$

$$Y_j = f_j(x_1, x_2, x_3, \dots, x_n, y_1, y_2, y_3, \dots, y_r), j=1, \dots, p.$$

La figura muestra el diagrama de un circuito secuencial, el cual acepta entradas externas y también entradas provenientes de las salidas de elementos de memoria. La información almacenada en los elementos de memoria puede ser cambiada por las salidas del circuito combinacional.



Las salidas externas del Circuito Secuencial son función de las entradas y los estados presentes en la memoria. Los próximos estados de los elementos de memoria son función de las entradas y del estado presente.

Los Circuitos Secuenciales pueden ser de 2 tipos:

1. Circuitos Secuenciales Sincrónicos: Sistemas secuenciales cuya respuesta puede ser definida del conocimiento de sus variables en instantes predeterminados de tiempo. Los elementos de memorias utilizados son comúnmente los Flip-Flops.

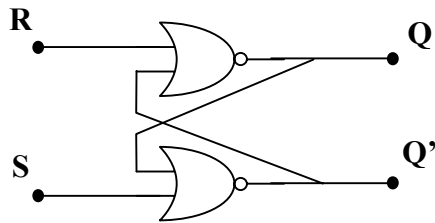
2. Circuitos Secuenciales Asincrónicos: Sistemas secuenciales cuya respuesta depende del orden en el cual cambian las variables (su respuesta esta definida en tiempo continuo) y los valores y cambios de variables no están sujetos a intervalos predeterminados de tiempo. Los elementos de memoria utilizados por los Circuitos Secuenciales Asincrónicos son retardos de tiempo. En este sentido un C.S.A. es un circuito combinacional realimentado.

Dentro de los Circuitos Secuenciales Sincrónicos se distinguen dos tipos de circuitos según su modo de trabajo:

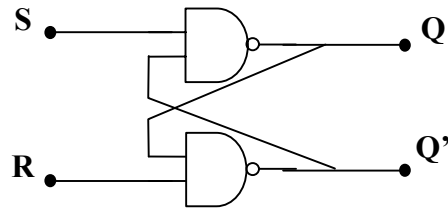
- a) **Modo Reloj (Clock-Mode):** La sincronización esta dada por un dispositivo llamado reloj maestro, el cual genera un tren de pulsos. Estos pulsos son distribuidos de forma tal que los elementos de memoria son afectados sólo cuando les llega un pulso de reloj.
- b) **Modo Pulsatorio (Pulse-Mode):** Se distinguen de los modo Reloj por la ausencia de una línea para reloj en forma separada, su similitud esta en que cada cambio de estado debe coincidir con un pulso en la entrada. Los pulsos que producen los cambios de estado deben aparecer en las líneas de entrada del circuito y se deben utilizar F-F sin Reloj.

Flip – Flop (Multivibrador Biestable). Es un elemento de memoria el cual puede mantener un estado indefinidamente (Mientras se mantenga su fuente de energía) hasta que deliberadamente se produzca un cambio de estado.

Circuitos Basicos: Los F-F pueden construirse con compuertas NAND o NOR como muestra la figura, a partir de estos pueden construirse otros tipos de F-F. Cada Circuito tiene dos entradas: SET y RESET, y dos salidas Q y Q' (Negado de Q).



Puesta a Uno



Puesta a Cero

FLIP FLOP SR (Latch)

Tabla de Verdad

A	B	NOR	S	R	Q^N	Q^{N+1}
0	0	1	0	0	0	0
0	1	0	0	0	1	1
1	0	0	0	1	0	0
1	1	0	0	1	1	0
			1	0	0	1
			1	0	1	1
			1	1	0	X
			1	1	1	X

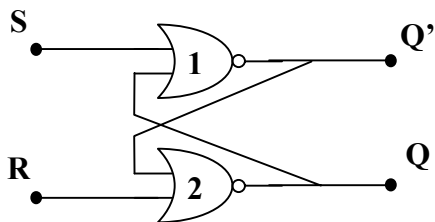
$$Q^{N+1} = S^N + Q^N R^N$$

(DADO $S^N R^N = 0$)

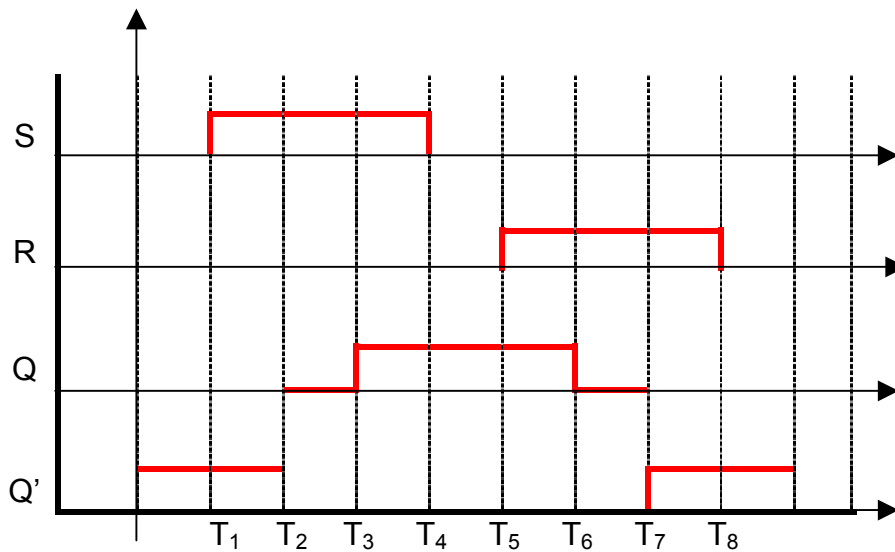
Q^N Estado Presente
 Q^{N+1} Próximo Estado

Ancho de Pulso Mínimo: Si se espera que un cambio de estado realmente se ejecute, la entrada SET o RESET debe permanecer en 1 por algún tiempo mínimo.

Considerar el siguiente ejemplo:

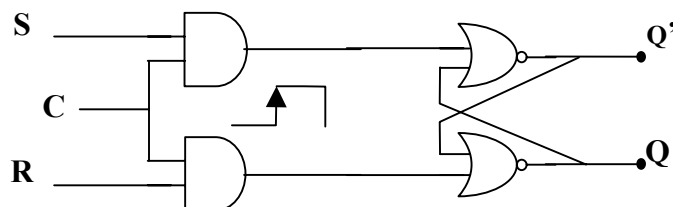


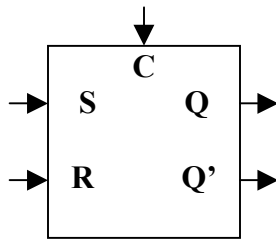
SR		00	01	11	10
Q^N	0	0	0	X	1
	1	1	0	X	1



- a) Considere $Q=0$ y $Q'=1$, como estado inicial cuando $s \rightarrow 1$, $Q' \rightarrow 0$ en T_2 , luego $Q \rightarrow 1$ en T_3 , el pulso S debe parar en T_4 pero ello no produce un nuevo cambio.
- b) Considere de nuevo $Q=0$ y $Q' = 1$, si S retorna a 0 en T_3 ambas entradas a la compuerta 1 están en 0, al menos momentáneamente tendiendo a causar el retorno de Q' a 1. En esta situación la operación del circuito es impredecible, es por esto que la duración del pulso es una fuerte restricción.
- El problema esta solucionado si los cambios toman lugar sólo en intervalos especificados periódicamente en el tiempo. Ello se logra sincronizando todos los estados con pulsos de reloj. En el C.S. Modo Reloj el cambio de estado sólo se produce en el momento de llegada del pulso de reloj y cambiará de estado no más de una vez por pulso.

Un F-F SR convencional se convierte en un SR con reloj como se muestra en la figura. La única restricción en el tiempo de las señales S y R es que no deben cambiar durante la duración del pulso.





S	R	Q^{N+1}
0	0	Q^N
0	1	0
1	0	1
1	1	X

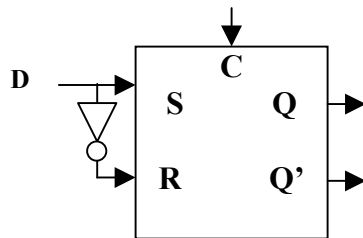
Q^N	Q^{N+1}	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

Diagrama SR con Reloj Tabla de Estado

Tabla de Excitación

FLIP FLOP TIPO D

La figura muestra una modificación de un F-F tipo SR. El valor del próximo estado Q^{N+1} sigue a la entrada D.



D	Q^{N+1}
0	0
1	1

$$Q^{N+1} = D$$

Q^N	Q^{N+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

Diagrama D con Reloj

Tabla de Estado

Tabla de Excitación

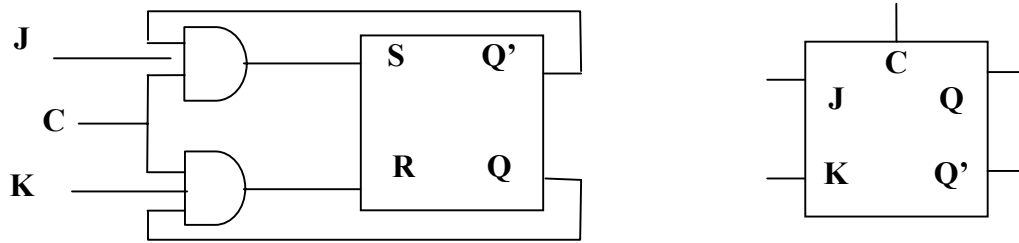
El F-F tipo D recibe su nombre de su habilidad para transferir información (DATA). El F-F tipo D es muy utilizado en computación.

FLIP FLOP TIPO JK

Mientras el F-F SR es útil en un sentido teórico, es raramente encontrado en la práctica, debido a que ha sido totalmente suplantado por el JK.

En el JK la restricción de que ambas señales no pueden ser 1 al mismo tiempo ha sido eliminada.

En la figura se muestra el F-F JK implementado en base a un SR.



Estudiando su funcionamiento, se puede deducir su tabla de estados.

J	K	Q^{N+1}
0	0	Q^N
0	1	0
1	0	1
1	1	Q'^N

Tabla de Estado

Q^N	Q^{N+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Tabla de Excitación

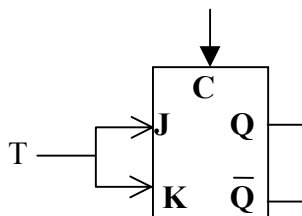
$$Q^{N+1} = Q^N K'^N + J^N Q'^N$$

De la tabla de excitación se observa la mayor cantidad de condiciones superfluas de este F-F lo cual lo hace muy beneficioso desde el punto de vista del diseño (Minimización).

Observe que un F-F tipo D también se puede obtener a partir de un JK.

FLIP FLOP TIPO T

Este F-F tiene la característica de cambiar de estado con cada pulso de reloj, cada vez que la entrada T está en 1 lógico.



T	Q^{n+1}
0	Q^n
1	Q'^n

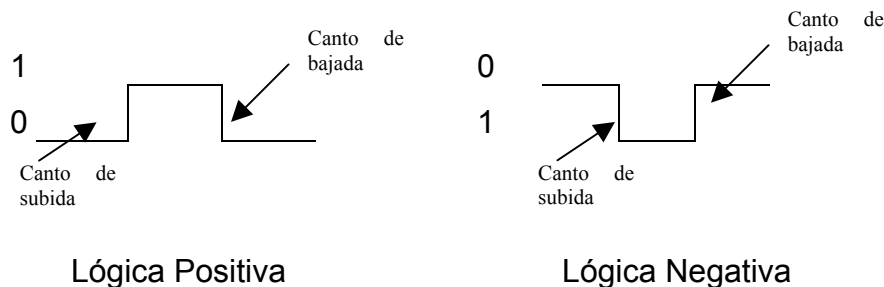
Q^n	Q^{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

El F-F T se comporta como un divisor de frecuencia de la señal de entrada.

Accionamiento de los F-F :

El intervalo de tiempo desde la aplicación de un pulso hasta que la transición de la salida tiene lugar, es un factor crítico. Como se dijo un circuito secuencial tiene caminos de realimentación. Estos caminos de realimentación pueden producir inestabilidades si las salidas de los elementos de memoria cambian de valores mientras el pulso está aún presente, por cuanto cambiarán las entradas de los elementos de memoria. Este problema se puede prevenir si las salidas de los elementos de memoria no comienzan su cambio de estado hasta que el pulso haya terminado. Para asegurar esto, un F-F debe tener un retardo de propagación de la señal de entrada a la salida que exceda la duración del pulso. Esto es muy difícil de controlar si el retardo depende sólo del retardo de las compuertas. Una manera de asegurar el retardo es incluir un retardo físico que sea mayor o igual a la duración del pulso.

Más común es causar que el F-F cambie de estado durante el canto de bajada del pulso.

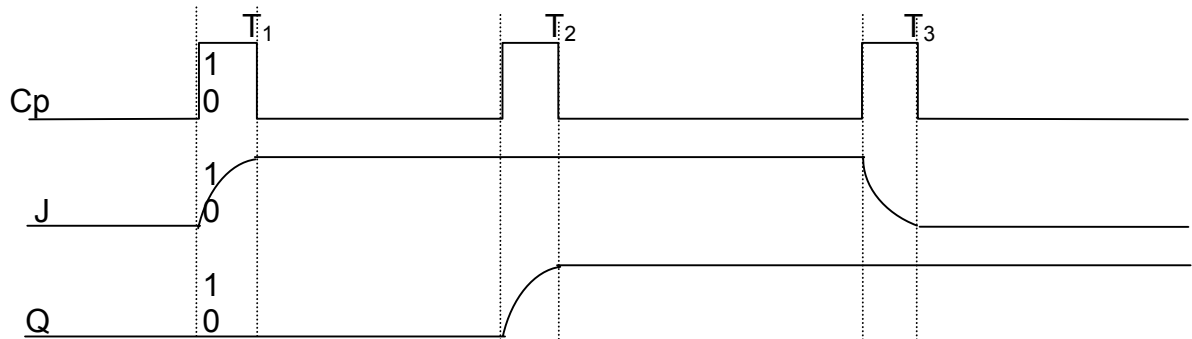


El F-F SR con reloj analizado es conmutado durante el canto de subida; esto es, la transición comienza cuando el pulso alcanza su nivel 1. El nuevo estado del F-F puede aparecer en la salida mientras el pulso está aún en 1.

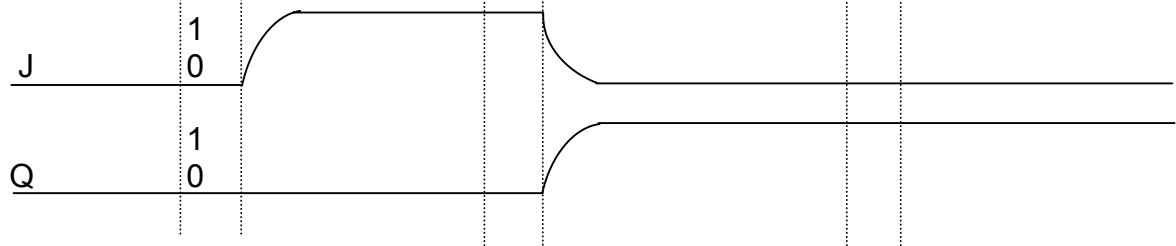
Cuando los F-F son disparados durante el canto de bajada del pulso, el nuevo estado del F-F aparece a la salida, después que el pulso ha retornado a cero.

La dependencia del tiempo se ilustra en el siguiente diagrama para un FF JK.

a) disparo con canto de subida



b) disparo con canto de bajada

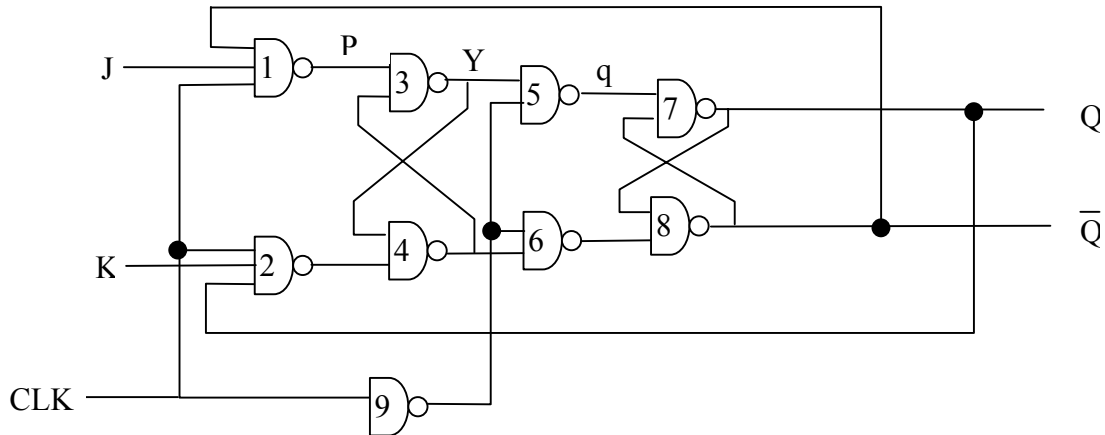


En a) la señal en J empieza su transición de 0 a 1 durante el canto de subida del pulso t_1 . La salida Q puede o no cambiar en t_1 . La mejor manera de evitar dicha desiguladad es asegurar que la salida no cambie durante el intervalo que dure el pulso.

En b) la señal llega a ser uno después de t_1 . Por lo tanto Q permanece en cero debido a que J es cero durante el pulso. En t_2 se produce el cambio debido a que J es 1.

Una manera de hacer que un F-F responda al canto de bajada del pulso es utilizar la configuración MASTER-SLAVE. Dicha configuración está compuesta de dos F-F, uno de ellos recibe la información con el canto de subida y el otro la entrega cuando aparece el canto de bajada.

En la figura se muestra un F-F master-Slave JK con compuertas NAND

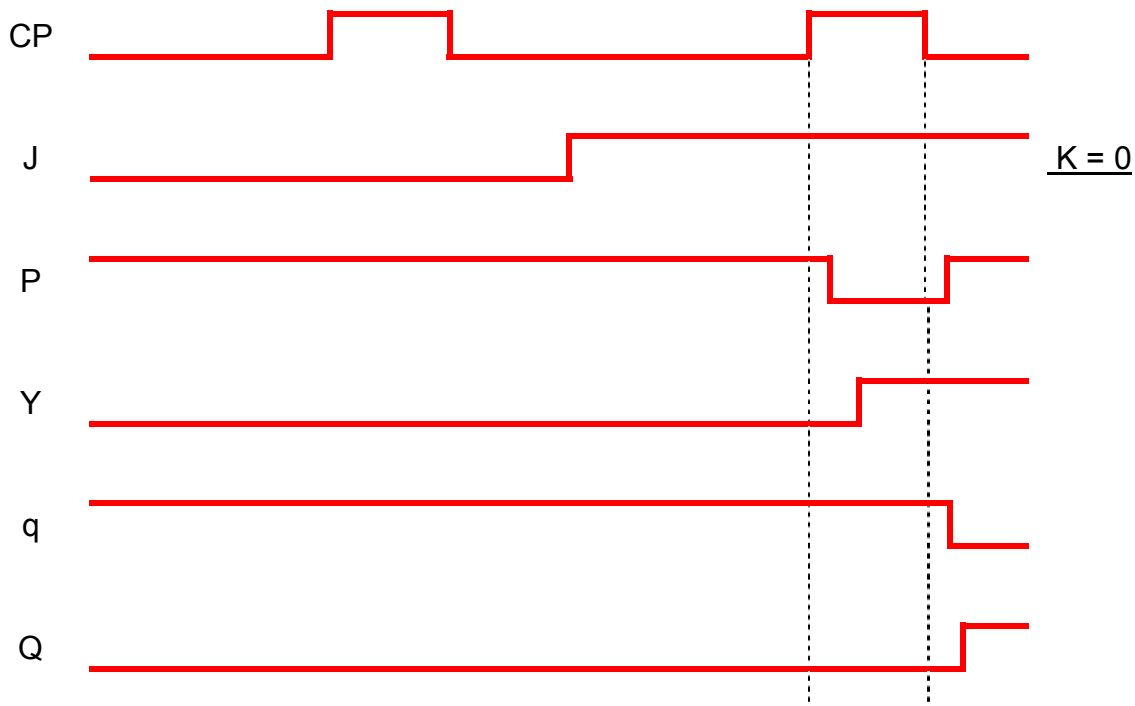


Las compuertas 1 a 4 forman al F-F Master y las compuertas 5 al 8 forman el F-F Slave. La información en J y K se transmite al Master en el canto de subida y se mantiene hasta que el canto de bajada permite pasar al F-F Slave.

Clk es normalmente cero, lo cual mantiene a 1 y 2 en 1 ello previene que J y K afecten al master. Cuando Clk es cero la salida de la puerta 9 es 1, tal que \bar{q} es igual a \bar{Y} y q es igual a Y. Cuando aparece el canto de subida del reloj el F-F Master acepta cambios de estado. El F-F Slave es aislado con el nivel cero de 9. Cuando el pulso vuelve a cero el F-F Master es aislado de J y K y el F-F esclavo cambia de estado al de F-F master.

Para aclarar el funcionamiento, considere el siguiente ejemplo.

Inicialmente $Q=0$. En ausencia de pulso de reloj Y es igual a Q cuando $J=1$ antes de la llegada del pulso 2, P pasa a cero con el canto de subida de reloj del segundo pulso. Después de un retardo, Y pasa a 1. Cuando el reloj retorna a cero, q pasa a cero y después de otro retardo de compuerta, Q pasa a 1

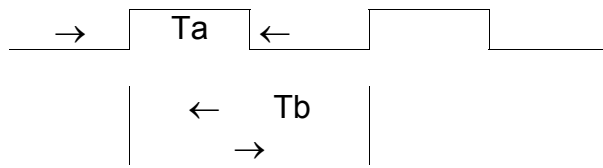


Como conclusión se puede afirmar que con un **master slave** no se puede producir más de un cambio de estado para cada pulso de reloj sin importar su ancho.

Otra restricción que se aplica a todos los circuitos, sean combinacionales o secuenciales, es que el intervalo entre cambios sucesivos de una variable debe ser mayor que el tiempo de retardo del circuito lógico. Si el retardo de una compuerta es de 10 mseg., no podrá responder a cambios cada 5 mseg. por ejemplo.

Lo mismo es valido para los pulsos. Existe un intervalo mínimo entre pulsos, mas comúnmente establecido en términos de una especificación máxima de pulsos de reloj Por Ejemplo, el intervalo mínimo entre pulsos para un F-F de 10 Mhz es de 100 nseg.

Por razones que no corresponde analizar aquí, el intervalo mínimo entre pulsos, es mucho mayor que el tiempo mínimo de duración del pulso, así para un F-F de 10 Mhz el tiempo mínimo de duración del pulso es de 20 nseg o sea 1/5 del intervalo mínimo.



$$T_a \geq T_b / 5$$

$$T = 1/(10 \times 10^6) = 10^{-7} = 100 \times (10^{-7}/100) = 100 \text{ nseg.}$$