

GAZİ ÜNİVERSİTESİ TEKNOLOJİ FAKÜLTESİ BİLGİSAYAR MÜHENDİSLİĞİ

BMT 208

SAYISAL DEVRELER LABARATUVARI

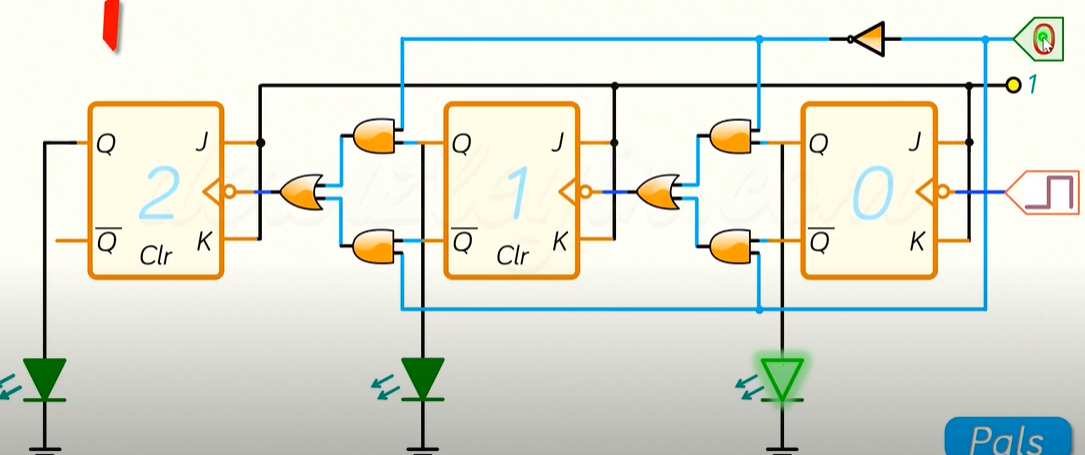
FİNAL ÖDEVİ

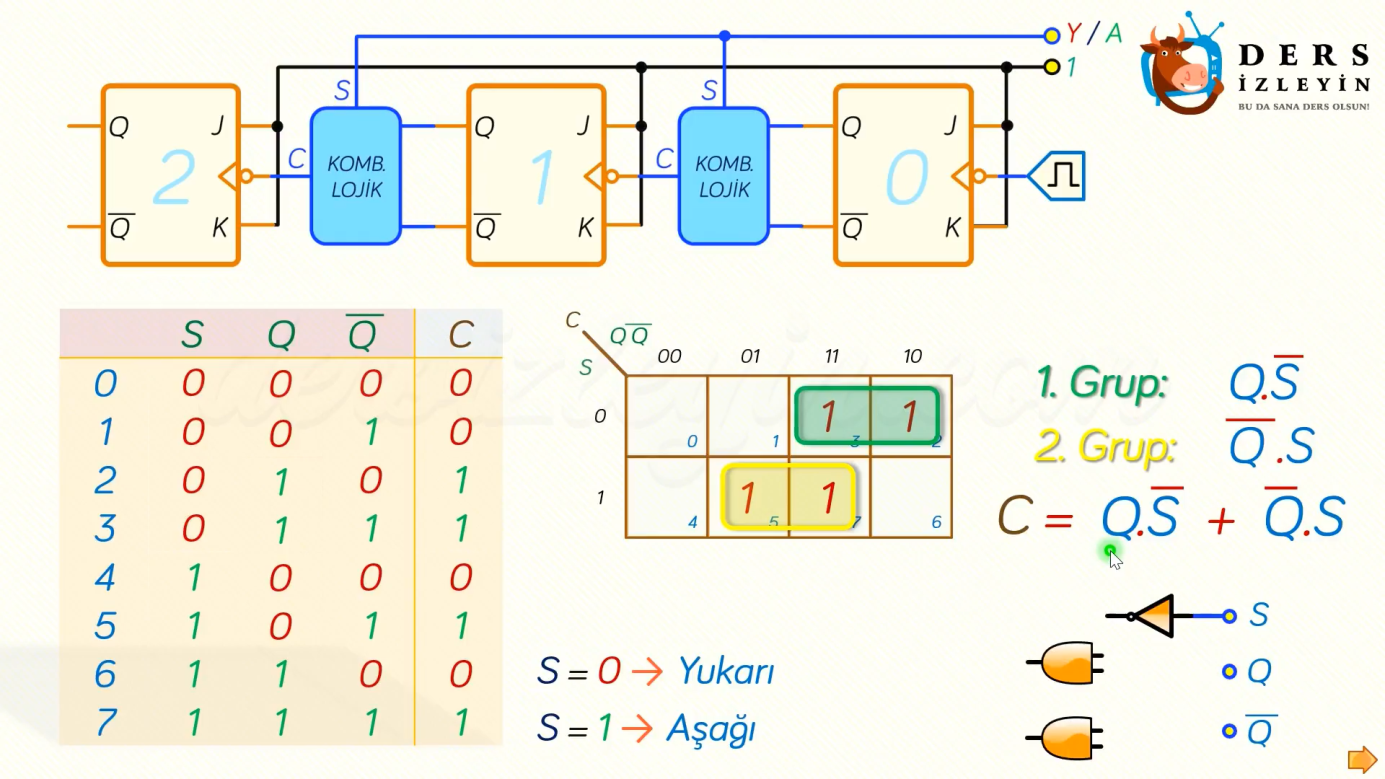
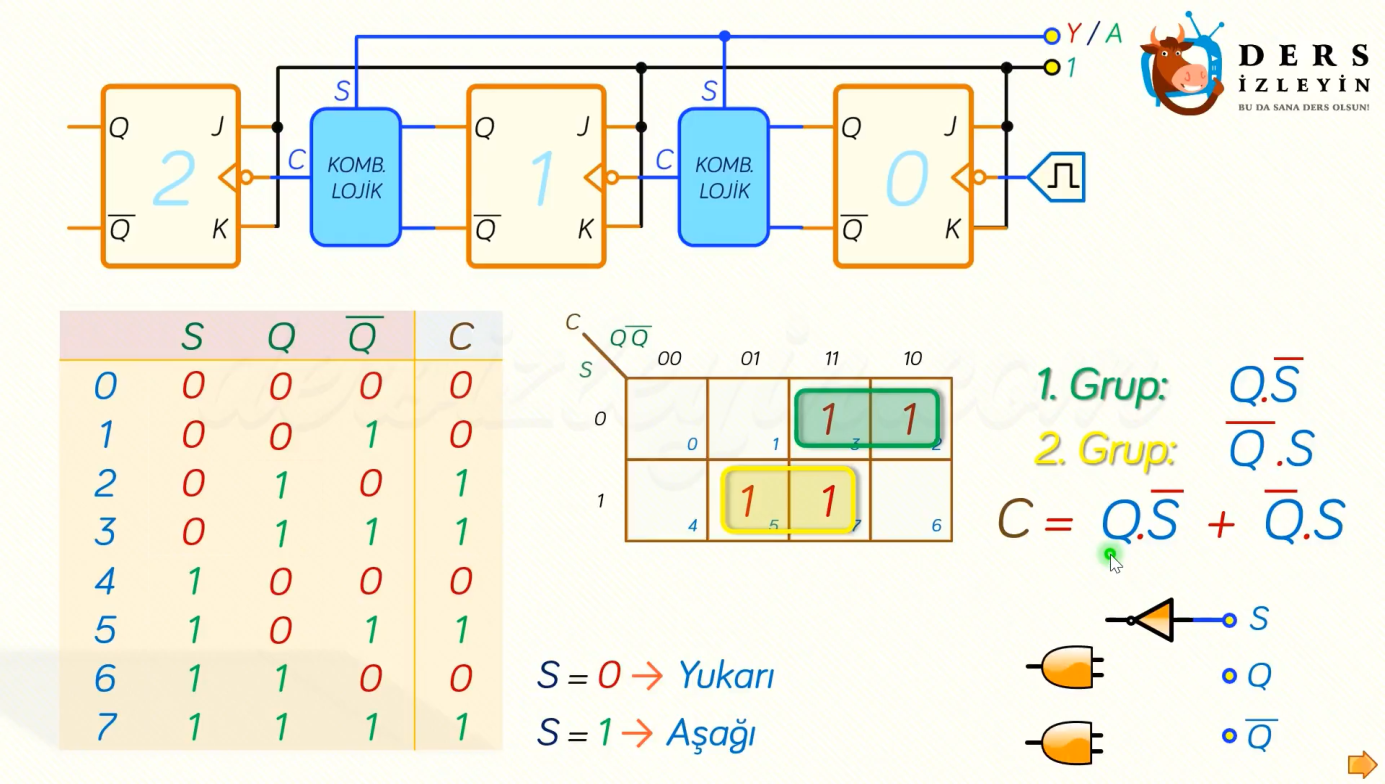
İçindekiler

|  |  |
| --- | --- |
| Deney Numarası ve Adı | Sayfa No |
| 2.5 Yukarı/Aşağı Sayıcı (Up/Down Counter) Devreler | 3 |
| 2.6 Kaydırma Yazmaç (Shift Register) Devreler | 6 |
| 2.7 Çoklayıcı (Multiplexer) Devreleri | 9 |
| 2.8 Çoklama Çözücü (Demultiplexer) Devreleri | 14 |
| 2.9.1 Kodlayıcı (Encoder) | 16 |
| 2.9.2 Kod Çözücü (Decoder) Devreleri | 17 |

2.5 Yukarı/Aşağı Sayıcı (Up/Down Counter) Devrelerinin Kodlanması ve Gösterimi

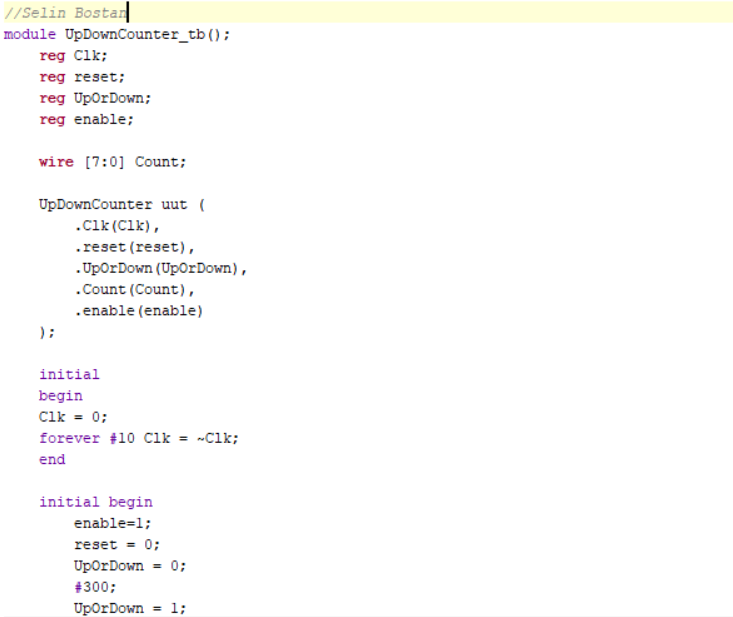
Asenkron yukarı/aşağı sayıcı yukarı aşağı yetkilendirme ucuna verilen 1 veya 0 değerine göre yukarıya ya da aşağıya birer birer sayan, flip flopların arka arkaya bağlanmasıyla oluşan sıralı devrelerdir. Asenkron olması için sadece en düşük değerlikli bite clock sinyali uygulanır bundan sonra ff’ların çıkışları ya da çıkışlarının değilleri bir sonrakinin clock girişine bağlanır. Eğer ff’lar clock girişlerini bir öncekinin çıkışından alıyorsa ileri, çıkışının değilinden alıyorsa geriye doğru sayıcı elde edilir. Hem aşağı hem yukarı sayıcı devreyi elde etmek için devreye kapılar eklenir.

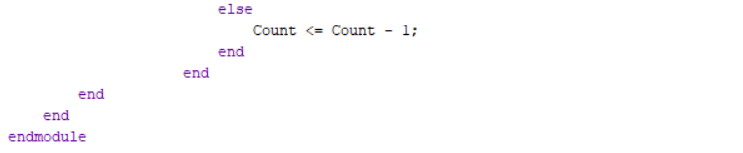


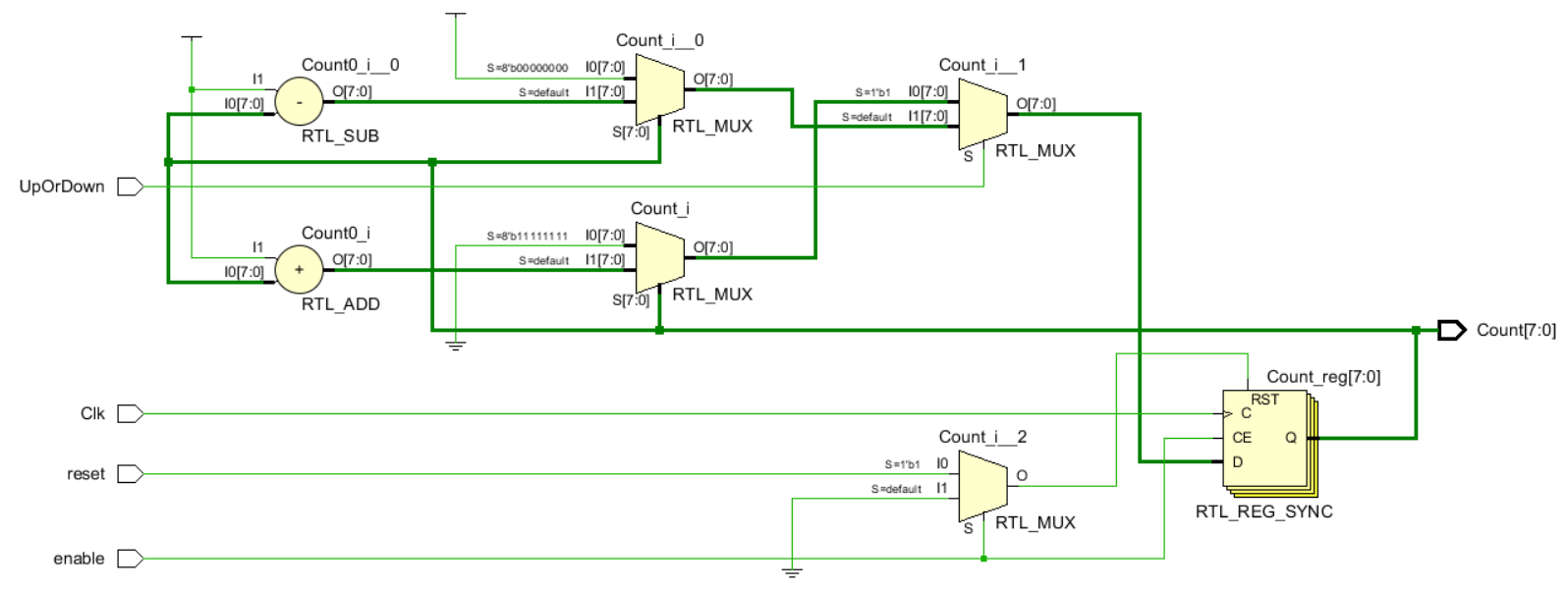
Amaç: Bu deneyde amaç, yazdığımız davranışsal verilog kodlarına ve test bench dosyasında verdiğimiz değerlere göre programın bize hem aşağı hem de yukarı sayabilen bir sayıcı oluşturmasını sağlamaktır.

Verilog Kodları Test Bench Dosyası

RTL Şematiği

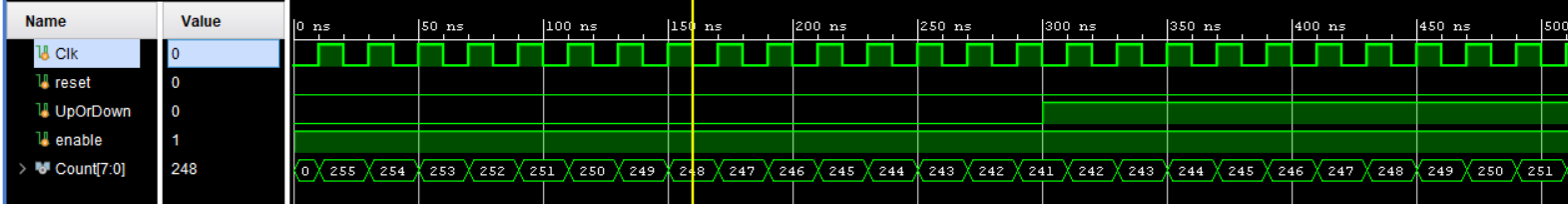


Sonuç

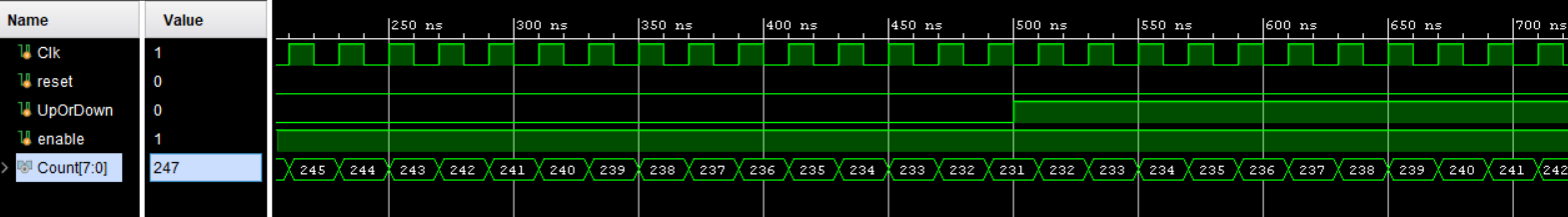
Sayıcılar bir çok farklı FF türüyle yapılabilir, ama biz davranışsal gerçekleme örneği yaptığımız için verilog kodlarında sadece giriş e çıkışlarda neler istediğimizi kodluyoruz, bunları nasıl gerçekleyeceğine program karar veriyor.

Simülasyon Ekranı

UpOrDown seçme girişinin tetikleme sinyalinin frekansı 300ns iken



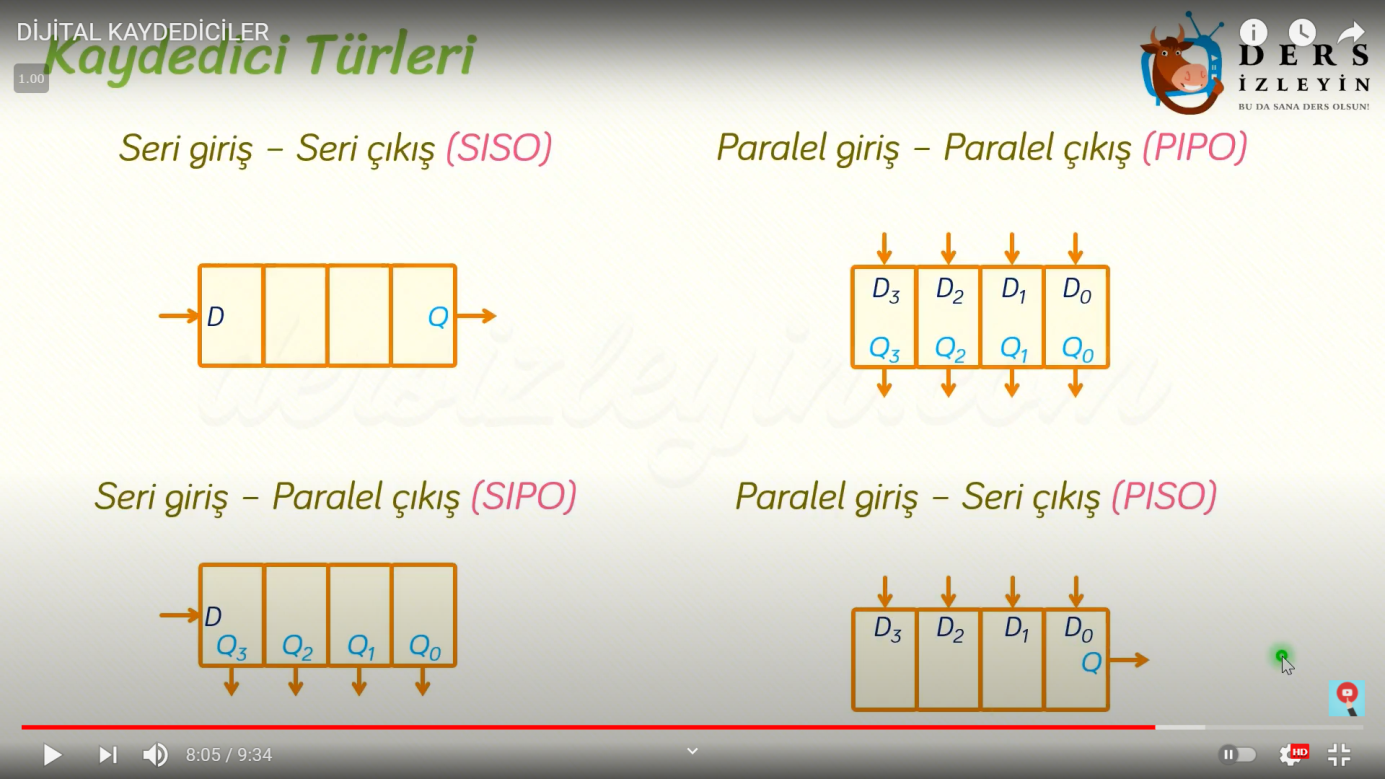
UpOrDown seçme girişinin tetikleme sinyalinin frekansı 500ns iken



2.6 Kaydırma Yazmaç (Shift Register) Devreler

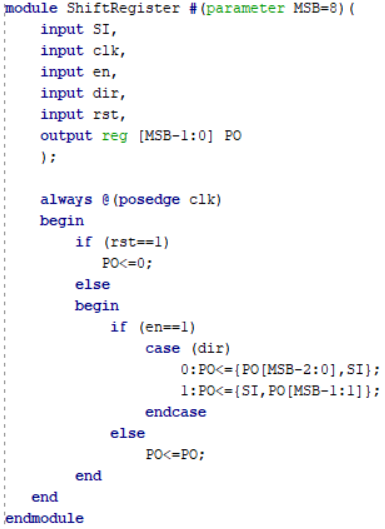
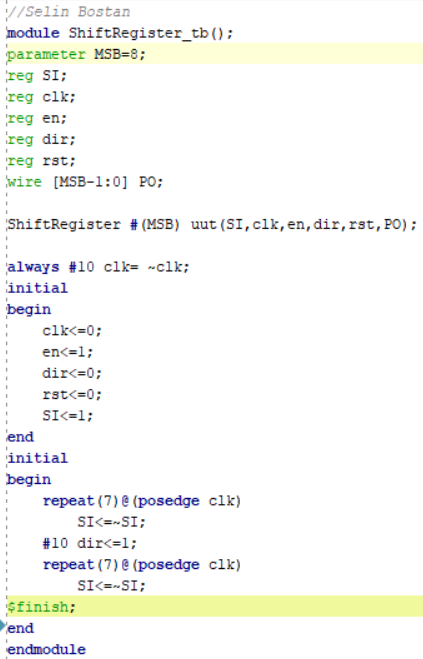
FF’lar bir sonraki clock tetiklemesine kadar çıkışındaki bilginin sinyalini verneye devam eder yani bir FF bir bitlk bilgi saklar. n adet FF’u bağlayarak n bitlik bir kaydedici oluşturabiliriz. Clock sinyalinin tün FF’lara aynanda uygulanmasıyla senkron sadece veri girişinin yapıldığı FF’a clock sinyali uygulanmasıyla asenkron kaydedici elde edilir. Kaydedicilerde seri giriş, bilginin sadece FF’lardan ilkine yüklenmesi, seri çıkış da sadece sonuncusundan alınması; paralel giriş tümüne aynanda bilgi girilmesi ve paralel çıkış da tümünden aynanda bilgi okunması anlamına gelir. Bu giriş-çıkış tiplerinin farklı kombinasyonlarını içeren 4 çeşit FF vardır. Seri girişe sahip FF’larda çıkış ister paralel ister seri olsun bilgi, her seferinde bir FF ilerlediğinden bu tip kaydedicilerin diğer adı kaydırmalı (shift) kaydedicilerdir ve bu nedenle bilginin çıkışta görünmesi için en azından FF sayısı kadar clock sinyali verilmelidir. Paralel kaydediciler bu özellikten dolayı seri kaydedicilerden daha hızlıdırlar.

FF’lar genel olarak hızlı veri iletiminin gerektiği birimlerde kullanılır. Mikroişlemci ve mikro denetleyicilerde ara bellek ve tampon bellek olarak kullanılabilirler.

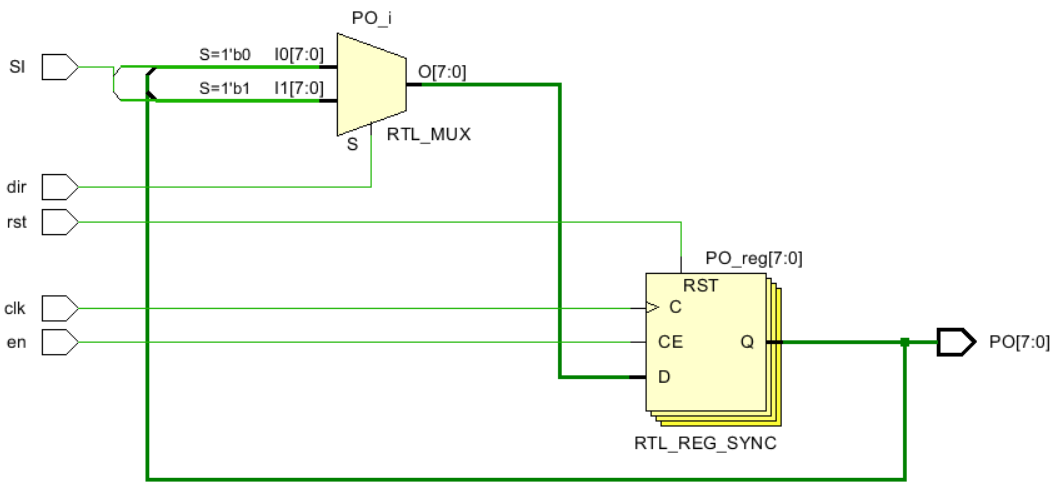


Amaç: Bu deneyde amaç, seri giriş-paralel çıkış n bitlik bir kaydediciyi davranışsal olarak modellemek ve girişlere değer vererek test etmektir.

Verilog Kodları Test Bench Dosyası

RTL Şematiği



Simülasyon Ekranı



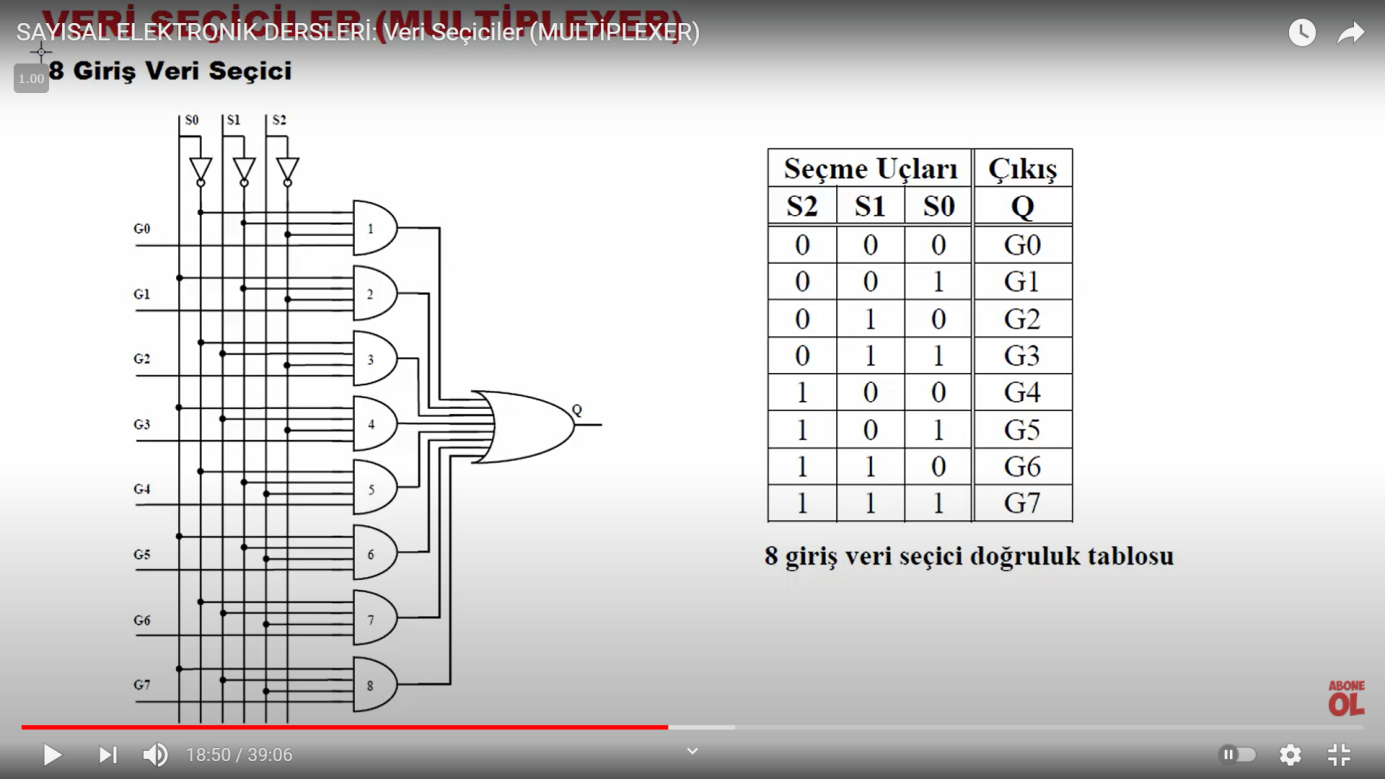
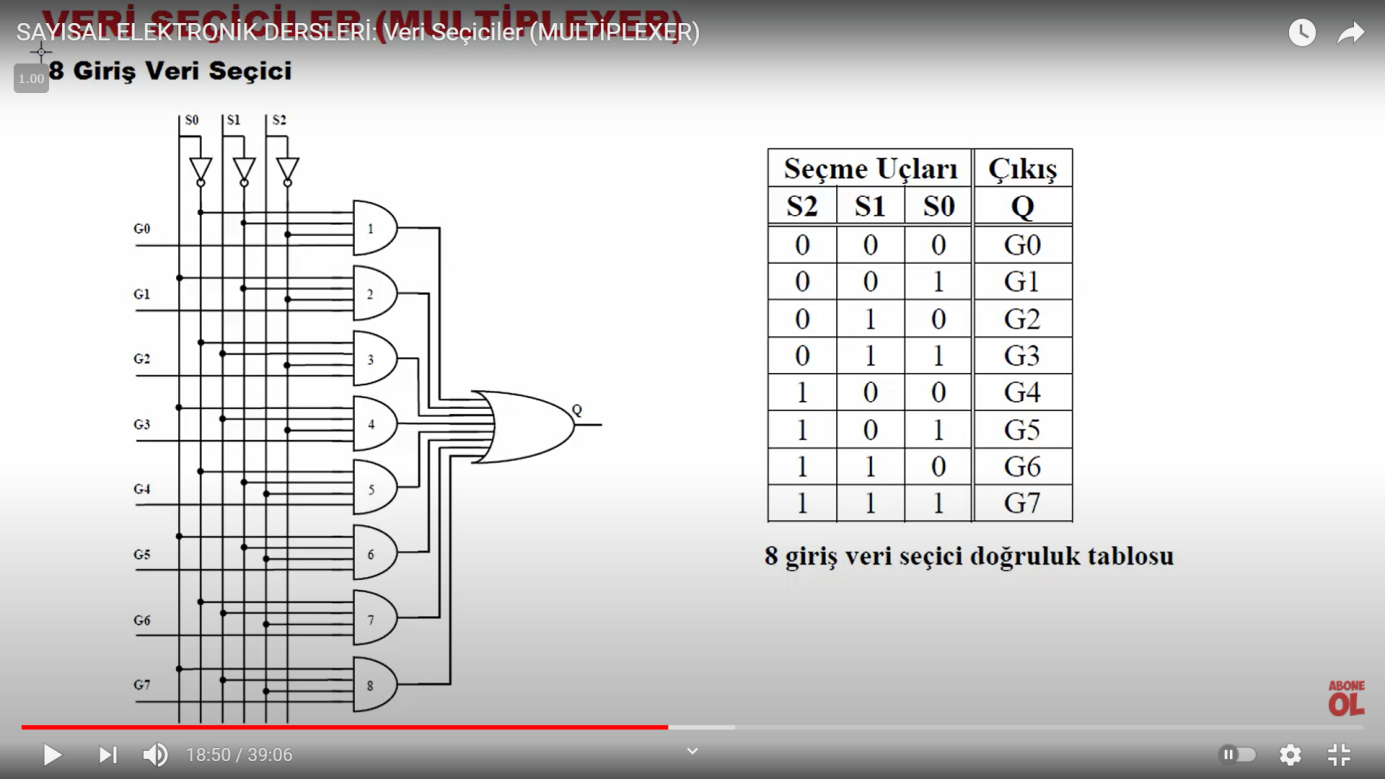
Sonuç

Bu deneyde önceki bilgilere ek olarak parametre tanımlamayı gördük. Verilog kodlarında modülü tanımlarken giriş çıkışlar tanımlanmadan önce, test bench dosyasında da aynı yerde parametre değimiyle tanımlanan ve bir de uut deyiminden hemen önce belirtilen değişkenin derleme anında değerini değiştirebiliriz. Bu şekilde değişkeni kullandığımız her yerde değeri değiştirmiş yani n bitlik bir kaydedici elde etmiş olduk.

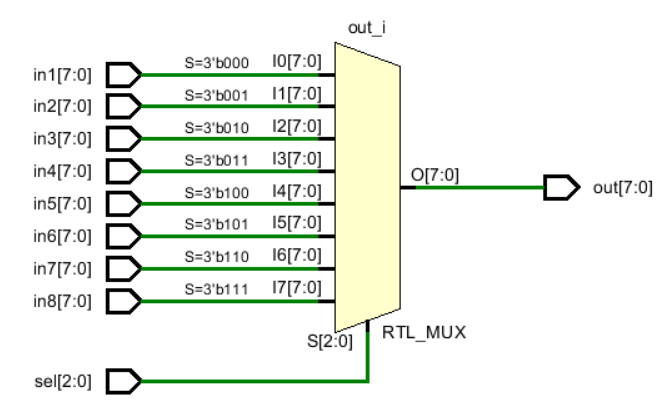
2.7 Çoklayıcı (Multiplexer) Devreleri

Amaç:

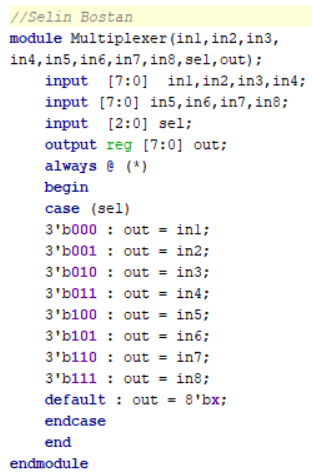
Multiplexerlar veri seçici girişlere uygulanan binary koda göre girişlerden sadece birinin çıkışa aktarılmasını sağlayan kombinasyonel devrelerdir. Veri seçici girişlerden 0 uygulananların değillerinin 1 olanların kendilerinin ve binary kod ile ilişkilendirilmiş verinin ve kapısıyla bağlanmasıyla oluşturulur. Ve kapısının veri dışındaki tüm girişleri 1 olduğundan kapının çıkışı verinin aynısı olur yani veri çıkışa sürülür. Doğruluk tablosundan yola çıkarak yapılan karno haritaları ile de aynı kombinasyonel devreye ulaşılabilir. n seçici giriş için tane veri girişi yapılabilir çünkü n bit ile tane binary sayı oluşturulabilir ve veri girişleriyle ilişkilendirilebilir.

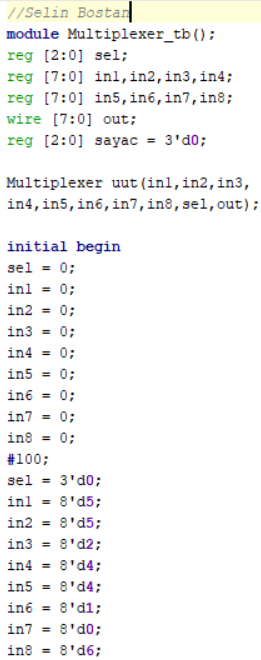
 

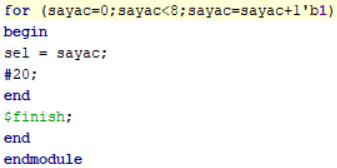
RTL Şematiği



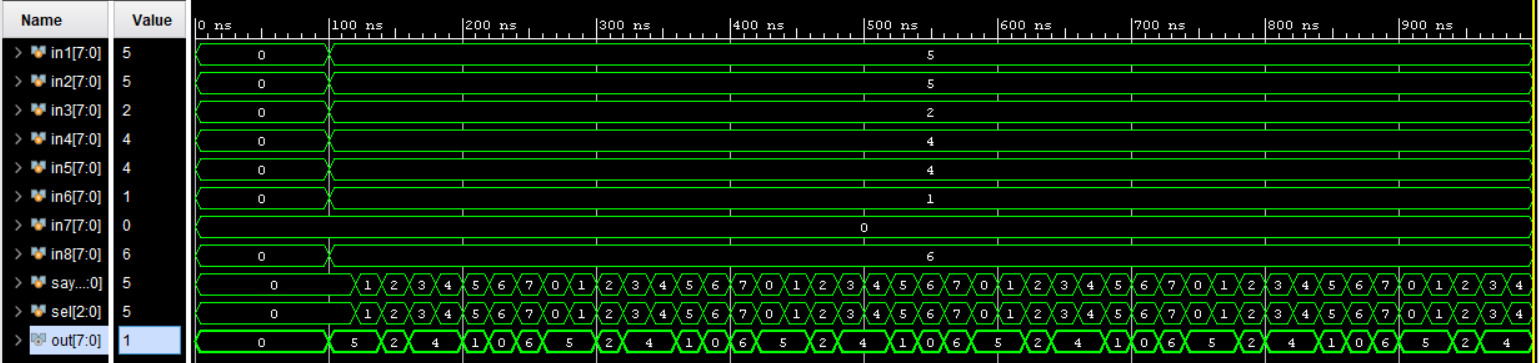
Verilog Kodları Test Bench Dosyası







Simülasyon Ekranı

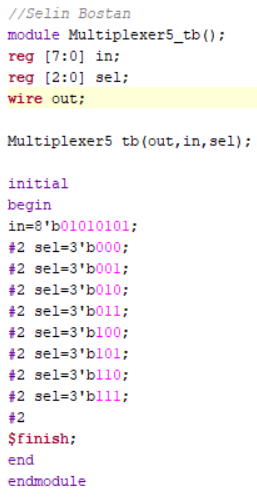


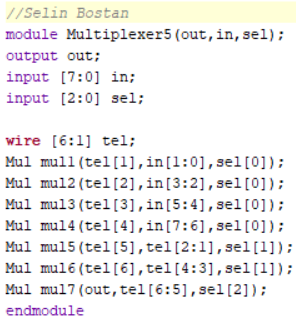
Sonuç

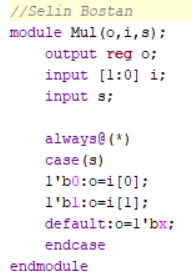
Verilog kodları yazılırken dikkat edilmesi gereken seçilecek girişlerle aynı bit uzunluğuna sahip çıkışın tanımlanmasıdır. Aksi halde veri kaybı yaşanabilir.

2\*1’lik Multiplexerlarla 8\*1’lik Multiplexer Oluşturma

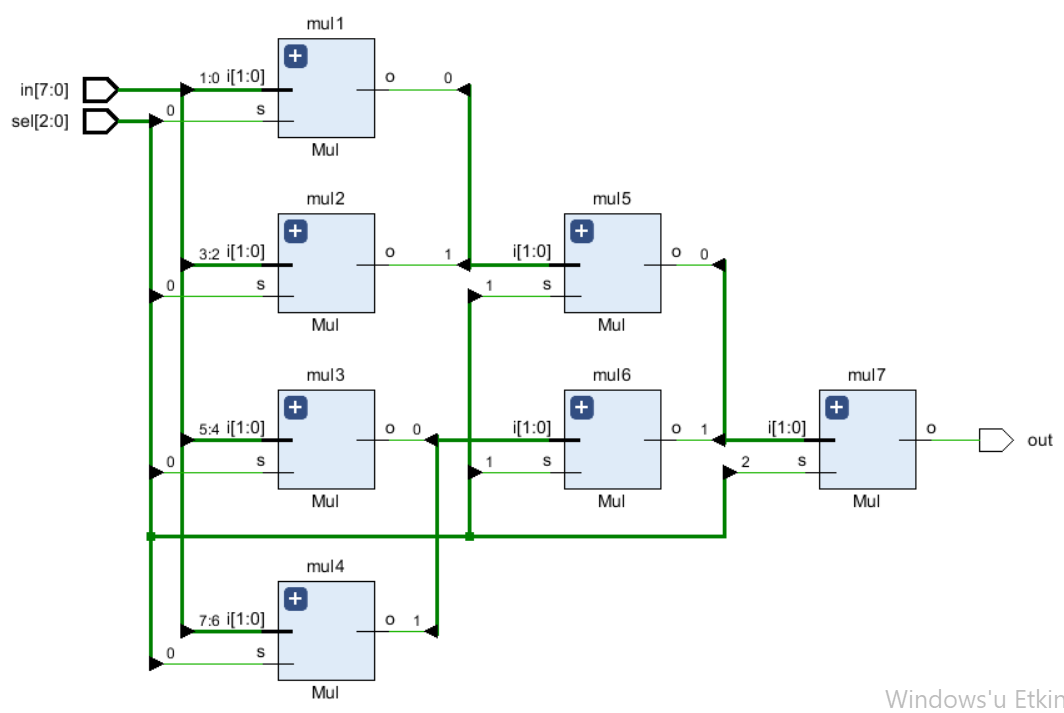
Verilog Kodları Test Bench Dosyası



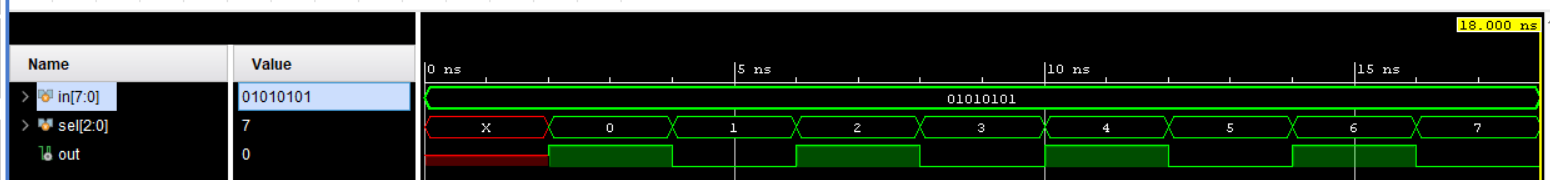




RTL Şematiği

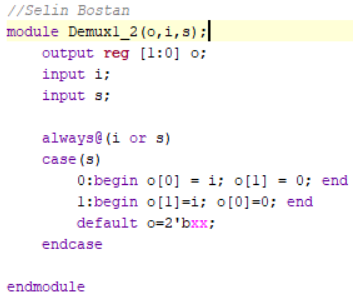


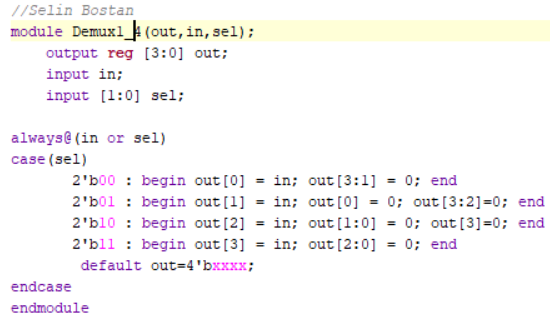
Simülasyon Ekranı

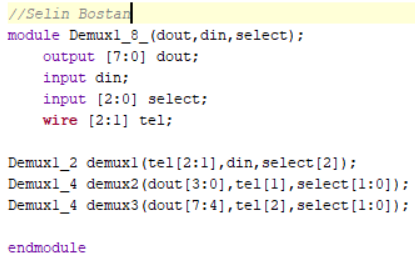


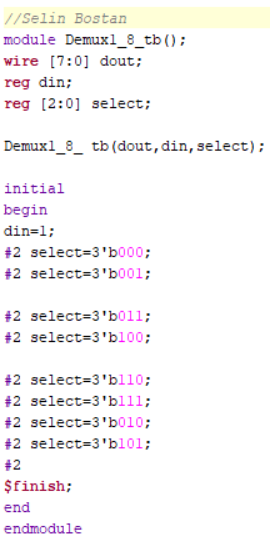
2.8 Çoklama Çözücü (Demultiplexer) Devreleri

Verilog Kodları Test Bench Dosyası

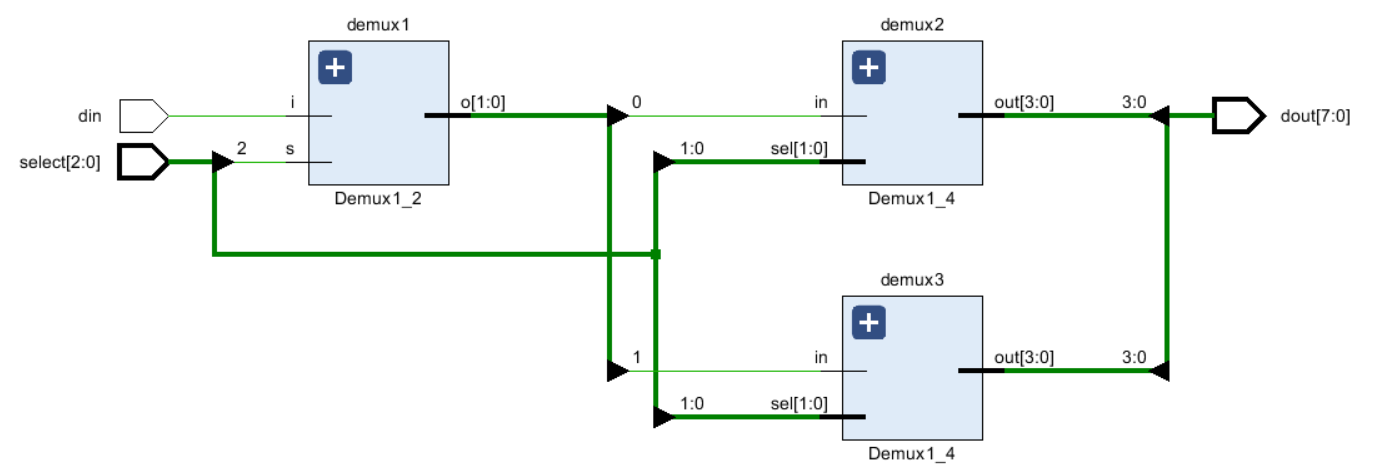


0

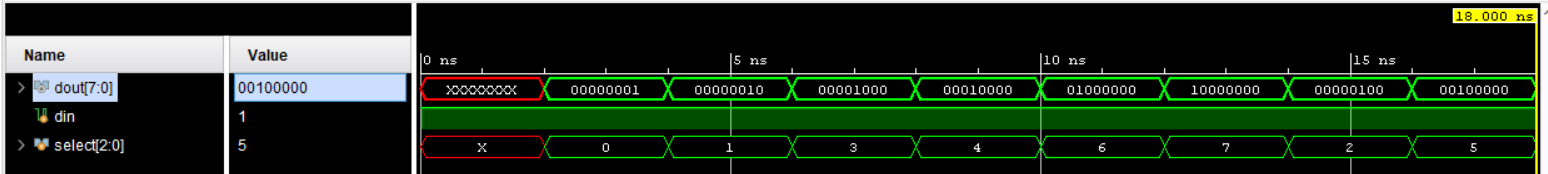




RTL Şematiği



Simülasyon Ekranı

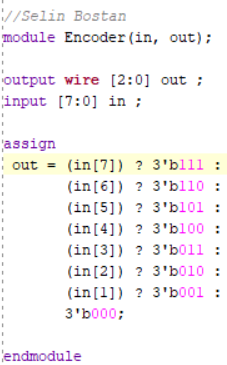
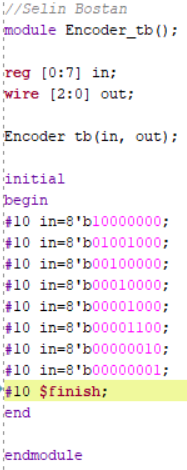


Demultiplexer, multiplexerın tam tersi işlev gören kombinasyonel devredir. Girişe gelen veriyi n çıkış içerisinden seçme uçlarıyla seçilen çıkışa aktarır.

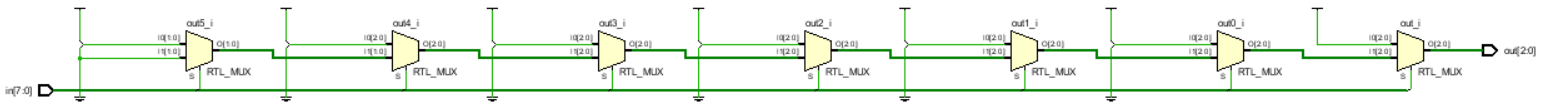
2.9.1 Kodlayıcı (Encoder)

Standart kodlayıcılarda girişlerinin bir yanlışlık sonucu aynı anda aktif olursa kodlayıcı hatalı çalışmaktadır fakat öncelikli kodlayıcılarda en yüksek değerlikli giriş esas alınır ve onun kodlanmış halı çıkışa yansır. Bu şekilde hataların önüne geçilmiş olur.

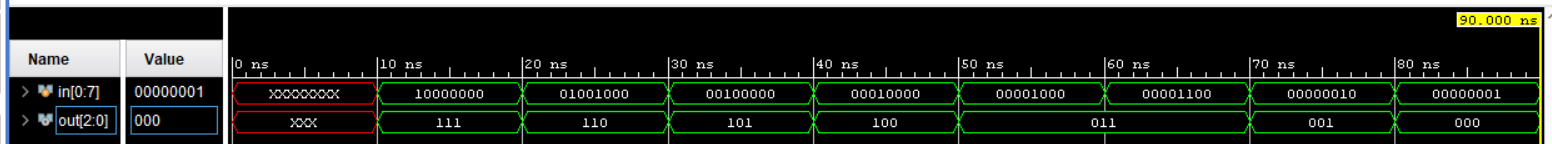
Verilog Kodları Test Bench Dosyası

RTL Şematiği



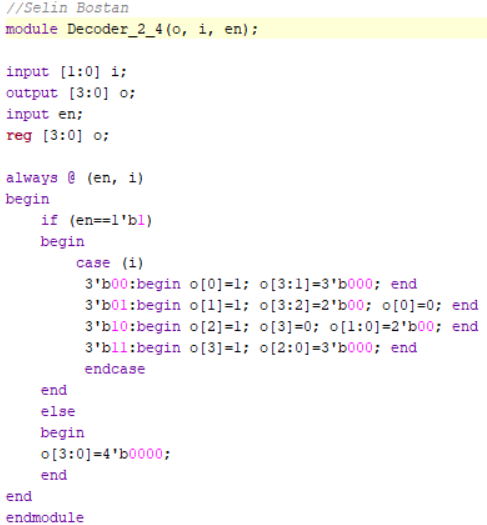
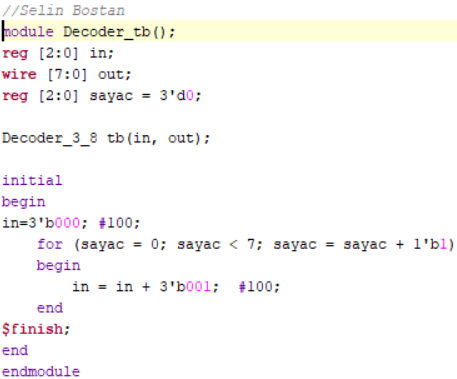
Simülasyon Ekranı

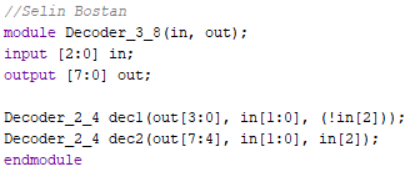


2.9.2 Kod Çözücü (Decoder) Devreleri

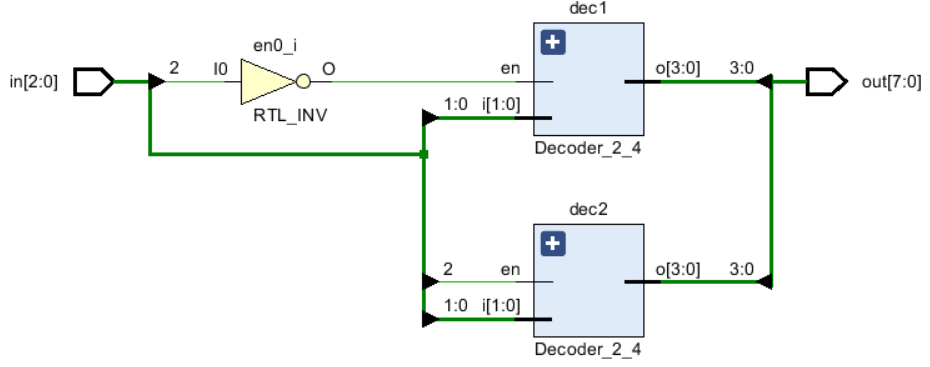
Kod çözücü devreler, kodlanmış bilgileri anlaşılabilir bilgilere çeviren devrelerdir. Kodlayıcı devrelerin tersidirler.

Verilog Kodları Test Bench Dosyası



RTL Şematiği



Simülasyon Ekranı

