

GAZİ ÜNİVERSİTESİ TEKNOLOJİ FAKÜLTESİ BİLGİSAYAR MÜHENDİSLİĞİ

BMT 208

SAYISAL DEVRELER LABARATUVARI

VİZE ÖDEVİ

İçindekiler

|  |  |
| --- | --- |
| Deney Numarası ve Adı | Sayfa Numarası |
| 2.1.1 VE(AND) Kapısı | 3 |
| 2.1.2 OR(VEYA) Kapısı | 4 |
| 2.1.3 NOT(DEĞİL) Kapısı | 5 |
| 2.1.4 NAND (VE DEĞİL) Kapısı | 6 |
| 2.1.5 NOR (VEYA DEĞİL) Kapısı | 7 |
| 2.1.6 XOR (Özel VEYA) Kapısı | 8 |
| 2.1.7 İki Girişten Fazla Girişe Sahip Kapıların Kodlanması ve Gösterimi | 9 |
| 2.2.1 Yarım Toplayıcı (Half Adder) Devreleri | 10 |
| 2.2.2 Tam Toplayıcı (Full Adder) Devreleri | 12 |
| 2.3.1 Yarım Çıkarıcı (Half Subtractor) Devreleri | 14 |
| 2.3.2 Tam Çıkarıcı (Full Subtractor) Devreleri | 16 |
| 2.4.1 D Tipi Flip-Flop |  |
| 2.4.2 JK Tipi Flip-Flop |  |

Kaynakça son sayfadadır

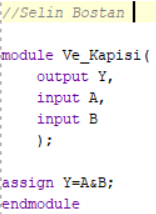
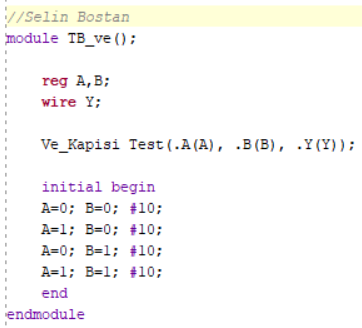
2.1 Temel Kapı Devrelerinin Uygulanması

2.1.1 VE(AND) Kapısı

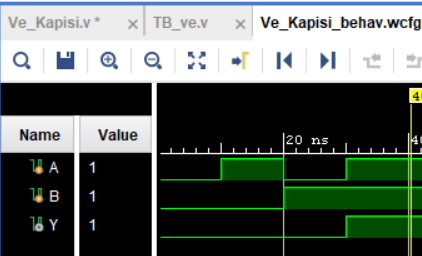
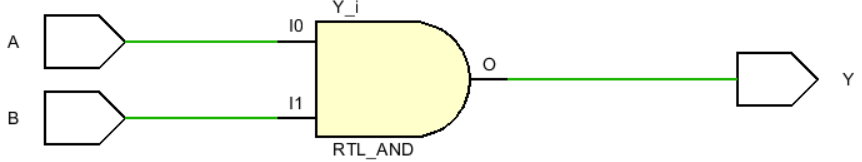
Deneyin Amacı

Bu ilk çalışmada amaç temel olarak, çalıma yaptığımız kapı ile giriş çıkışlarını verilogla kodlamayı, oluşan devreyi gözlemlemek için RTL şematiğini oluşturmayı, doğru çalışıp çalışmadığını test etmek için gerekli giriş değerlerinin nasıl sağlandığını ve simüle edildiğini öğrenmek.

Verilog Kodları Test Bench Dosyası

RTL şematiği: Simülasyon Ekranı



Sonuç

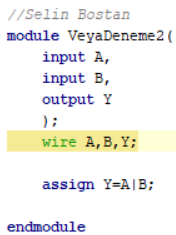
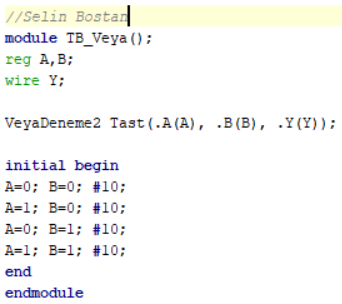
Ve kapısı sadece her iki giriş de 1 olduğu zaman çıkışa 1 verir.

2.1.2 OR(VEYA) Kapısı

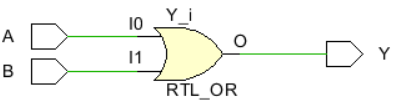
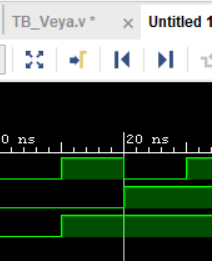
Deneyin Amacı

Bu deneyde ise bir öncekinden farklı olarak veya kapısının davranışsal tasarıma uygun kodlamasını gördük.

Verilog Kodları Test Bench Dosyası

RTL şematiği Simülasyon Ekranı

Sonuç

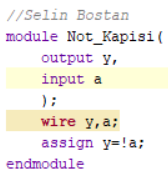
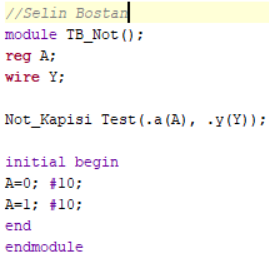
Veya kapısı sadece her iki girişe de 0 verildiğinde çıkışa 0 verir.

2.1.3 NOT(DEĞİL) Kapısı

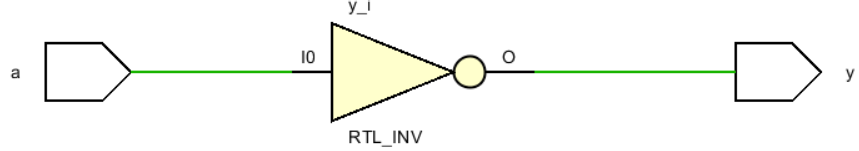
Deneyin Amacı

Bu deneyde not kapısının davranışsal tasarıma uygun kodlamasını gördük.

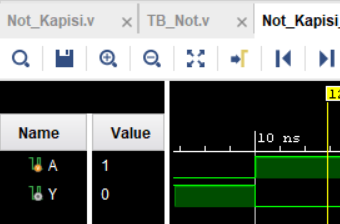
Verilog Kodları Test Bench Dosyası

RTL şematiği



Simülasyon Ekranı



Sonuç

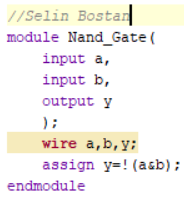
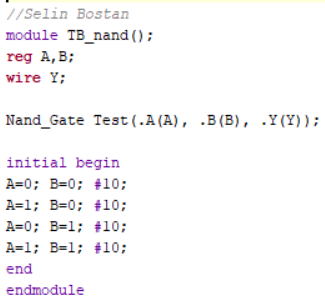
Not kapısında çıkışa girişe verilen bilginin tersi gider.

2.1.4 NAND (VE DEĞİL) Kapısı

Deneyin Amacı

Nand kapısı and kapısının tersi olarak sadece iki giriş de 1 olduğu zaman girişe 0 verir.

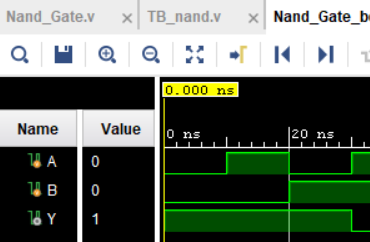
Verilog Kodları Test Bench Dosyası

RTL şematiği



Simülasyon Ekranı



Sonuç

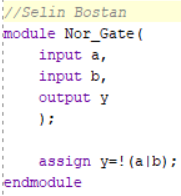
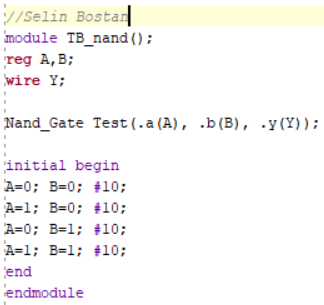
RTL şematiğinden nand kapısının and kapısından sonra not kapısının bağlanmış hali olarak dizayn edildiğini görüyoruz.

2.1.5 NOR (VEYA DEĞİL) Kapısı

Deneyin Amacı

Nor kapısında or kapısının tam tersi olarak sadece iki giriş de 0 iken çıkışı 1’dir.

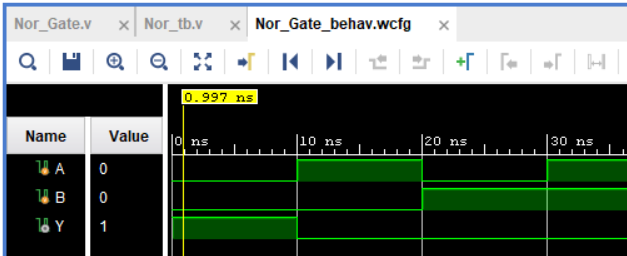
Verilog Kodları Test Bench Dosyası

RTL şematiği



Simülasyon Ekranı

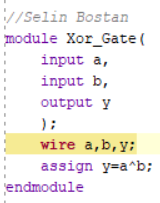
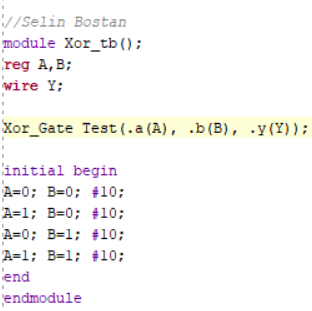


Sonuç

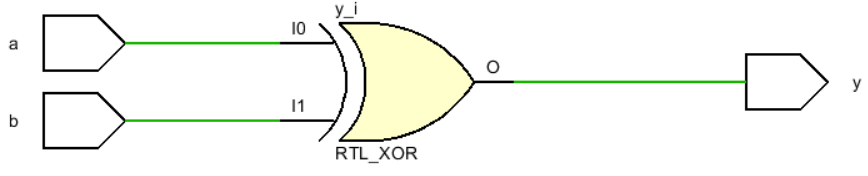
Nor kapısı bir or kapısından hemen sonra not kapısının bağlanmasıyla oluşur.

2.1.6 XOR (Özel VEYA) Kapısı

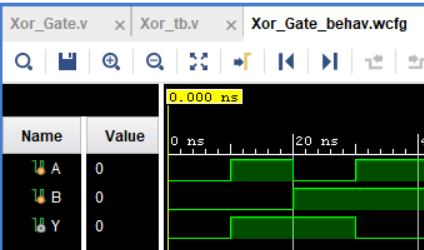
Verilog Kodları Test Bench Dosyası

RTL şematiği



Simülasyon Ekranı

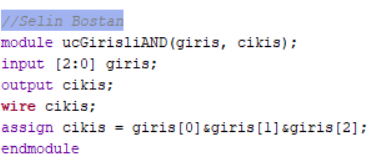
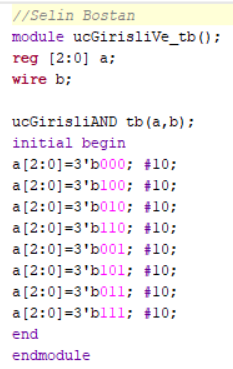


2.1.7 İki Girişten Fazla Girişe Sahip Kapıların Kodlanması ve Gösterimi

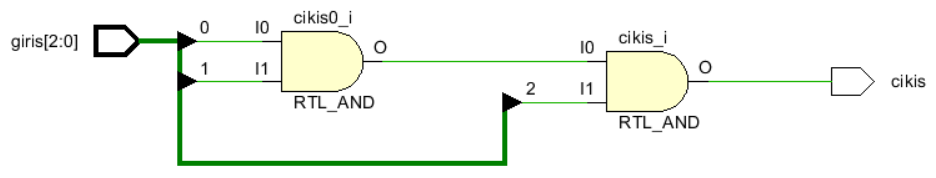
Deneyin Amacı

Birden çok bitlik girişe sahip bir devre için bu girişleri nasıl kodlayacağımızı öğrenmek

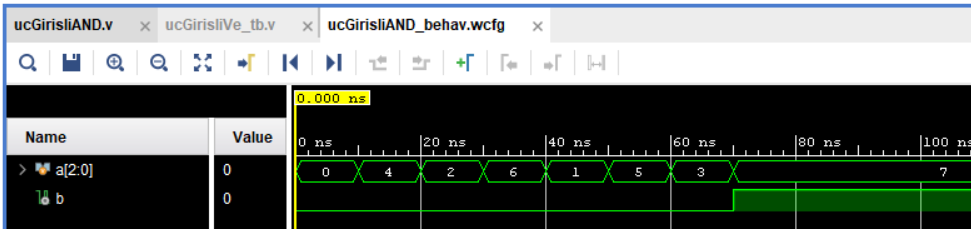
Verilog Kodları Test Bench Dosyası

RTL şematiği



Simülasyon Ekranı



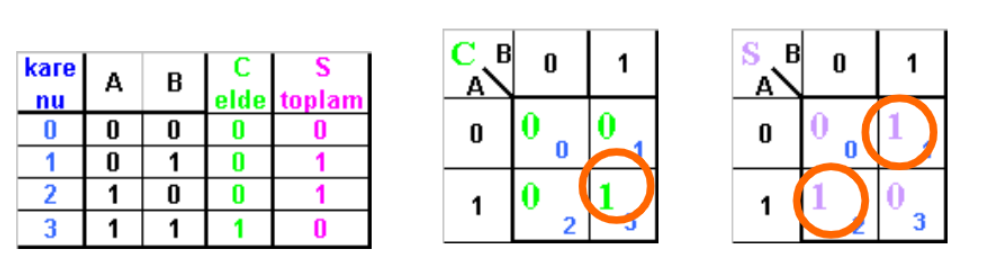
Sonuç

RTL şematiğinden de görüldüğü üzere üç girişli and kapısı için iki adet iki girişli and kapısı kullanılmıştır. Üç girişli and kapısında da sadece her üç giriş de 1 iken çıkış 1 olur.

2.2 Toplayıcı Devrelerinin Kodlanması ve Gösterimi

2.2.1 Yarım Toplayıcı (Half Adder) Devreleri

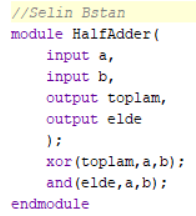
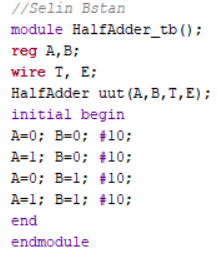
Deneyin Amacı



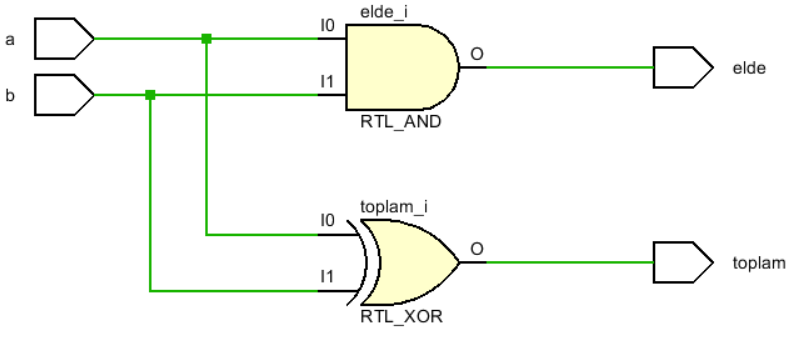
C= AB S=AB′+A′B= AB

Yarım toplayıcı iki adet bir bitlik logic ifadenin toplamını ve eldesini çıkışa aktaran kombinasyonel devredir. Karno haritasını kullanarak çıkışları sade nasıl elde edeceğimizi vulup kodda gerekli atamaları yapmalı ve çalışmasını test etmeliyiz.

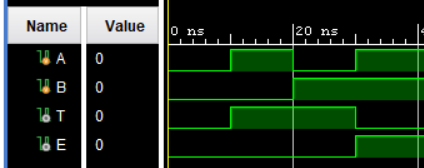
Verilog Kodları Test Bench Dosyası

RTL şematiği



Simülasyon Ekranı

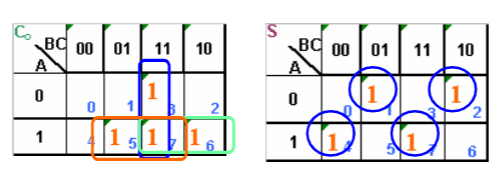
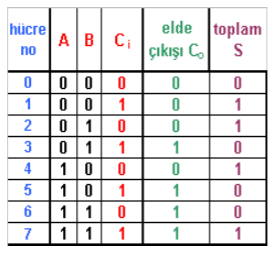


Sonuç

Yarım toplayıcılarda elde çıkışı sadece her iki giriş de 1 olduğunda 1 olur, çünkü girişlerin ve kapısıyla bağlanmasıyla oluşmuştur.

2.2.2 Tam Toplayıcı (Full Adder) Devreleri

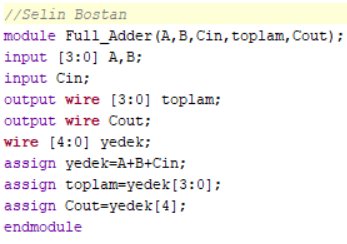
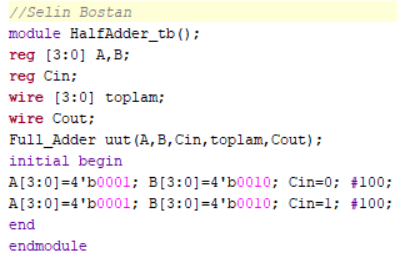
Deneyin Amacı



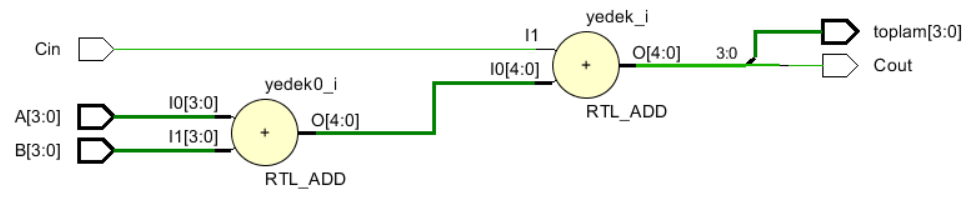
 

Tam toplayıcı ise elde girişi de olduğundan bir bitlik üç sayının toplamasını yapan kombinasyonel devredir. Önce ilk iki sayıyı toplar ardından onların toplamına üçüncüyü ekler. Bu nedenle iki adet yarım toplayıcının bağlanmasıyla oluşur.

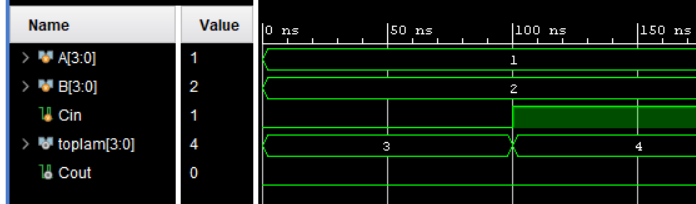
Verilog Kodları Test Bench Dosyası

RTL şematiği



Simülasyon Ekranı

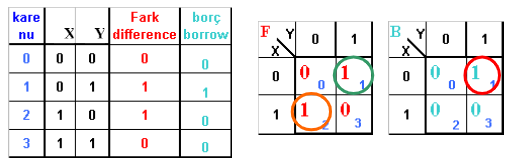


2.3 Çıkarıcı Devrelerinin Kodlanması ve Gösterimi

2.3.1 Yarım Çıkarıcı (Half Subtractor) Devreleri

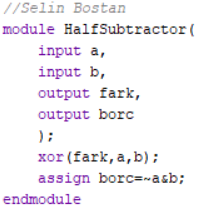
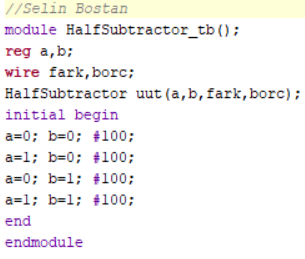
Deneyin Amacı

Yarım çıkarıcılar bir bitlik iki sayıyı birbirinden çıkarmaya yarayan kombinasyonel devrelerdir.

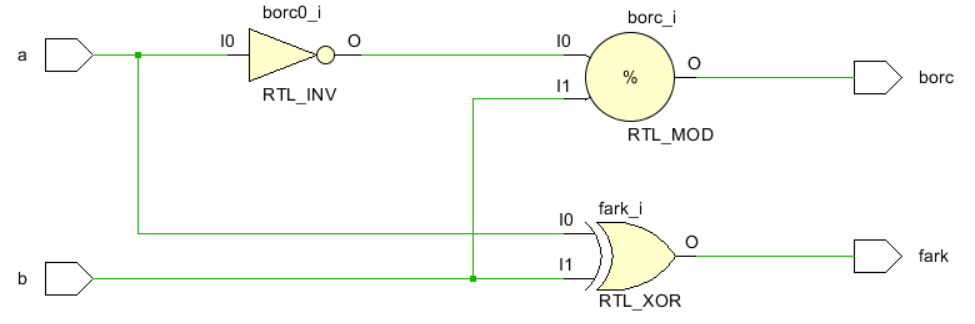


Fark=XY′+X′Y= XY Borç=X′Y

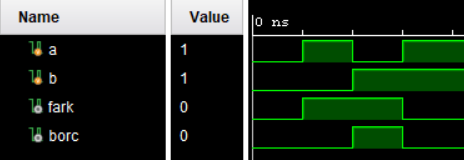
Verilog Kodları Test Bench Dosyası

RTL şematiği



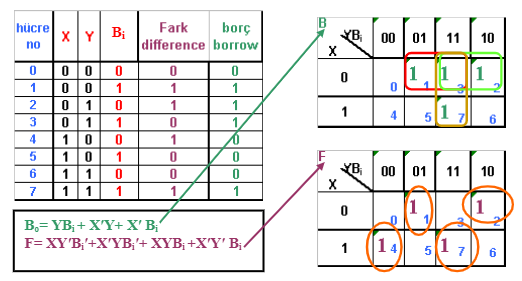
Simülasyon Ekranı



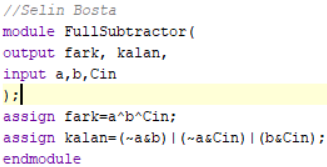
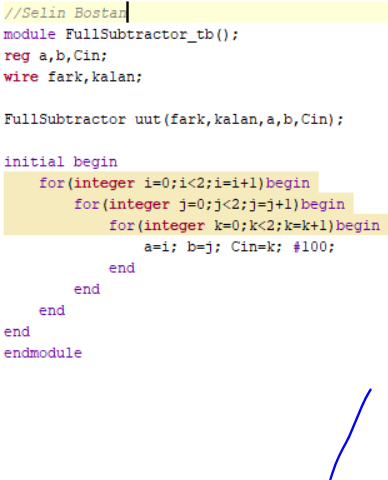
2.3.2 Tam Çıkarıcı (Full Subtractor) Devreleri

Deneyin Amacı

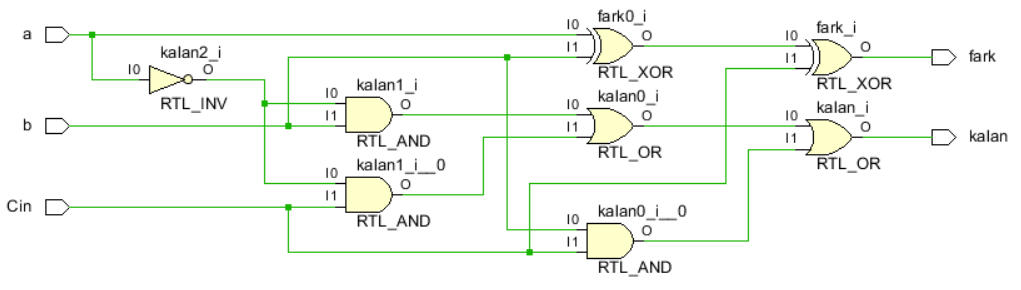
Tam çıkarıcı, yarım çıkarıcıdan farklı olarak bir de borç girişi olan kombinasyonel devredir.



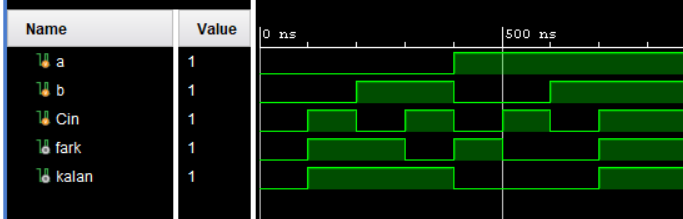
Verilog Kodları Test Bench Dosyası

RTL şematiği



Simülasyon Ekranı



Kaynakça

<https://web.cs.hacettepe.edu.tr/~bbm231/files/Verilog_Tutorial.pdf>

LMS üzerinden paylaşılan ders kaynakları

<https://www.youtube.com/watch?v=qSLRujmsfz0&list=PLvNq8wrSYGAU8Cf3n9rhL-GB4yMNO1-XC>