**АНАЛИЗ ИЗВЕСТНЫХ МЕТОДОВ ПОСТРОЕНИЯ ДЕЛИТЕЛЕЙ С ПЕРЕМЕННЫМ КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ**

Делитель частоты с переменным коэффициентомделения (ДПКД) – это цифровое последовательное устройство, предназначенное для уменьшения частоты входного импульсного сигнала в k раз, где k – переменный коэффициент деления.

Известны различные методы построения делителей частоты. Наиболее широкое распространение получили следующие:

* метод исключения лишних состояний счетчика;
* метод искусственного принудительного насчета импульсов в счетчике;
* метод принудительного задания коэффициента пересчета в вычитающем счетчике;
* синтез счетчиков с использованием теории цифровых автоматов.

**1 Счетчик по модулю n с шестнадцатеричными дисковыми переключателями**

Примером делителя с переменным коэффициентом деления является счетчик по модулю n c дисковыми переключателями[1]. Данное устройство состоит из двух счетчиков 74HC163. Оно построено по методу искусственного принудительного насчета импульсов в счетчике.

Принцип работы устройства весьма просто. На каждом из шестнадцатеричных дисковых переключателей задается тетрада коэффициента пересчета, на переключателе МЗР младшие 4 бита, на СЗР – старшие. Дисковые переключатели являются инверсными, что очень важно для работы схемы в целом. Идея состоит в загрузке дополнительного кода, счете вверх до 0хFF перезагрузке по следующему тактовому импульсу. Поскольку мы сформировали значение перезагрузки с помощью источника +5 (с общим заземленным выводом переключателя), то эти уровни являются отрицательно-истинными для отображения набора переключателей, это означает, что загружаемые значения интерпретируются как истинные положительные, равные дополнительному до 1 значению, установленному на переключателях.

Для каскадирования синхронных счетчиков нам необходимо соединить все тактовые входы вместе, затем соединить выход «максимальный счет» каждого счетчика с разрешением следующего счетчика. Для схемы 74HC163 выход RCO (ripple-clock output-выход переполнения ПП) выставляет высокий уровень при максимальном счете, разрешая второму счетчику посредством установления разрешения (высокго уровня) на входах ENT и ENP (Разр). Таким образом, ИС1 повышает свое значение на каждый тактовый импульс, а ИС2 повышает свой счет на каждый тактовый импульс после того, как ИС1 насчитает значение 0хF. Таким образом, два счетчика считают пока не достигнут состояния 0хFF, в этой точке входы загрузки LD' устанавливаются в истинное значение.

Это приводит к синхронной предзагрузке на следующем такте. Здесь мы выбрали счетчики с синхронной загрузкой для того, чтобы избежать логических состязаний (и короткого импульса RCO), которые могут возникнуть в счетчике с

асинхронной загрузкой. К сожалению, счетчик при этом делит на n + 1, а не на n.

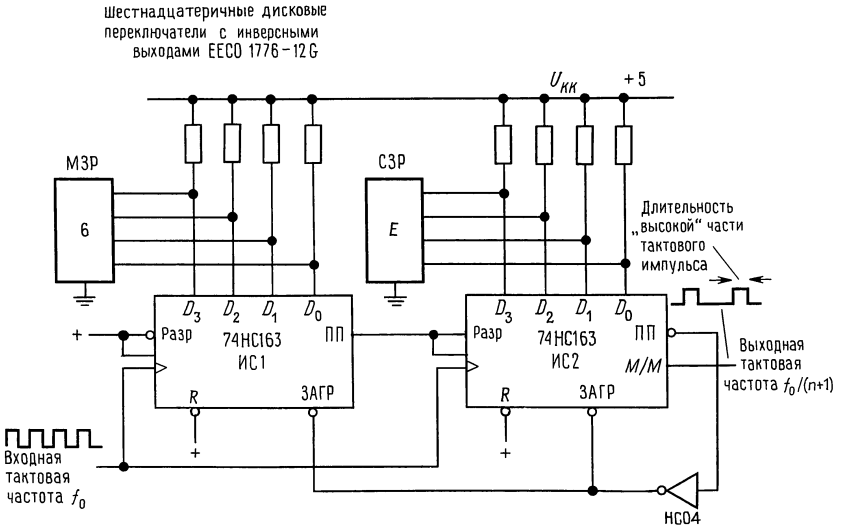


Рисунок 1 – Счетчик по модулю n с шестнадцатеричными дисковыми переключателями

Максимальная частота входных импульсов для данного делителя определяется исключительно параметрами входящих в схему устройств и примерно составляет 8,6 МГц. Это следует из того, что максимальная частота счета для каждого из счетчиков составляет 24 МГц и элементы каскадированы последовательно, также тратится некоторое время на начальный насчет импульсов в счетчик. Для увеличения частоты следования входных импульсов можно было бы заменить счетчик 74HC163 на 74F163 и получить максимальную частоту следования входных импульсов равную 29 МГц.

Эта схема обладает существенными недостатками и поэтому не может использоваться курсовом проекте. Во первых, данная схема не предусматривает ввод коэффициента деленения с клавиатуры и проверки его значения, также значение коэффициента деления ограничено двумя тетрадами, тоесть 256. Во вторых, частота входных импульсов никак не проверяется, и поэтому может выходить за рамки требуемые в задании, а также она может превысить предельную частоту корректной работы схемы, в следствии чего будет получен некорректный результат деления частоты. В третьих, как следствие предыдущих двух недостатков в данном устройстве нет никакой индикации о подаче сигнала с частотой выходящей за требуемые рамки. Также явным недостатком есть то, что при установке на дисковом переключателе значения n, схема делит частоту входного сигнала на n+1.

**2 Делитель с произвольным нечетным коэффициентом деления**

В данной схеме реализован делитель частоты с произвольным нечетным коэффициентом делениях[2]. Данное устройство реализовано на КМОП микросхемах, с помощью вычитающего счетчика КР1564ИЕ10, переключателей S1, S2 и S3, а также управляемый инвертор КР1564ЛП5. Делитель тут реализован по методу задания коэффициента пересчета в вычитающем счетчике.

Особенностью данной схемы является использование переключателей для задания только нечетных коэффициентов пересчета в счетчике, поскольку вход счетчика D0 имеет всегда значение высокого уровня на входе. Десятичный вес переключателей S1, S2 и S3 – 2, 4, 8 соответственно. Так, для задания коэффициента деления 13 необходимо переключить переключатели S2 и S3. По достижении счетчиком нулевого значения, устанавливается значение высокого уровня на выходе ТС, которое через инвертор подается на инверсный вход загрузки значения в счетчик PE. Входы CEP, CET и инверсный вход SR подключены к общей шине. Максимальная частота входного сигнала определяется лишь частотными свойствами счетчика КР1564ИЕ10.

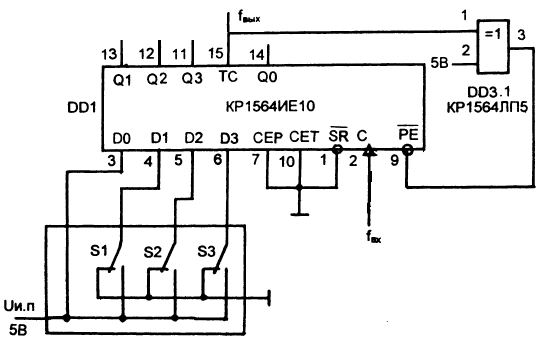


Рисунок 2 – Делитель с произвольным нечетным коэффициентом деления

Данное устройство имеет ряд существенных недостатков, а именно невозможность задания четных коэффициентов деления, а также ограниченность коэффициента деления значением 15. Также выходной сигнал имеет очень плохое значение скважности, определяемое лишь задержкой в элементе DD3, а также временем загрузки значения коэффициента деления в счетчик. Также данное устройство имеет все недостатки присущие предыдущему рассмотренному устройству и поэтому не может использоваться в курсовом проекте.

**3 Таймер отсчета времени**

Также, примером делителя частоты можно считать и таймер[3]. Предложенная схема реализует таймер, позволяющий устанавливать временные задержки от 1 секунды до 34 минут 7 секунд с точностью до одной секунды, а выдержки до 136 минут 31 секунды, - с точностью до 4 секунд. Переключение максимального времени происходит с помощью переключателя S12, который управляет коэффициентом деления счетчика D1.

Устройство тактируется с частотой 32768 Гц, получаемой от кварцевого генератора микросхемы D1. Затем эта частота делится счетчиком микросхемы D1 на 4096 (выход 2048) или на 16384 (выход 8192) в зависимости от положения переключателя S12. Далее частота 8 Гц или 2 Гц (зависит от положения S12) через S12 поступает на счетный вход второго счетчика - D2. Первые три разряда счетчика D2 (1,2,4) служат дополнительным делителем на 8. В первом случае, это дает частоту 1 Гц (1 сек.), а во втором - 0,25 Гц (4 секунды).

Перед началом работы с таймером выключатель S13 нужно включить. Все счетчики будут зафиксированы в нулевом положении. После того как был установлен требуемый временной интервал (выключателями S1-S12), таймер можно будет запустить в любой момент, выключив S13. Чтобы сбросить счетчики и повторить интервал нужно включить и выключить S13. Отсчет времени начинается с момента выключения S13.

Старшие 11 разрядов счетчика D2 предназначены для задания временного интервала. К ним, через кнопочные выключатели с независимой фиксацией S1-S11 подключаются входы 11-входового монтажного "И" на диодах VD1-VD11 и резисторе R4, выход которого идет на вывод 1 элемента D3.1. На элементах D3.1 и D3.2 собран RS-триггер. В исходном состоянии (когда все счетчики обнулены выключателем S13) на выходе триггера присутствует логическая единица, которая закрывает элемент D3.4 и ключ VT1. После выключения S13 начинается отсчет времени, и как только единицы установятся на всех выходах счетчика D2, на которых включены выключатели из числа S1-S11, на выводе 1 D3.1 появится напряжение уровня логической единицы и триггер переключится в нулевое состояние. Теперь на выводе 8 D3.4 будет ноль и через него на ключ на VT1 поступят пачки импульсов, сформированные элементом D3.3 из импульсов, снятых выводов 5 и 3 D1. Электромагнитный звукоизлучатель В1 будет издавать прерывистые звуки. Звучание будет продолжаться до тех пор пока не выключат питание выключателем S14 или пока не обнулят счетчики выключателем S13.

Данное устройство имеет ряд существенных недостатков, а именно невозможность задания больших значений коэффициента деления. Также это устройство работает только с тактовой частотой 32768 Гц. Данное устройство не имеет никаких элементов индикации, кроме звукоизлучателя, что усложняет работу с ним, например нету возможность получить индикацию об ошибке при включении тактового генератора с частотой отличной от 32768 Гц. Также устройством ввода являются переключатели, а не клавиатура. Поэтому описанное выше устройство не может использоваться в курсовом проекте.

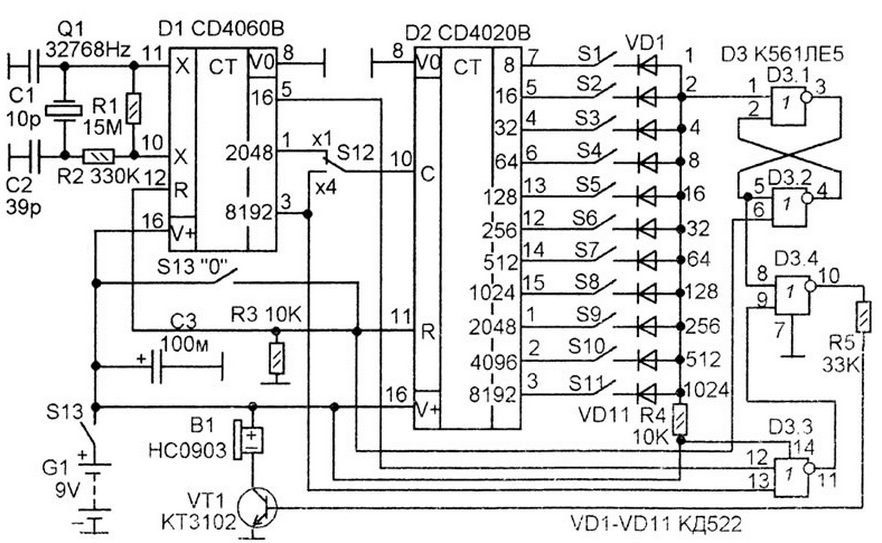


Рисунок 3 – Таймер отсчета времени

**4 Сравнительная характеристика рассмотренных устройств**

Все устройства фактически реализуют делитель частоты с переменным коэффициентом деления, им характерен ряд недостатков, таких как маленькая разрядность задаваемого коэффициента деления, невозможность проверки диапазона частоты входных импульсов, ввод данных с переключателей, а не с клавиатуры, а также отсутствие индикации ошибок на жидкокристаллическом индикаторе.

За прототип устройства, которое необходимо реализовать к курсовом проекте, можно взять третье устройство, поскольку оно имеет самый больший коэффициент деления, а также не сложную принципиальную схему реализации.

В рамках выполнения курсового проекта необходимо будет заменить ввод коэффициента деления с переключателей на клавиатуру PLD Emulator, а также добавить проверку значения коэффициента деления, который должен находится в рамках 10-10000. Также сделать возможной проверку диапазона частот входных импульсов, которые должны быть в рамках 1,0 – 100,0 кГц, а также добавить отображение введенного коэффициента деления на жидкокристаллическом индикаторе PLD Emulator и индикацию ошибок, таких как частота входного сигнала вне заданной полосы частот и коэффициент деления вне заданного интервала.

**ПЕРЕЧЕНЬ ИСПОЛЬЗУЕМЫХ ИСТОЧНИКОВ**

1. Хоровиц ,П., Хилл, У. Исскуство схемотехники.- М.: Мир,2001.-704с.
2. Партала, О.Н. Цифровая электроника.-СПб: Наука и техника, 2000.-208с.
3. Бирюков, С.А. Цифровые устройства на интегральных микросхемах.- М.: Радио и связь, 1991.-183с.