МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ УКРАИНЫ

ЧЕРНИГОВСКИЙ НАЦИОНАЛЬНЫЙ ТЕХНОЛОГИЧЕСКИЙ УНИВЕРСИТЕТ

КАФЕДРА ИНФОРМАЦИОННЫХ И КОМПЬЮТЕРНЫХ СИСТЕМ

**ДЕЛИТЕЛЬ С ПЕРЕМЕННЫМ КОЭФФИЦИЕНТОМ ДЕЛЕНИЯ**

Курсовой проект по дисциплине “Компьютерная схемотехника”

Исполнитель

студент гр. КИ-122 Тур Г.Н.

Руководитель

к.т.н., доцент Вервейко А.И

2015

**РЕФЕРАТ**

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

3

Курсовой проект, \_\_с., \_\_ рис., \_\_ табл., \_\_ приложения.

Объектом данной работы является электронное устройство, которое производит деление частоты входного сигнала.

Целью данной работы является построение устройства преобразования сигналов с заданными техническими характеристиками с использованием современной элементной базы, а именно реализация основной логики работы устройства на ПЛИС.

Для проведения данной работы используется пульт PLDEmulator, который имеет в своем составе ПЛИС семейства FLEX10K, устройства ввода/вывода информации, такие как клавиатура, ЦАП, АЦП, жидкокристаллический и семисегментный индикаторы. Для разработки конфигурационного файла ПЛИС используется САПР Quartus II.

В результате данной работы получено рабочее устройство, которое соответствует всем требованиям, указанным в техническом задании.

Разработанное устройство позволяет работать с сигналами, частота которых лежит в рамках от 1,0 до 100,0 кГц. Коэффициент деления вводится с клавиатуры и может принимать значения от 10 до 9999. Коэффициент деления, а также информация, связанная с нахождением частоты входного сигнала в требуемом диапазоне отображается жидкокристаллическом индикаторе.

Полученное устройство может быть использовано в вычислительных системах, где необходимо выполнять преобразование частот импульсных сигналов, а также во всевозможных таймерах.

Дальнейшее развитие устройства может быть направлено в сторону увеличение разрядности коэффициента деления, либо расширение частотного диапазона для входного сигнала.

ДЕЛИТЕЛЬ ЧАСТОТЫ, ПЛИС, КЛАВИАТУРА, ИМПУЛЬСНЫЙ СИГНАЛ, ЖИДКОКРИСТАЛЛИЧЕСКИЙ ИНДИКАТОР, ЦИФРО-АНАЛОГОВЫЙ ПРЕОБРАЗОВАТЕЛЬ.

**РЕФЕРАТ**

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

4

Курсовий проект, \_\_с., \_\_ Рис., \_\_ Табл., \_\_ Додатки.

Об'єктом даної роботи є електронний пристрій, який робить розподіл частоти вхідного сигналу.

Метою даної роботи є побудова пристрою перетворення сигналів із заданими технічними характеристиками з використанням сучасної елементної бази, а саме реалізація основної логіки роботи пристрою на ПЛІС.

Для проведення даної роботи використовується пульт PLDEmulator, який має у своєму складі ПЛІС сімейства FLEX10K, пристрої введення/ виведення інформації, такі як клавіатура, ЦАП, АЦП, рідкокристалічний і семісегментний індикатори. Для розробки конфігураційного файлу ПЛІС використовується САПР Quartus II.

В результаті даної роботи отримано робочий пристрій, який відповідає всім вимогам, зазначеним у технічному завданні.

Розроблений пристрій дозволяє працювати з сигналами, частота яких лежить в рамках від 1,0 до 100,0 кГц. Коефіцієнт розподілу вводиться з клавіатури і може приймати значення від 10 до 9999. Коефіцієнт розподілу, а також інформація, пов'язана з перебуванням частоти вхідного сигналу в необхідному діапазоні відображається рідкокристалічному індикаторі.

Отриманий пристрій може бути використано в обчислювальних системах, де необхідно виконувати перетворення частот імпульсних сигналів, а також у всіляких таймерах.

Подальший розвиток пристрою може бути направлено в сторону збільшення розрядності коефіцієнта ділення, або розширення частотного діапазону для вхідного сигналу.

Дільник частоти, ПЛІС, КЛАВIАТУРА, ІМПУЛЬСНИЙ СИГНАЛ, рідкокристалічнИЙ індикатор, цифро-аналоговий перетворювач. **THE ABSTRACT**

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

5

Course project, \_\_s., \_\_ Fig., Table \_\_. \_\_ Application.

The object of this work is an electronic device that divides the input signal frequency.

The purpose of this paper is to construct a conversion device signals with given specifications using modern element base, namely the implementation of the basic logic of the FPGA device.

To perform this operation using the remote PLDEmulator, which incorporates FPGA family FLEX10K, I/O devices, such as a keyboard, DAC, ADC, LCD and seven segment displays. To develop the FPGA configuration file used CAD Quartus II.

As a result of this work to get a working device that meets all the requirements specified in the terms of reference.

This allows for work with signals whose frequency lies within the 1.0 to 100.0 kHz. Division factor is entered from the keyboard and can range from 10 to 9999. The ratio of division, as well as information related to the finding frequency of the input signal within the specified range is displayed LCD display.

The resulting device may be used in computer systems where it is necessary to perform frequency conversion of pulse signals, as well as in various timers.

The further development of the device can be directed towards increasing the discharge coefficient division or extension of the frequency range of the input signal.

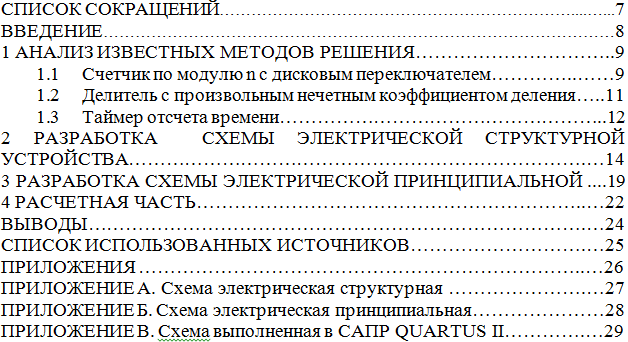
Frequency divider, FPGA, keyboard, pulse signal, the liquid crystal display, digital-to-analog converter. **СОДЕРЖАНИЕ**

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

6



**СПИСОК СОКРАЩЕНИЙ**

Изм. Лист № докум. Подп . Дата

ЧНТУ 123121.302 ПЗ

Лист

7

ПЗУ – постоянное запоминающее устройство

ПЛИС – программируемая логическая интегральная схема

ТЗ – техническое задание

ЖКИ – жидкокристаллический индикатор

ЦАП – цифро-аналоговый преобразователь

**ВВЕДЕНИЕ**

Значительные успехи, достигнутые в области вычислительной техники и разрабатываемых на её основе цифровых аппаратурных комплексов, стимулировали широкий фронт работ по созданию электронных устройств преобразования сигналов.

Делитель частоты – это совокупность элементов средства измерений, которые обеспечивают визуальное восприятие значений измеряемой величины или связанных с ней величин.

В настоящее время делители частоты с переменным коэффициентом деления очень широко используются во многих цифровых и аналоговых устройствах. Наиболее широко такие устройства используются в таймерах для выдержки необходимых временных интервалов. Также делители часто используются в радиотехнических устройствах для преобразования частот импульсных сигналов.

Ныне существует множество разнообразных методов решения поставленной задачи, а именно множество цифровых и аналоговых устройств имеющих разные принципы работы.

Высокие технические характеристики полупроводниковых делителей обеспечили их успешное внедрение в качестве элементов преобразования частоты в аппаратуре.

Целью данной работы является построение устройства преобразования сигналов с заданными техническими характеристиками с использованием современной элементной базы, а именно реализация основной логики работы устройства на ПЛИС.

Задача имеет теоретическую ценность. В процессе её выполнения были закреплены, углублены, обобщены и ,применены к комплексному решению конкретного профессионального задания, знания, приобретенные в курсах «Компьютерная электроника» и «Компьютерная схемотехника».

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

8

## 1 АНАЛИЗ ИЗВЕСТНЫХ МЕТОДОВ РЕШЕНИЯ

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

9

Делитель частоты с переменным коэффициентомделения (ДПКД) – это цифровое последовательное устройство, предназначенное для уменьшения частоты входного импульсного сигнала в k раз, где k – переменный коэффициент деления.

Известны различные методы построения делителей частоты. Наиболее широкое распространение получили следующие:

* метод исключения лишних состояний счетчика;
* метод искусственного принудительного насчета импульсов в счетчике;
* метод принудительного задания коэффициента пересчета в вычитающем счетчике;
* синтез счетчиков с использованием теории цифровых автоматов.

**1.1 Счетчик по модулю n с дисковыми переключателями**

Примером делителя с переменным коэффициентом деления является счетчик по модулю n c дисковыми переключателями[1]. Данное устройство состоит из двух счетчиков 74HC163. Оно построено по методу искусственного принудительного насчета импульсов в счетчике.

Принцип работы устройства весьма просто. На каждом из шестнадцатеричных дисковых переключателей задается тетрада коэффициента пересчета, на переключателе МЗР младшие 4 бита, на СЗР – старшие. Дисковые переключатели являются инверсными, что очень важно для работы схемы в целом. Идея состоит в загрузке дополнительного кода, счете вверх до 0хFF перезагрузке по следующему тактовому импульсу. Поскольку мы сформировали значение перезагрузки с помощью источника +5 (с общим заземленным выводом переключателя), то эти уровни являются отрицательно-истинными для отображения набора переключателей, это означает, что загружаемые значения интерпретируются как истинные положительные, равные дополнительному до 1 значению, установленному на переключателях.

Для каскадирования синхронных счетчиков нам необходимо соединить все тактовые входы вместе, затем соединить выход «максимальный счет» каждого счетчика с разрешением следующего счетчика. Для схемы 74HC163 выход RCO (ripple-clock output-выход переполнения ПП) выставляет высокий уровень при максимальном счете, разрешая второму счетчику посредством установления разрешения (высокго уровня) на входах ENT и ENP (Разр). Таким образом, ИС1 повышает свое значение на каждый тактовый импульс, а ИС2 повышает свой счет на каждый тактовый импульс после того, как ИС1 насчитает значение 0хF. Таким образом, два счетчика считают пока не достигнут состояния 0хFF, в этой точке входы загрузки LD' устанавливаются в истинное значение.

Это приводит к синхронной предзагрузке на следующем такте. Здесь мы выбрали счетчики с синхронной загрузкой для того, чтобы избежать логических состязаний (и короткого импульса RCO), которые могут возникнуть в счетчике с

асинхронной загрузкой. К сожалению, счетчик при этом делит на n + 1, а не на n.

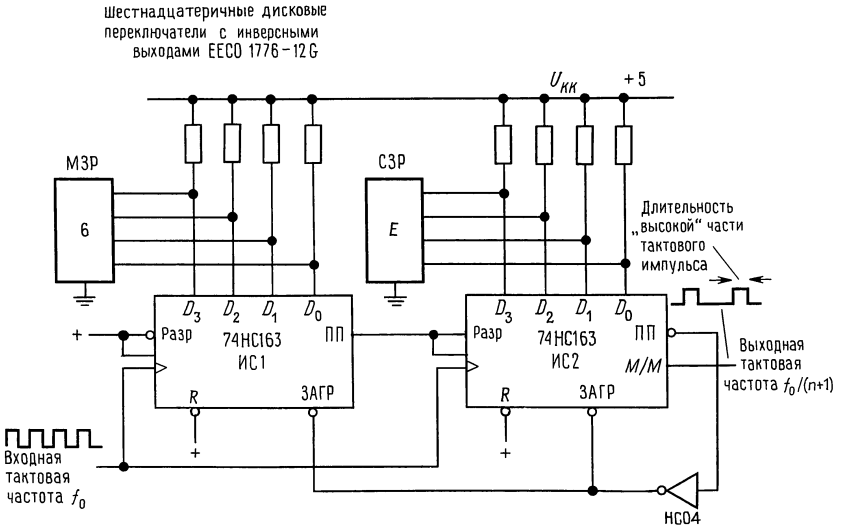


Рисунок 1.1 – Счетчик по модулю n с шестнадцатеричными дисковыми переключателями

Максимальная частота входных импульсов для данного делителя определяется исключительно параметрами входящих в схему устройств и примерно составляет 8,6 МГц. Это следует из того, что максимальная частота счета для каждого из счетчиков составляет 24 МГц и элементы каскадированы последовательно, также тратится некоторое время на начальный насчет импульсов в счетчик. Для увеличения частоты следования входных импульсов можно было бы заменить счетчик 74HC163 на 74F163 и получить максимальную частоту следования входных импульсов равную 29 МГц.

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

10

Эта схема обладает существенными недостатками и поэтому не может использоваться курсовом проекте. Во первых, данная схема не предусматривает ввод коэффициента деленения с клавиатуры и проверки его значения, также значение коэффициента деления ограничено двумя тетрадами, тоесть 256. Во вторых, частота входных импульсов никак не проверяется, и поэтому может выходить за рамки требуемые в задании, а также она может превысить предельную частоту корректной работы схемы, в следствии чего буФдет получен некорректный результат деления частоты. В третьих, как следствие предыдущих двух недостатков в данном устройстве нет никакой индикации о подаче сигнала с частотой выходящей за требуемые рамки. Также явным недостатком есть то, что при установке на дисковом переключателе значения n, схема делит частоту входного сигнала на n+1.

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

11

**1.2 Делитель с произвольным нечетным коэффициентом деления**

В данной схеме реализован делитель частоты с произвольным нечетным коэффициентом делениях[2]. Данное устройство реализовано на КМОП микросхемах, с помощью вычитающего счетчика КР1564ИЕ10, переключателей S1, S2 и S3, а также управляемый инвертор КР1564ЛП5. Делитель тут реализован по методу задания коэффициента пересчета в вычитающем счетчике.

Особенностью данной схемы является использование переключателей для задания только нечетных коэффициентов пересчета в счетчике, поскольку вход счетчика D0 имеет всегда значение высокого уровня на входе. Десятичный вес переключателей S1, S2 и S3 – 2, 4, 8 соответственно. Так, для задания коэффициента деления 13 необходимо переключить переключатели S2 и S3. По достижении счетчиком нулевого значения, устанавливается значение высокого уровня на выходе ТС, которое через инвертор подается на инверсный вход загрузки значения в счетчик PE. Входы CEP, CET и инверсный вход SR подключены к общей шине. Максимальная частота входного сигнала определяется лишь частотными свойствами счетчика КР1564ИЕ10.

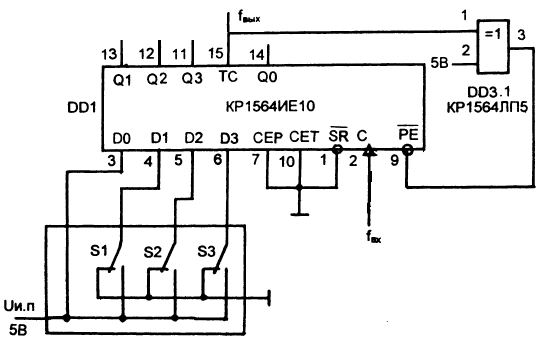


Рисунок 1.2 – Делитель с произвольным нечетным коэффициентом деления

Данное устройство имеет ряд существенных недостатков, а именно невозможность задания четных коэффициентов деления, а также ограниченность коэффициента деления значением 15. Также выходной сигнал имеет очень плохое значение скважности, определяемое лишь задержкой в элементе DD3, а также временем загрузки значения коэффициента деления в счетчик.

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

12

**1.3 Таймер отсчета времени**

Также, примером делителя частоты можно считать и таймер[3]. Предложенная схема реализует таймер, позволяющий устанавливать временные задержки от 1 секунды до 34 минут 7 секунд с точностью до одной секунды, а выдержки до 136 минут 31 секунды, - с точностью до 4 секунд. Переключение максимального времени происходит с помощью переключателя S12, который управляет коэффициентом деления счетчика D1.

Устройство тактируется с частотой 32768 Гц, получаемой от кварцевого генератора микросхемы D1. Затем эта частота делится счетчиком микросхемы D1 на 4096 (выход 2048) или на 16384 (выход 8192) в зависимости от положения переключателя S12. Далее частота 8 Гц или 2 Гц (зависит от положения S12) через S12 поступает на счетный вход второго счетчика - D2. Первые три разряда счетчика D2 (1,2,4) служат дополнительным делителем на 8. В первом случае, это дает частоту 1 Гц (1 сек.), а во втором - 0,25 Гц (4 секунды).

Перед началом работы с таймером выключатель S13 нужно включить. Все счетчики будут зафиксированы в нулевом положении. После того как был установлен требуемый временной интервал (выключателями S1-S12), таймер можно будет запустить в любой момент, выключив S13. Чтобы сбросить счетчики и повторить интервал нужно включить и выключить S13. Отсчет времени начинается с момента выключения S13.

Старшие 11 разрядов счетчика D2 предназначены для задания временного интервала. К ним, через кнопочные выключатели с независимой фиксацией S1-S11 подключаются входы 11-входового монтажного "И" на диодах VD1-VD11 и резисторе R4, выход которого идет на вывод 1 элемента D3.1. На элементах D3.1 и D3.2 собран RS-триггер. В исходном состоянии (когда все счетчики обнулены выключателем S13) на выходе триггера присутствует логическая единица, которая закрывает элемент D3.4 и ключ VT1. После выключения S13 начинается отсчет времени, и как только единицы установятся на всех выходах счетчика D2, на которых включены выключатели из числа S1-S11, на выводе 1 D3.1 появится напряжение уровня логической единицы и триггер переключится в нулевое состояние. Теперь на выводе 8 D3.4 будет ноль и через него на ключ на VT1 поступят пачки импульсов, сформированные элементом D3.3 из импульсов, снятых выводов 5 и 3 D1. Электромагнитный звукоизлучатель В1 будет издавать прерывистые звуки. Звучание будет продолжаться до тех пор пока не выключат питание выключателем S14 или пока не обнулят счетчики выключателем S13.

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

13

Данное устройство имеет ряд существенных недостатков, а именно невозможность задания больших значений коэффициента деления. Также это устройство работает только с тактовой частотой 32768 Гц. Данное устройство не имеет никаких элементов индикации, кроме звукоизлучателя, что усложняет работу с ним, например нету возможность получить индикацию об ошибке при включении тактового генератора с частотой отличной от 32768 Гц. Также устройством ввода являются переключатели, а не клавиатура.

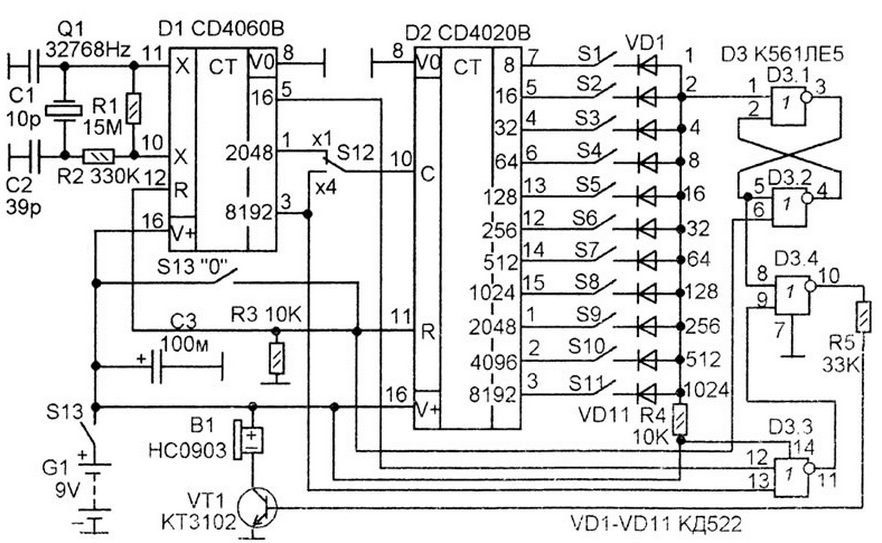


Рисунок 3 – Таймер отсчета времени

**4 Сравнительная характеристика рассмотренных устройств**

Все устройства фактически реализуют делитель частоты с переменным коэффициентом деления, им характерен ряд недостатков, таких как маленькая разрядность задаваемого коэффициента деления, невозможность проверки диапазона частоты входных импульсов, ввод данных с переключателей, а не с клавиатуры, а также отсутствие индикации ошибок на жидкокристаллическом индикаторе.

За прототип устройства, которое необходимо реализовать к курсовом проекте, можно взять третье устройство, поскольку оно имеет самый больший коэффициент деления, а также не сложную принципиальную схему реализации.

**2** **Разработка схемы электрической структурной устройства**

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

14

Согласно техническому заданию, разрабатываемый делитель частоты должен обладать следующими характеристиками:

– частота входного сигнала – 1,0 – 100,0 КГц;

– индикация коэффициента деления – жидкокристаллическая;

– задание коэффициента деления посредством клавиатуры.

В разрабатываемом устройстве выделим следующие блоки:

– контроллер клавиатуры;

– делитель частоты;

– устройство проверки частоты входного сигнала;

– контроллер ЖКИ.

Исходя из требований можно получить циклический алгоритм работы устройства, который подразумевает такой порядок действий:

* получение коэффициента деления с клавиатуры;
* проверка нахождения частоты входного сигнала в заданном интервале 1–100 кГц;
* получение с клавиатуры сигнала о включении делителя;
* получение с клавиатуры сигнала о отображении на ЖКИ;
* вывод информации о нахождении частоты входного сигнала и отображение коэффициента деления на ЖКИ;
* делитель частоты на декадных счетчиках производит деление частоты входного сигнала на заданный коэффициент деления;
* запись полученного сигнала в цифро-аналоговый преобразователь.

Разрабатываемое устройство является цифровым, следовательно, входной сигнал должен быть преобразован так, чтобы его форма и амплитуда были совместимы с параметрами элементной базы устройства, а временные характеристики, подлежащие измерению, остались без изменений. Таким образом, необходимо наличие формирователя на входе устройства для перевода входного сигнала, заданного в техническом задании, в прямоугольный сигнал с амплитудой равной стандартным уровням цифровых интегральных микросхем.

После прохождения входного сигнала через формирователь, выполняется проверка его частоты, которая должна находиться в интервале 1 – 100 кГц. Для этого на счетчик 1 подается входной сигнал, а на счетчик 2 подается опорный сигнал с частотой 32768 Гц. Счетчик 1 подсчитывает количество входных импульсов, значение на счетчике сравнивается на компараторах с числами 250 и 25000. После 250 мс младшие 13 разрядов счетчика 2 установятся в единицу, произойдет защелкивание D триггера 3, на который подается логическое ИЛИ с выходов компараторов. D триггеры 1 и 2 обеспечивают необходимые задержки в цепи. Очевидно, что если на выходе первого или второго компаратора логическая единица, то частота входного сигнала находится вне требуемого диапазона. В таком случае деление входного сигнала не будет произведено.

Деление частоты входного сигнала обеспечивается десятичными реверсивными счетчиками 1-4. На входы загрузки реверсивных счетчиков подается коэффициент деления в двоично-десятичном коде из соответствующих регистров. Каждый из счетчиков обеспечивает задержку на 10^(k-1)\*d импульсов, где k – номер счетчика, d – значение соответствующего регистра. В случае если выполняются условия нахождения частоты входного сигнала в требуемом диапазоне, коэффициент деления имеет значение больше 10, то по сигналу «Начало деления» будет начата работа делителя частоты. На счетный вход реверсивного счетчика 1 подается входной сигнал, когда счетчик перейдет в состояние 0000, будет сформирован сигнал высокого уровня который, проходит через триггеры на элементах И, которые обеспечивает необходимую длительность сигнала на выходе каждого из делителей. Этот сигнал прекратит дальнейшую работу счетчика и активирует первый декадный счетчик, который является предделителем для второго счетчика, и включает второй реверсивный счетчик, а также переключит D триггер 5. D триггеры 4-6 предназначены для задержки сигнала, в случае если в реверсивный счетчик загружено число 0, которое приведет к включению следующего реверсивного счетчика раньше времени. Работа остальных счетчиков полностью аналогична. После того как все счетчики отработали, формируется выходной сигнал, который сбрасывает все счетчики и предделители.

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

15

Выходной сигнал со счетчика поступает на управляющий вход мультиплексора 1 и переключает выходной сигнал с этого мультиплексора в 0хFF. Сигнал с мультиплексора подается на вход данных цифро-аналогового преобразователя. На вход WR мультиплексора подается сигнал с десяти мегагерцового кварцевого генератора.

Не кодирующая матричная клавиатура обеспечивает ввод коэффициента деления в устройство. Для получения кода нажатой клавиши на входы строк матричной клавиатуры необходимо подать сигнал «бегущего» нуля. Для каждой фазы «бегущего» нуля происходит считывание значений кодов с выходов столбцов. При замыкании какой-либо из клавиш матрицы на соответствующем выходе устанавливается нулевое значение.

С целью анализа данных считанных со столбцов и подачи сигнала бегущего нуля на строки используется контроллер клавиатуры, который на выходе формирует номер нажатой клавиши и сигнал о нажатии на клавишу.

Сигнал «бегущего» нуля формируется делителем 1, счетчиком 4 и дешифратором. Делитель получает на вход сигнал с частотой 32768 Гц от кварцевого резонатора и уменьшает его частоту в 128 раз. Сигнал с делителя подается на счетчик 8, который задает счетные комбинации для дешифратора. Сигналы с выхода дешифратора инвертируются и подаются на строки.

Получения числа из клавиатуры происходит в три этапа. По результатам анализа кодов поданных на строки и кодов считанных из столбцов формируется код нажатой клавиши. Каждый из этапов начинается после определенной задержки с целью организации задержек необходимых для перезаряда паразитных емкостей в клавиатуре, а также для задания задержек необходимых для распространения сигнала внутри самой ПЛИС. Генерацию сигналов о начале каждого этапа анализа обеспечивает счетчик 3 и подключенные к нему компараторы. Счетчик 3 включается когда 7 разряд делителя переходит в значение 0. Первый этап начинается после того как счетчик 3 досчитает до значения 2.

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

16

На первом этапе происходит защелкивание инвертированного значения считанного со столбцов клавиатуры в D триггеры 7-10. После этого со значением, защелкнутым в D триггерах выполняется логическая операция И-НЕ со значением бегущего нуля поданного на строки клавиатуры с целью определить какая из кнопок нажата. Эту операцию производит матрица из 16 элементов И-НЕ, возвращая позиционный код нажатой клавиши. Выходное значение с матрицы элементов И-НЕ подается на приоритетный шифратор, который преобразовывает позиционный код в четырехразрядный двоичный код нажатой клавиши.

Второй этап начинается, когда счетчик 3 досчитывает до значения 10. На этом этапе происходит запись значение с выхода шифратора в регистр, в случае если была нажата клавиша. Чтобы определить нажата ли клавиша, анализируется значение, считанное со столбцов клавиатуры, если хотя бы один из разрядов, записанных в D триггеры 7-10, равен единице, то это означает что, в момент времени от начала работы счетчика 3 и до начала первого этапа была нажата клавиша.

Третий этап начинается, когда счетчик 3 переходит в состояние 12, на этом этапе формируется сигнал о нажатии клавиши. Для этого производится защелкивание сигнала полученного в предыдущем этапе в D триггеры 11-14 с целью формирования сигнала «кнопка нажата» из-за дребезга контактов в клавиатуре. Основной назначение данного сигнала отличить нулевой код клавиши на выходе контроллера клавиатуры, от ситуации когда никакая из клавиш не нажата. В случае если клавиша нажата, то на выходе контроллера клавиатуры появится код нажатой клавиши и сигнал «кнопка нажата».

Число, полученное с контроллера клавиатуры необходимо проверить. В случае если оно меньше 10, то это один из десятичных разрядов коэффициента деления, если оно равно 12, то необходимо сформировать управляющий сигнал для делителя «начало деления», если значение равно 14, то формируется управляющий сигнал контроллера ЖКИ «перерисовка ЖКИ».

В случае если полученное число меньше 10 и пока сигнал «кнопка нажата» имеет высокий уровень, то через элемент И-НЕ будет разрешена работа счетчика 4. Как только один из сигналов, поданных на элемент И-НЕ примет значение низкого уровня, на вход сброса счетчика будет подано значение 1 и изменение состояния счетчика 4 прекратится. Как только счетчик 4 досчитает до 5 на выходе компаратора, подключенного к счетчику, появится высокий уровень и на счетчик через инвертор будет передан сигнал запрета насчёта новых состояний. Такая задержка необходима для предотвращения гонок данных. Выходной сигнал с компаратора также будет подан на счетчик 5, который предназначен для ограничения количества разрядов коэффициента деления до 4. Если старший разряд счетчика 5 имеет низкий уровень, то через элемент И будет сформирован сигнал «запись цифр».

Для задания коэффициента деления используется четыре параллельных регистра: регистр единиц, регистр десятков, регистр сотен и регистр тысяч. Эти регистры соединены последовательно для того чтобы разряды введенного числа сдвигались при получении каждого нового разряда. Запись в эти регистры производится по переднему фронту сигнала «запись цифр». При поступлении данного сигнала значение из контроллера клавиатуры будет записано в регистр единиц, а предыдущее значение этого регистра запишется в регистр десятков и так далее. После ввода четырех цифр счетчик 5 прекратит счет, и запись данных в регистры прекратится.

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

17

Согласно ТЗ коэффициент деление должен быть большим или равным 10, поэтому необходимо выполнять проверку значений находящихся в регистрах. Эту проверку обеспечивают элементы И-НЕ подключенные к регистру десятков, регистру сотен и регистру тысяч, в случае если в каждом из регистров записан 0, будет сформирован высокий уровень сигнала «контроль коэффициента», который запретит работу делителя.

Сигналы «перерисовка ЖКИ» и «начало деления» формируются аналогично сигналу «запись цифр». Единственное отличие состоит в том, что при формировании сигнала «начало деления» переключается Т триггер, что позволяет при нажатии на клавишу С включать и выключать деление частоты входног сигнала.

Для индикации коэффициента деления на жидкокристаллическом индикаторе используется контроллер ЖКИ, который производит инициализацию, а также запись команд и данных в ЖКИ модуль. Контроллер активируется по сбросу либо по переднему фронту сигнала «перерисовка ЖКИ».

После активации контроллера ЖКИ пятнадцатиразрядный счетчик начинает насчет импульсов от кварцевого генератора с частотой 32768 Гц. Выбор информации записываемой в мультиплексор обеспечивают мультиплексоры 1-5.

– Мультиплексор 1 обеспечивает выбор, источника из которого будет поступать информация, подаваемая на вход данных ЖКИ: из ПЗУ, содержащего команды инициализации и текст, или с мультиплексора 2.

– Мультиплексор 2 обеспечивает выбор между данными с мультиплексора 3, мультиплексора 4 и ASCII кодами чисел из регистров хранящих коэффициент деления.

– Мультиплексор 3 обеспечивает выбор символа для индикации нахождения входного сигнала в заданном интервале частот в зависимости от данных полученных из устройства проверки частоты. Если частота меньше нижней границы будет выбран ASCII код символа «<», если частота находится в диапазоне, то будет выбран ASCII код символа «=», если частота больше верхней границы, то будет выбран ASCII код символа «>».

– Мультиплексор 4 обеспечивает выбор символа для индикации нахождения коэффициента деления в требуемом диапазоне. Если коэффициент меньше 10, то будет выбран выбран ASCII код символа «<», в ином случае будет выбран ASCII код символа «=».

– Мультиплексор 5 производит выбор регистра, из которого будет выбрано следующее число для индикации коэффициента деления. Выбранное число суммируется с 0х30 для приведения к ASCII коду.

Пока счетчик не досчитает до 9, в ЖКИ записываются управляющие команды начальной инициализации, которые хранятся в ПЗУ. После этого компаратор сравнения с 9 переключает значение, подаваемое на вход RS ЖКИ.

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

18

С 10 по 11 такт в ЖКИ будет записана строка «К:» из ПЗУ. После этого на адресный вход мультиплексора 1 будет подан высокий уровень, а на адресный вход мультиплексора 2 значение 00.За следующие 4 такта (такты 12-15) в память ЖКИ будут записаны значения, хранящиеся в регистре тысяч, регистре сотен, регистре десяток и регистре единиц.

На 16 такте, на адресный вход мультиплексора будет подан низкий уровень сигнала и в память индикатора будет записана строка «f:» из ПЗУ.

На 17 такте возникнет необходимость записать команду перевода строки в ЖКИ, поскольку уже было выведено 8 символов.

На 19 такте на адресный вход мультиплексора 1 будет подан высокий уровень, а на адресный вход мультиплексора 2 значение 01. Это приведет к записи в память ЖКИ значение выбранное мультиплексором 3.

На 20-23 тактах из ПЗУ в память индикатора будет записана строка « k:», на 24 такте адресный вход мультиплексора 1 будет подан высокий уровень, а на адресный вход мультиплексора 2 значение 10. Это приведет к записи в память ЖКИ значение выбранное мультиплексором 4.

На 24 такте компаратор сгенерирует сигнал запрещающий счетчику дальнейший счет импульсов и контроллер ЖКИ прекратит свою работу до поступления следующего сигнала «перерисовка ЖКИ» или сигнала «сброс».

По разработанной выше схеме электрической структурной можно приступить к разработке схемы электрической принципиальной.

**3** **Разработка схемы электрической принципиальной стройства**

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

19

После разработки схемы электрической принципиальной можно приступить к разработке схемы электрической структурной. Для начала необходимо выбрать элементную базу на которой будет построено устройство.

Для реализации основных функциональных частей была выбрана ПЛИС EPF10K10QC208-4 серии FLEX10K фирмы Altera. Данная ПЛИС была выбрана, поскольку она входит в состав пульта PLD Emulator, на котором, согласно ТЗ, необходимо выполнить устройство.

Применяемая ПЛИС выполнена по КМОП технологии и совместима с ТТЛ уровнями для напряжения питания 5В. Максимальный выходной ток, снимаемый с ножки, составляет 25 мА. ПЛИС способна работать на частотах до 100 МГц. Частотные характеристики данной ПЛИС позволяют работать с сигналами, частота которых лежит в рамках до 100КГц, что удовлетворяет требованиям к устройству.

Для реализации дополнительных блоков можно использовать микросхемы ТТЛ, т. к. они подходят по быстродействию и характеризуются низкой потребляемой мощностью.

Для формирования прямоугольных входных импульсов из синусоидального сигнала используется цепочка из ограничителя амплитуды, интегрального повторителя и формирователя импульсов.

В качестве ограничителя амплитуды используется схема на двух диодах VD1 и VD2, которые в случае выхода амплитуды входного сигнала за рамки -0,7 В – 5,7 В откроются и предотвратят повреждение ПЛИС. Были выбраны диоды STTH1602C, которые позволяют работать с сигналами с частотой до 38МГц, а также открываются при напряжении близком к 0,7 В.

Для того, чтобы согласовать сопротивления входного сигнала, а также усилить маломощный входной сигнал используется интегральный повторитель на операционном усилителе DA1. Данный усилитель включен в неинвертирующем включении. В качестве операционного усилителя был выбран AD8531. Данный операционный усилитель может питаться от напряжения +5В, а также работать на частотах до 3МГц.

Для получения прямоугольных импульсов используется аналоговый компаратор на операционном усилителе DA1. Был выбран тот же операционный усилитель AD8531, поскольку он удовлетворяет необходимым требованиям. Опорным напряжением для компаратора является 2,5 В, получаемое с делителя напряжения на резисторах R1 и R2.

Ввод коэффициента деления производится с некодирующей клавиатуры, которая реализована с использованием кнопок SW1...SW16, резисторов R3…R6 и диодов VD3…VD6. Резисторы R3…R6 предназначены для ограничения тока, а также задания необходимого логического уровня. Диоды VD3…VD6 предназначены для задания необходимого смещения в 0.8В, а также для защиты входов ПЛИС от скачков отрицательного напряжения. В качестве диодов были выбраны диоды 1N4001 которые работают на низких частотах и имеют прямое падения напряжения равное 0.8 В. Схема подключения клавиатуры к ПЛИС представлена на рисунке 3.1.

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

20

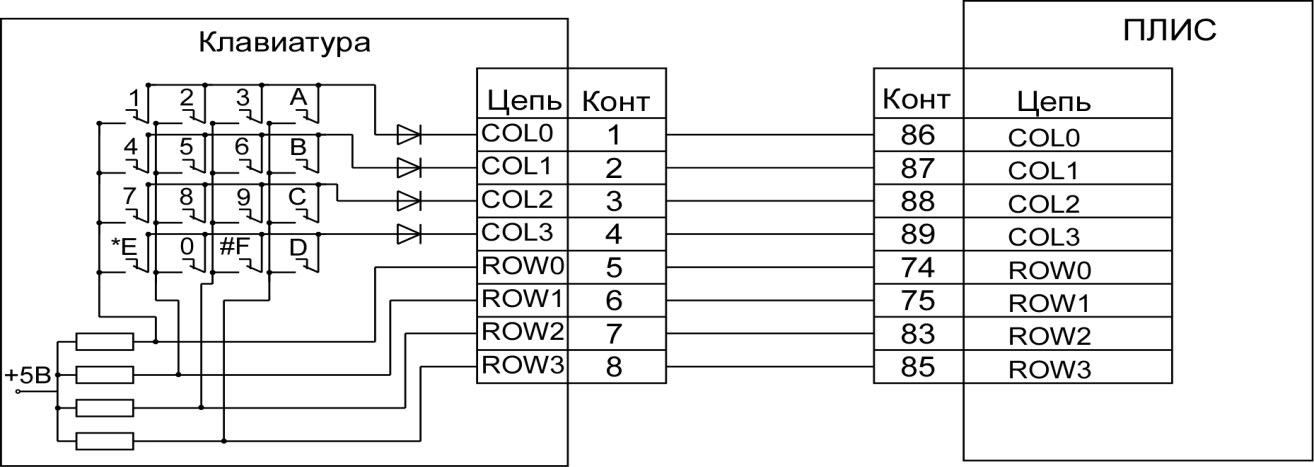


Рисунок 3.1 – Схема соединения клавиатуры и ПЛИС

Схема генератора тактовых импульсов выполнена на основе кварцевого резонатора 32768 Гц, и 10 МГц, и инверторов. Данный генератор реализован по типовой схеме.

С помощью элементов ТТЛ логики можно проектировать автогенераторы, у которых частота генерации может достигать 30 МГц. А поскольку для разрабатываемого устройства необходима частота синхронизации 32768 Гц, то генератор импульсов можно построить на микросхемах ТТЛ. Простейший автогенератор может быть построен на двух инверторах. Схема генератора тактовых импульсов изображена на рисунке 3.2.



Рисунок 3.2 – Генератор тактовых импульсов

Данный генератор построен на трех инвертирующих элементах микросхемы SN7404. Положительная обратная связь через конденсатор С6 охватывает два инвертора DD1.1 и DD1.2, причем эти инверторы выведены в линейный усилительный режим с помощью резисторов отрицательной обратной связи R6 и R8. Элемент DD1.3 применяется в данной схеме как буферный, чтобы уменьшить влияние нагрузки на частоту генератора импульсов. Для этого автогенератора частота генерации импульсов определяется величиной кварцевого резонатора. Поэтому в качестве резонатора Z1 используется микросхема DT-38.

Для генерации сигнала Reset используется переключатель SW17, резистор R15 и конденсатор C3. Резистор R15 предназначен для ограничения входного тока в ПЛИС, а конденсатор для сглаживания помех вызванных дребезгом кнопки при нажатии.

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

21

Согласно техническому заданию выходной сигнал необходимо формировать с помощью цифро-аналогового преобразователя. Цифро-аналоговый преобразователь должен отвечать следующим требованиям: возможность питаться от 5 В, иметь параллельный интерфейс, работать на частотах до 10КГц и иметь входной ток не более 25 мА. ЦАП AD7801 соответствует всем указанным требованиям. Он может питаться от напряжения в диапазоне от 2.7 до 5.5 В, имеет параллельный интерфейс, а также входной ток равный 20 мкА. Цифро-аналоговый преобразователь был подключен согласно типовой схеме включения указанной в даташите производителя. Данная схема представлена на рисунке 3.3.

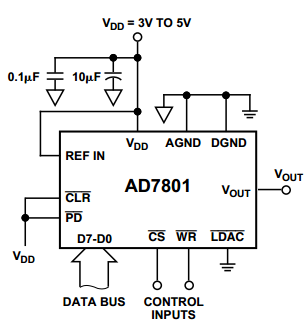


Рисунок 3.3 – Типовая схема включения цифро-аналогового преобразователя

Для подавления помех с источника питания были включены конденсаторы C4 – керамический и С5 – электролитический. Данные конденсаторы подключены к общей аналоговой шине, поскольку цифровая шина из-за переключения логических элементов сильнее шумит.

Согласно техническому заданию для индикации введенного коэффициента деления, а также нахождения частоты вне диапазона необходимо использовать жидкокристаллический индикатор. ЖКИ должен удовлетворять следующим требованиям: использование контроллера KS0066U, минимум две строки по 8 символов, размер ячейки 7х5 пикселей и питание от 5 В. Этим требованиям удовлетворяет жидкокристаллический индикатор SC0802A, который имеет контроллер KS0066U, диапазон питания от 2,7 до 5,5 В, параллельный интерфейс, поддерживает курсор и размер ячеек 7х5 пикселей.

Разработка внутренней конфигурации ПЛИС выполнена в среде Quartus‍ II. Конфигурационные файлы разработанного устройства приведены в приложении В. Рассмотрим далее работу некоторых узлов схемы.

Для получения кода нажатой клавиши, а также сигнала о нажатии клавиши был реализован контроллер клавиатуры, представленный на рисунке 3.5. Ключевым в этой схеме является использование двух приоритетных шифраторов 74148 вместе с T триггером и мультиплексором, которые обеспечивают создание требуемой разрядности при шифрации кода клавиши.

На столбцы клавиатуры COL0..COL3 подается сигнал бегущего нуля. Далее производится анализ результатов считанных со строк (ROW0..ROW3) и данных поданных на столбцы клавиатуры. Получение данных со строк и их анализ производится в несколько этапов с целью предотвращения гонок данных и подавления дребезга. Каждый из этапов начинается после определенной задержки с целью подавления дребезга контактов на клавиатуре. Генерацию сигналов о начале каждого этапа анализа обеспечивает kb\_cnt и подключенные к нему компараторы. Получение скан кодов из значений считанных с клавиатуры производится матрицой логических элементов и двумя шифраторами 74148, которые обеспечивают получение двоичного кода на выходе.

На рисунке 3.4 приведены временные диаграммы работы узла контроллера клавиатуры. Из их анализа видно, что на столбцах клавиатуры (coll0..coll3) успешно формируется сигнал бегущего нуля. По приходу сигнала логического нуля на вход какой либо строки клавиатуры, формируется сигнал о нажатии клавиши (pressed) и скан-код нажатой кнопки (kb).

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

22

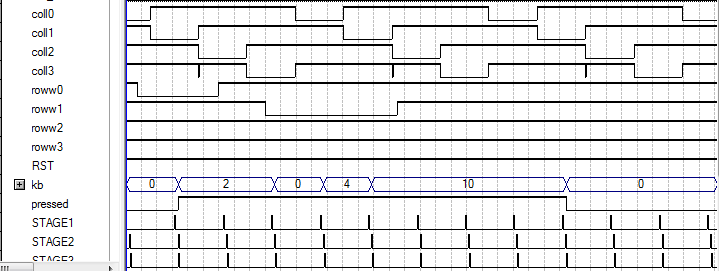
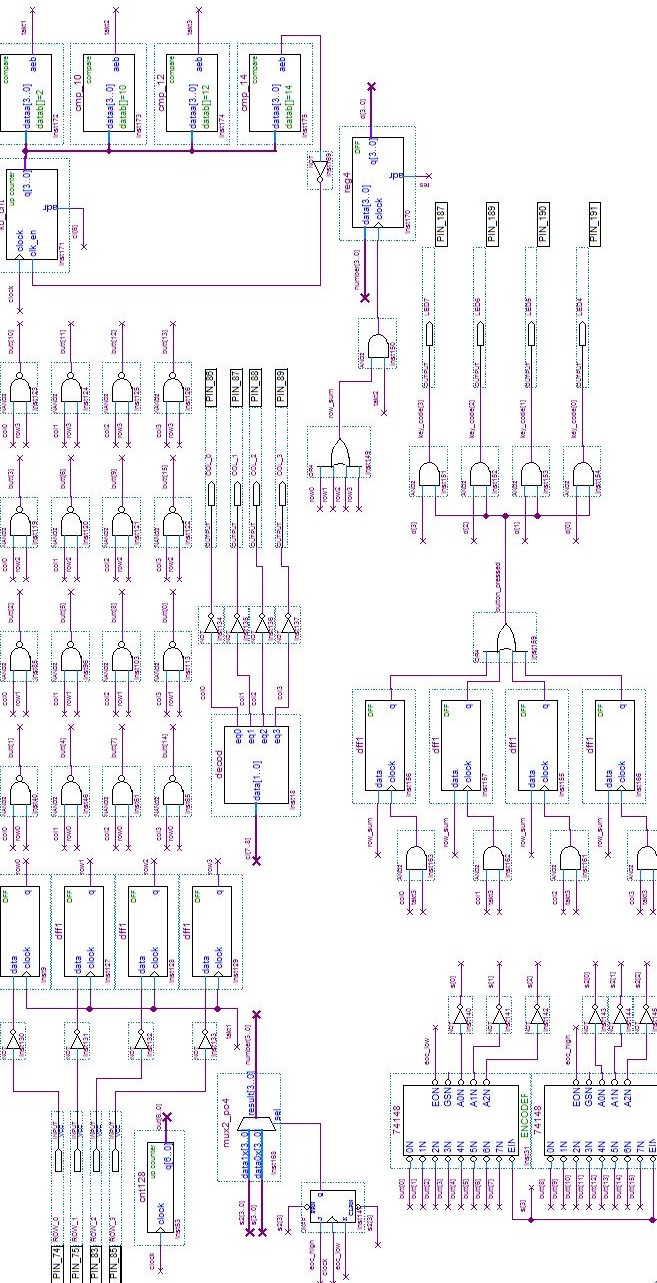


Рисунок 3.4 – Временная диаграмма контроллера клавиатуры



Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

23

Рисунок 3.5 – Контроллер клавиатуры

Для обеспечения деления частоты используются десятичные счетчики с предделителями. Ниже на рисунке 3.8 приведена реализация двух младших ступеней делителя, которые работают с регистром единиц и десятков. На четырехразрядном реверсивном счетчике обеспечивается отсчет до нулевого состояния счетчика, по окончанию счета формируется передний фронт сигнала, который разрешает работу предделителя и счетчика в следующей ступени делителя. В случае когда в младший разряд младшей ступени записан ноль, необходимо также организовать передний фронт импульса, для этого используется триггер, который тактируется от сигнала частотой в 10МГц, это обеспечивает появление переднего фронта спустя незначительную временную задержку.

На приведенной ниже временной диаграмме (рисунок 3.6) изображено деление частоты входного сигнала на 12, видно, что после прохождение двух импульсов через младшую ступень на выходе формируется передний фронт сигнала CNT1 который активирует предделитель и реверсивный счетчик во второй ступени делителя.



Рисунок 3.6 – Временная диаграмма делителя частоты

Для получения информации о частоте входного сигнала была разработана схема, в которой с помощью двух тринадцатиразрядных счетчиков производится замер частоты входного сигнала относительно опорного. Первый счетчик насчитывает количество импульсов опорного сигнала, который имеет частоту 32768 Гц. Когда он перейдет в нулевое состояния, будет сформирован сигнал о том, что прошло 250 мс. Второй счетчик в это же время насчитывал импульсы от входного сигнала. После 250мс на компараторах будет проведено сравнение значение на втором счетчике, если было насчитано менее 250 или более 25000, то частота входного сигнала находится вне требуемого диапазона, в таком случае будет сформирован сигнал запрета деления. С целью организации задержек в цепь были включены дополнительные D-триггеры, которые предотвращают гонки данных. Фрагмент устройства проверки частоты предствален на рисунке 3.8.

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

24

На рисунке 3.7 приведена временная диаграмма работы данного узла для частоты входного узла равной 40 Гц. Видно что после прохождение интервала времени равного 250 мс был сформирован сигнал об ошибке, поскольку один из компараторов не досчитал до 250.

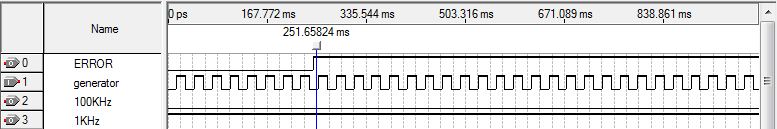
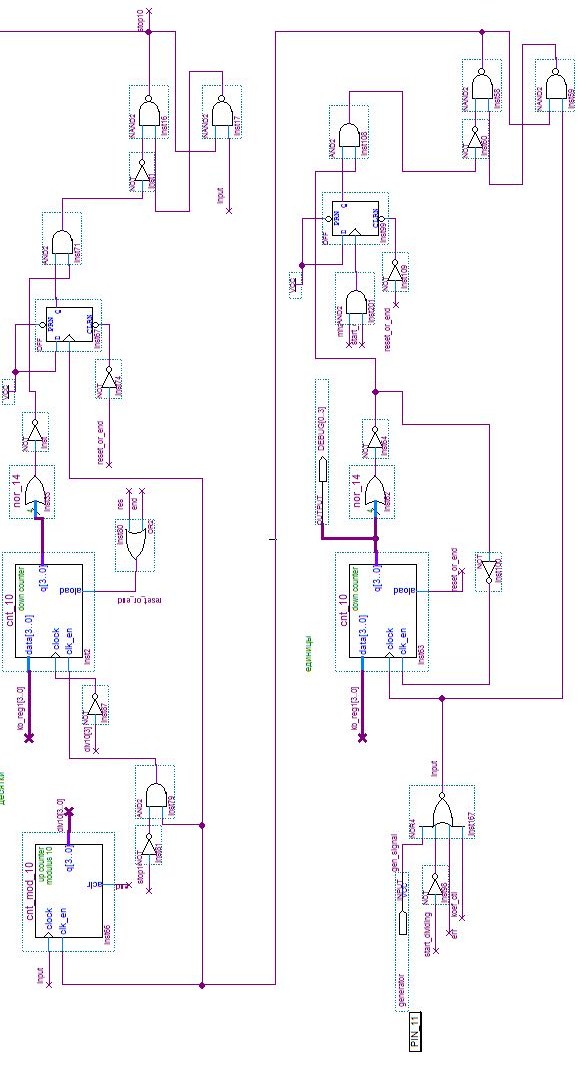


Рисунок 3.7 – Временная диаграмма узла проверки частоты



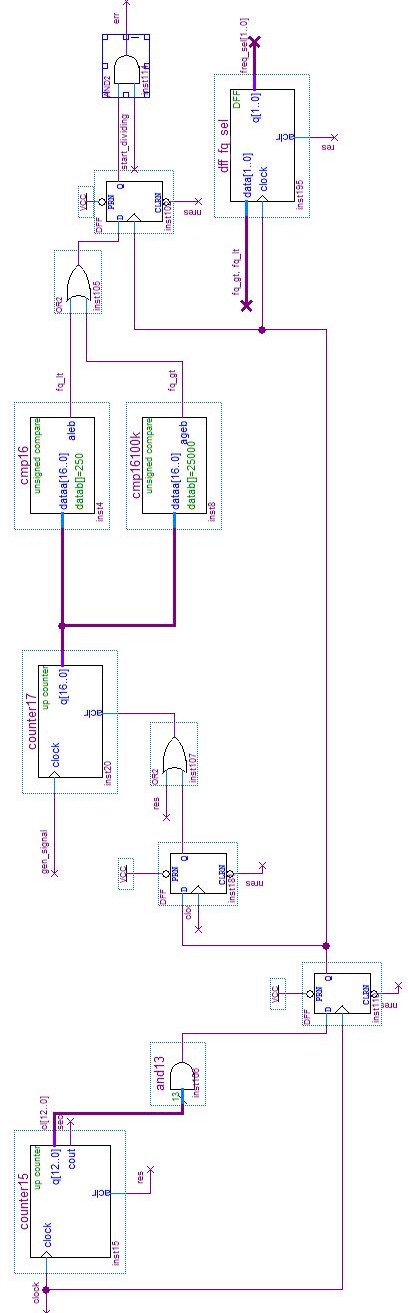
Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

25

Рисунок 3.7 – Фрагмент делителя частоты



Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

26

Рисунок 3.8 – Узел проверки частоты

**4 РАСЧЕТНАЯ ЧАСТЬ**

Здесь приведен расчет пассивных компонентов устройства (резисторов и конденсаторов).

Резисторы R1 и R2 выберем из следующих соображений: делить напряжений должен делить напряжение питания пополам, а также операционный усилитель DA1 имеет входной ток IDA1=12 пА, указанный в документации:

; (4.1)

где Uп – напряжение питания устройства, равное 5 В,

IDA1 – входной ток операционного усилителя.

Возьмем ближайшее подходящее сопротивление из ряда E12 равное 220 МОм.

Изм. Лист № докум. Подп . Дата

ЧНТУ 123121.302 ПЗ

Лист

27

Сопротивление резисторов R3…R6, использованных в клавиатуре, должно удовлетворять условию: напряжение и ток на выводе ПЛИС при входном напряжении 5В не превышает допустимых значений. Поэтому, номиналы резисторов можно определить по следующей формуле:

 (4.2)

где Rmax – сопротивление резистора;

Uвх – входное напряжение (5В);

Uвх min – минимальное входное напряжение логической единицы (4,5В);

Iвх max – максимально допустимый входной ток ПЛИС (10 мкА).

Отсюда получим:



Следовательно, номинальные значения резисторов R1..R4 не должны превышать 50 кОм.

Из ряда Е-24 выберем 4 резистора номиналом 47 кОм.

Конденсатор С3 предназначен для сглаживания дребезга кнопки SW17, типовая емкость конденсаторов включенных для сглаживания дребезга составляет пикофарады. Из ряда E-12 выберем емкость данного конденсатора равной 6,8 пФ.

Керамический конденсатор С4 и электролитический конденсатор С5 предназначены для подавления помех источника питания. Емкости данных конденсаторов можно взять из типовой схемы включения цифро-аналогового преобразователя, а именно 0,1 мкФ для конденсатора С4 и 10 мкФ для конденсатора С5. Из ряда Е-12 выберем значения 0,1 мкФ и 10 мкФ соответственно.

Значение сопротивления резисторов R7-R14 возьмем из типовой схемы включения кварцевого генератора. Резисторы R7-R10 вместе с конденсатором C2 обеспечивают генерацию колебаний на частоте 32768 Гц. Номиналы резисторов R7и R10= 220 Ом, резисторов R8и R9= 560 Ом, номинал емкости С1= 25 пФ. Резисторы R11-R14 и конденсатор C2 обеспечивают генерацию колебаний на частоте 10 МГц. Получим, что R13 и R14= 220 Ом, R12 и R11 = 4 Ом и С2= 25 пФ.

Изм. Лист № докум. Подп . Дата

ЧНТУ 123121.302 ПЗ

Лист

28

Из ряда Е-24 выберем номинал емкости конденсаторов С1 и С2 равный 27 пФ. Также из ряда Е-12 выберем номинал резисторов R12 и R11 равный 3,9 Ом.

**ВЫВОДЫ**

В результате выполнения курсовой работы был разработан делитель частоты с переменным коэффициентом деления, коэффициент деления которого задается пользователем с клавиатуры.

В процессе проектирования были разрешены проблемы следующего характера:

– устранение дребезга при получении данных с матричной кодирующей клавиатуры;

Изм. Лист № докум. Подп . Дата

ЧНТУ 123121.302 ПЗ

Лист

29

– корректная работа делителя частоты организованного на десятичных счетчиках с предделителями;

– корректная работа делителя частоты в случаях когда коэффициент деления имеет нули в десятичных разрядах;

– организация вывода данных на жидкокристаллический индикатор с учетом проверки частоты входного сигнала и значения коэффициента деления.

Полученное устройство полностью удовлетворяет поставленным требованиям, которые указаны в техническом задании.

Данное устройство может применяться в практических целях – например, для деления частоты в устройствах обработки сигналов и разнообразных таймерах. Применение ПЛИС обеспечивает высокую надежность работы данного устройства.

Дальнейшее усовершенствование возможно в сторону расширения функциональности ДПКД: увеличение коэффициента деления, а также за счет расширения частотного диапазона для деления частоты.

Использование десятичных счетчиков с предделителями позволяет легко наращивать коэффициент деления на порядки добавляя лишь по два счетчика и несколько логических элементов на каждый порядок коэффициента деления. Также из-за возможности перепрограммировать ПЛИС, доработка устройства не составляет существенных проблем.

**Перечень используемых источников**

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

30

1. Хоровиц ,П., Хилл, У. Исскуство схемотехники.- М.: Мир,2001.-704с., ил
2. Партала, О.Н. Цифровая электроника.-СПб: Наука и техника, 2000.-208с., ил
3. Бирюков, С.А. Цифровые устройства на интегральных микросхемах.- М.: Радио и связь, 1991.-183с., ил
4. Зубчук В.И. и др. Справочник по цифровой схемотехнике. – К.: Техника, 1990. – 448с.
5. Аналоговые интегральные схемы: Справочник / А.Л. Булычев, В.И. Галкин, В.А. Прохоренко. – 2-е изд., перераб. и доп. – Мн.: Беларусь, 1993. – 382 с., черт.
6. Цифровые и аналоговые интегральные микросхемы: Справочник/ С.В.Якубовский, В.И. Кулешова и др.: Под ред. С.В. Якубовского. – Радио и связь, 1989. – 496с.
7. Пароль Н.В., Кайдалов Н.К. Знакосинтезирующие индикаторы и их применение. – М.: Радио и связь, 1989. – 128с.
8. Полупроводниковые оптоэлектронные приборы: Справочник / В.И. Иванов, А.И. Аксенов, А.М. Юшин. – 2-е изд., перераб. и доп. – М.: Энергоатомиздат, 1989. – 448., ил.
9. Графическое изображение электрорадиосхем: Справочник / С.Т. Усатенко, Т.К. Каченюк, М.В. Терехова. – К.: Техника, 1986. – 120 с., ил.
10. Гутников, В.С. Интегральная электроника в измерительных устройствах.- Л.: Энергоатомиздат,1988.-303с.
11. ГОСТ 2.764-86. Интегральные оптоэлектронные элементы индикации. – М. : Изд-во стандартов, 1986. – 6 с.

**Приложение А Схема электрическая структурная**

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

31

**Приложение Б Схема электрическая принципиальная**

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

32

**Приложение В   
Конфигурационный файл, разработанный в Quartus**

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

34

Изм. Лист № докум. Подп. Дата

ЧНТУ 123121.302 ПЗ

Лист

26

**ПРИЛОЖЕНИЯ**