Циклический алгоритм работы устройства подразумевает такой порядок действий:

* получение коэффициента деления с клавиатуры;
* проверка нахождения частоты входного сигнала в заданном интервале 1–100 кГц;
* получение с клавиатуры сигнала о включении делителя;
* получение с клавиатуры сигнала о отображении на ЖКИ;
* вывод информации о нахождении частоты входного сигнала и отображение коэффициента деления на ЖКИ;
* делитель частоты на декадных счетчиках производит деление частоты входного сигнала на заданный коэффициент деления;
* запись полученного сигнала в цифро-аналоговый преобразователь.

Разрабатываемое устройство является цифровым, следовательно, входной сигнал должен быть преобразован так, чтобы его форма и амплитуда были совместимы с параметрами элементной базы устройства, а временные характеристики, подлежащие измерению, остались без изменений. Таким образом, необходимо наличие формирователя на входе устройства для перевода входного сигнала, заданного в техническом задании, в прямоугольный сигнал с амплитудой равной стандартным уровням цифровых интегральных микросхем.

После прохождения входного сигнала через формирователь, выполняется проверка его частоты, которая должна находиться в интервале 1 – 100 кГц. Для этого на счетчик 1 подается входной сигнал, а на счетчик 2 подается опорный сигнал с частотой 32768 Гц. Счетчик 1 подсчитывает количество входных импульсов, значение на счетчике сравнивается на компараторах с числами 250 и 25000. После 250 мс младшие 13 разрядов счетчика 2 установятся в единицу, произойдет защелкивание D триггера 3, на который подается логическое ИЛИ с выходов компараторов. D триггеры 1 и 2 обеспечивают необходимые задержки в цепи. Очевидно, что если на выходе первого или второго компаратора логическая единица, то частота входного сигнала находится вне требуемого диапазона. В таком случае деление входного сигнала не будет произведено.

Деление частоты входного сигнала обеспечивается десятичными реверсивными счетчиками 1-4. На входы загрузки реверсивных счетчиков подается коэффициент деления в двоично-десятичном коде из соответствующих регистров. Каждый из счетчиков обеспечивает задержку на 10^(k-1)\*d импульсов, где k – номер счетчика, d – значение соответствующего регистра. В случае если выполняются условия нахождения частоты входного сигнала в требуемом диапазоне, коэффициент деления имеет значение больше 10, то по сигналу «Начало деления» будет начата работа делителя частоты. На счетный вход реверсивного счетчика 1 подается входной сигнал, когда счетчик перейдет в состояние 0000, будет сформирован сигнал высокого уровня который, проходит через триггеры на элементах И, которые обеспечивает необходимую длительность сигнала на выходе каждого из делителей. Этот сигнал прекратит дальнейшую работу счетчика и активирует первый декадный счетчик, который является предделителем для второго счетчика, и включает второй реверсивный счетчик, а также переключит D триггер 5. D триггеры 4-6 предназначены для задержки сигнала, в случае если в реверсивный счетчик загружено число 0, которое приведет к включению следующего реверсивного счетчика раньше времени. Работа остальных счетчиков полностью аналогична. После того как все счетчики отработали, формируется выходной сигнал, который сбрасывает все счетчики и предделители.

Выходной сигнал со счетчика поступает на управляющий вход мультиплексора 1 и переключает выходной сигнал с этого мультиплексора в 0хFF. Сигнал с мультиплексора подается на вход данных цифро-аналогового преобразователя. На вход WR мультиплексора подается сигнал с десяти мегагерцового кварцевого генератора.

Не кодирующая матричная клавиатура обеспечивает ввод коэффициента деления в устройство. Для получения кода нажатой клавиши на входы строк матричной клавиатуры необходимо подать сигнал «бегущего» нуля. Для каждой фазы «бегущего» нуля происходит считывание значений кодов с выходов столбцов. При замыкании какой-либо из клавиш матрицы на соответствующем выходе устанавливается нулевое значение.

С целью анализа данных считанных со столбцов и подачи сигнала бегущего нуля на строки используется контроллер клавиатуры, который на выходе формирует номер нажатой клавиши и сигнал о нажатии на клавишу.

Сигнал «бегущего» нуля формируется делителем 1, счетчиком 4 и дешифратором. Делитель получает на вход сигнал с частотой 32768 Гц от кварцевого резонатора и уменьшает его частоту в 128 раз. Сигнал с делителя подается на счетчик 8, который задает счетные комбинации для дешифратора. Сигналы с выхода дешифратора инвертируются и подаются на строки.

Получения числа из клавиатуры происходит в три этапа. По результатам анализа кодов поданных на строки и кодов считанных из столбцов формируется код нажатой клавиши. Каждый из этапов начинается после определенной задержки с целью подавления дребезга контактов на клавиатуре. Генерацию сигналов о начале каждого этапа анализа обеспечивает счетчик 3 и подключенные к нему компараторы. Первый этап начинается после того как счетчик 3 досчитает до значения 2.

На первом этапе происходит защелкивание инвертированного значения считанного со столбцов клавиатуры в D триггеры 7-10. После этого со значением, защелкнутым в D триггерах выполняется логическая операция И-НЕ со значением бегущего нуля поданного на строки клавиатуры с целью определить какая из кнопок нажата. Эту операцию производит матрица из 16 элементов И-НЕ, возвращая позиционный код нажатой клавиши. Выходное значение с матрицы элементов И-НЕ подается на приоритетный шифратор, который преобразовывает позиционный код в четырехразрядный двоичный код нажатой клавиши.

Второй этап начинается, когда счетчик 3 досчитывает до значения 10. На этом этапе происходит запись значение с выхода шифратора в регистр, в случае если была нажата клавиша. Чтобы определить нажата ли клавиша, анализируется значение, считанное со столбцов клавиатуры, если хотя бы один из разрядов, записанных в D триггеры 7-10, равен единице, то это означает что, в момент времени от начала работы счетчика 3 и до начала первого этапа была нажата клавиша.

Третий этап начинается, когда счетчик 3 переходит в состояние 12, на этом этапе формируется сигнал о нажатии клавиши. Для этого производится защелкивание сигнала полученного в предыдущем этапе в D триггеры 11-14 с целью предотвращения ложного формирования сигнала «кнопка нажата» из-за дребезга контактов в клавиатуре. В случае если клавиша нажата, то на выходе контроллера клавиатуры появится код нажатой клавиши и сигнал «кнопка нажата».

Число, полученное с контроллера клавиатуры необходимо проверить. В случае если оно меньше 10, то это один из десятичных разрядов коэффициента деления, если оно равно 12, то необходимо сформировать управляющий сигнал для делителя «начало деления», если значение равно 14, то формируется управляющий сигнал контроллера ЖКИ «перерисовка ЖКИ».

В случае если полученное число меньше 10 и пока сигнал «кнопка нажата» имеет высокий уровень, то через элемент И-НЕ будет разрешена работа счетчика 4. Как только один из сигналов, поданных на элемент И-НЕ примет значение низкого уровня, на вход сброса счетчика будет подано значение 1 и изменение состояния счетчика 4 прекратится. Как только счетчик 4 досчитает до 5 на выходе компаратора, подключенного к счетчику, появится высокий уровень и на счетчик через инвертор будет передан сигнал запрета насчёта новых состояний. Такая задержка необходима для предотвращения гонок данных. Выходной сигнал с компаратора также будет подан на счетчик 5, который предназначен для ограничения количества разрядов коэффициента деления до 4. Если старший разряд счетчика 5 имеет низкий уровень, то через элемент И будет сформирован сигнал «запись цифр».

Для задания коэффициента деления используется четыре параллельных регистра: регистр единиц, регистр десятков, регистр сотен и регистр тысяч. Эти регистры соединены последовательно для того чтобы разряды введенного числа сдвигались при получении каждого нового разряда. Запись в эти регистры производится по переднему фронту сигнала «запись цифр». При поступлении данного сигнала значение из контроллера клавиатуры будет записано в регистр единиц, а предыдущее значение этого регистра запишется в регистр десятков и так далее. После ввода четырех цифр счетчик 5 прекратит счет, и запись данных в регистры прекратится.

Согласно ТЗ коэффициент деление должен быть большим или равным 10, поэтому необходимо выполнять проверку значений находящихся в регистрах. Эту проверку обеспечивают элементы И-НЕ подключенные к регистру десятков, регистру сотен и регистру тысяч, в случае если в каждом из регистров записан 0, будет сформирован высокий уровень сигнала «контроль коэффициента», который запретит работу делителя.

Сигналы «перерисовка ЖКИ» и «начало деления» формируются аналогично сигналу «запись цифр». Единственное отличие состоит в том, что при формировании сигнала «начало деления» переключается Т триггер, что позволяет при нажатии на клавишу С включать и выключать деление частоты входног сигнала.

Для индикации коэффициента деления на жидкокристаллическом индикаторе используется контроллер ЖКИ, который производит инициализацию, а также запись команд и данных в ЖКИ модуль. Контроллер активируется по сбросу либо по переднему фронту сигнала «перерисовка ЖКИ».

После активации контроллера ЖКИ пятнадцатиразрядный счетчик начинает насчет импульсов от кварцевого генератора с частотой 32768 Гц. Выбор информации записываемой в мультиплексор обеспечивают мультиплексоры 1-5.

– Мультиплексор 1 обеспечивает выбор, источника из которого будет поступать информация, подаваемая на вход данных ЖКИ: из ПЗУ, содержащего команды инициализации и текст, или с мультиплексора 2.

– Мультиплексор 2 обеспечивает выбор между данными с мультиплексора 3, мультиплексора 4 и ASCII кодами чисел из регистров хранящих коэффициент деления.

– Мультиплексор 3 обеспечивает выбор символа для индикации нахождения входного сигнала в заданном интервале частот в зависимости от данных полученных из устройства проверки частоты. Если частота меньше нижней границы будет выбран ASCII код символа «<», если частота находится в диапазоне, то будет выбран ASCII код символа «=», если частота больше верхней границы, то будет выбран ASCII код символа «>».

– Мультиплексор 4 обеспечивает выбор символа для индикации нахождения коэффициента деления в требуемом диапазоне. Если коэффициент меньше 10, то будет выбран выбран ASCII код символа «<», в ином случае будет выбран ASCII код символа «=».

– Мультиплексор 5 производит выбор регистра, из которого будет выбрано следующее число для индикации коэффициента деления. Выбранное число суммируется с 0х30 для приведения к ASCII коду.

Пока счетчик не досчитает до 9, в ЖКИ записываются управляющие команды начальной инициализации, которые хранятся в ПЗУ. После этого компаратор сравнения с 9 переключает значение, подаваемое на вход RS ЖКИ.

С 10 по 11 такт в ЖКИ будет записана строка «К:» из ПЗУ. После этого на адресный вход мультиплексора 1 будет подан высокий уровень, а на адресный вход мультиплексора 2 значение 00.За следующие 4 такта (такты 12-15) в память ЖКИ будут записаны значения, хранящиеся в регистре тысяч, регистре сотен, регистре десяток и регистре единиц.

На 16 такте, на адресный вход мультиплексора будет подан низкий уровень сигнала и в память индикатора будет записана строка «f:» из ПЗУ.

На 17 такте возникнет необходимость записать команду перевода строки в ЖКИ, поскольку уже было выведено 8 символов.

На 19 такте на адресный вход мультиплексора 1 будет подан высокий уровень, а на адресный вход мультиплексора 2 значение 01. Это приведет к записи в память ЖКИ значение выбранное мультиплексором 3.

На 20-23 тактах из ПЗУ в память индикатора будет записана строка « k:», на 24 такте адресный вход мультиплексора 1 будет подан высокий уровень, а на адресный вход мультиплексора 2 значение 10. Это приведет к записи в память ЖКИ значение выбранное мультиплексором 4.

На 24 такте компаратор сгенерирует сигнал запрещающий счетчику дальнейший счет импульсов и контроллер ЖКИ прекратит свою работу до поступления следующего сигнала «перерисовка ЖКИ» или сигнала «сброс».