5 Лабораторная работа №5

Сумматоры и вычитатели

**Цель работы:** изучить временные диаграммы работы сумматоров и вычитателей.

**5.1 Краткие теоретические сведения**

Сумматором называется устройство, предназначенное для выполнения операции сложения над многоразрядными числами.

Многоразрядный сумматор состоит из одноразрядных сумматоров.

Одноразрядный сумматор, на входы которого поступают два одноразрядных числа А и В, а на выходах формируются одноразрядные числа суммы S и переноса P называется полусумматором.

Выделяют параллельные и последовательные сумматоры.

Параллельные сумматоры подразделяют на:

* + параллельные сумматоры с последовательным переносом;
  + параллельные сумматоры с параллельным переносом.

В параллельных сумматорах с последовательным переносом используется m-1 полный сумматор и один полусумматор, т.е. затраты пропорциональны разрядности операндов, но операция суммирования выполняется за один такт TΣ. Длительность суммирования определяется соотношением:

**TΣ =tΣ + m\* tздр. ,**

**tΣ -** длительность суммирования в одноразрядном сумматоре;

**tздр. -** длительность формирования переноса в одном разряде.

Одноразрядный вычитатель, на входы которого поступают два одноразрядных числа A и B, а на выходе формируются одноразрядные числа разности D и заема V называется полувычитателем.

Полным вычитателем называется устройство, реализующее операцию вычитания одноразрядных чисел с учетом заема из предыдущего разряда.

В вычислительных устройствах применяют сумматоры и вычитатели. Для упрощения схемной реализации вычислительных устройств целесообразно иметь одно универсальное устройство. Оказывается, что использование простых специальных математических приёмов позволяет приспособить сумматоры для выполнения операции вычитания.

Такие приёмы - сложение в системе с обратным или дополнительным кодом.

В вычислительных машинах наиболее часто применяют сложение в системе с дополнительным кодом. В этой системе отрицательные числа преобразуются в дополнительный код до выполнения операций сложения или вычитания. Затем они преобразуются обратно в прямой код.

Дополнительный код положительного числа совпадает с двоичным представлением чисел. Знаковый разряд всегда равен 0.

Дополнительный код отрицательных чисел формируют по следующему правилу: цифры всех разрядов, кроме знакового, инвертируют, и в младший разряд прибавляется единица. В знаковый разряд отрицательного числа ставится 1.

5.2 Порядок выполнения работы

1) Изучите до начала выполнения лабораторной работы методики синтеза сумматоров и вычитателей.

2) Соберите схему проверки стандартного сумматора K555IM3.

3) Исследуйте в подрежиме Run/Transient режимы работы сумматора при различных комбинациях входных кодов.

4) Синтезируйте схему сумматора или вычитателя на микросхемах средней степени интеграции с учетом требований, приведенных в таблице 5.1.

Таблица 5.1 — Варианты заданий

|  |  |  |  |
| --- | --- | --- | --- |
| **№ варианта** | **Тип устройства** | **Разрядность** | **Базовая микросхема** |
| 1 | сумматор | 1 | K555LA4 |
| Примечание — Базовая микросхема обязательно должна входить в состав разрабатываемого устройства. Допускается дополнительно использовать другие типы микросхем | | | |

5) Создайте схему проверки синтезированного сумматора или вычитателя.

6) Проверьте в подрежиме Run/Transient правильность работы сумматора или вычитателя.

**5.3 Результаты исследования и анализа параметров и характеристик исследуемого цифрового устройства**

**5.3.1 Исследование стандартного сумматора**

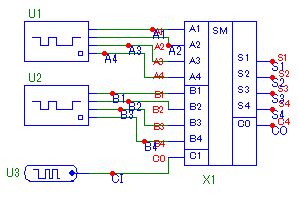


Рисунок 5.1 – Схема для исследования стандартного сумматора

Описание генераторов сигналов:

.define INA

+0NS 0000

+LABEL=START

+10US INCR BY 0001

+20US GOTO START -1 TIMES

.define INB

+0NS 1111

+LABEL=START

+20US DECR BY 0001

+40US GOTO START -1 TIMES

.define INC

+0NS 0

+100US 1

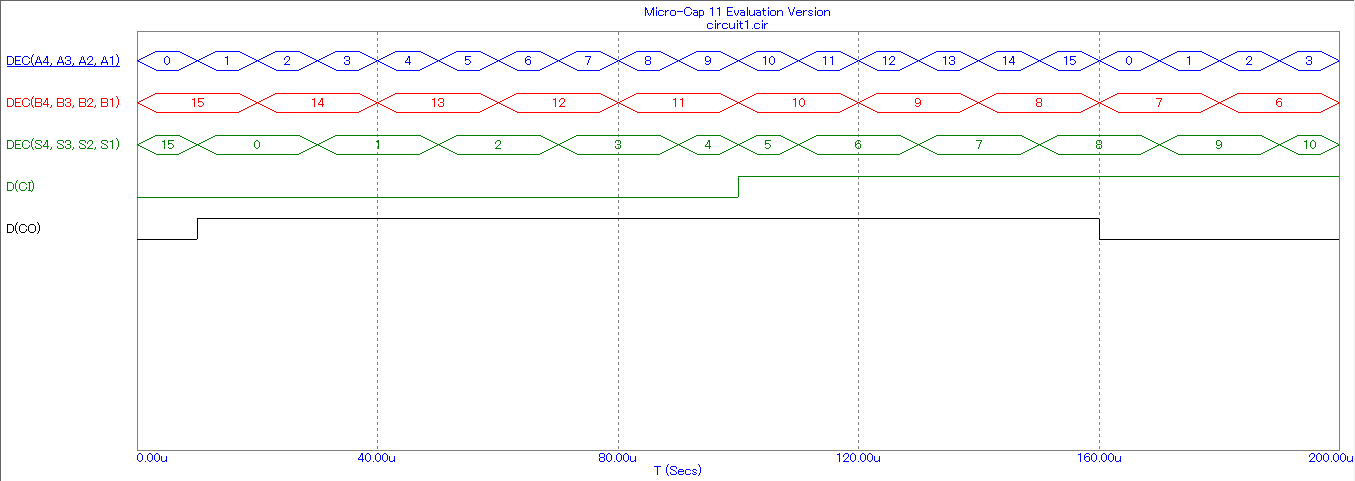
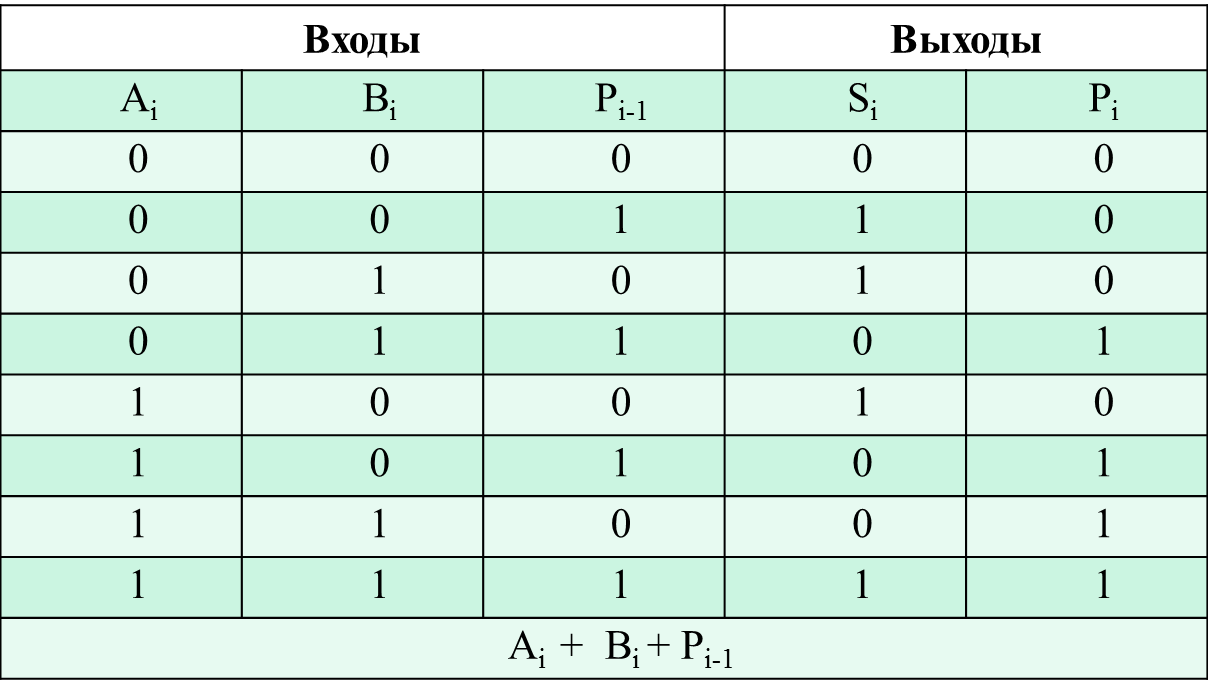


Рисунок 5.2 – Временные диаграммы сумматора

**5.3.1 Синтезирование одноразрядного сумматора**

Таблица 5.2 – Таблица истинности сумматора



Исходя из таблицы истинности для сумматора, получим логические функции для Si и P­i :

Si =

Pi = Ai Bi +Pi-1 Ai +Pi-1 Bi

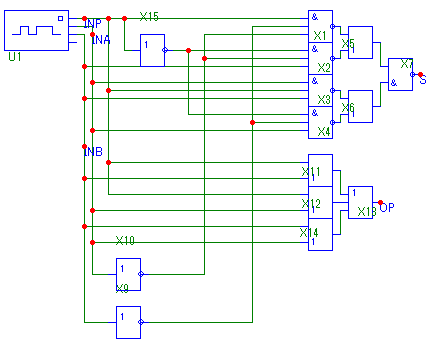


Рисунок 5.3 – Синтезированная схема сумматора

Описание генераторов сигналов:

.define GEN

+0NS 0000

+LABEL=START

+10US INCR BY 0001

+20US GOTO START -1 TIMES

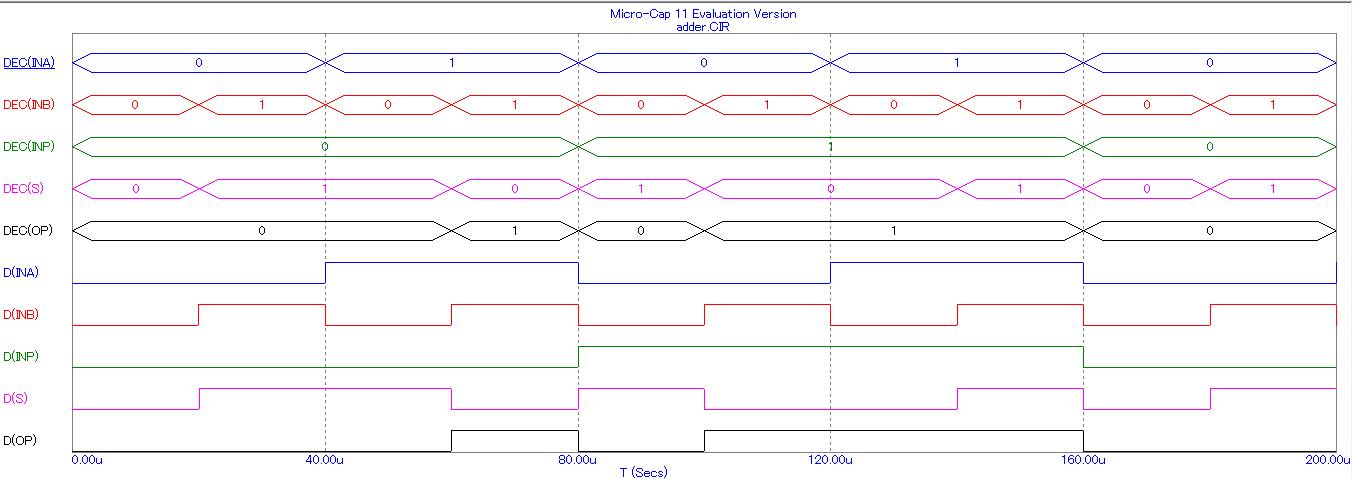


Рисунок 5.4 – Временные диаграммы синтезированного сумматора

**5.4 Особенности функционирования САПР Micro-Cap 11.0, выявленные в ходе выполнения лабораторной работы**

В ходе лабораторной работы была выявлена особенность новой версии САПР, когда во время анализа схемы автоматически перестраивается исследуемый график при изменении параметров схемы, что очень удобно. Также было выявлено, что в САПР MicroCap 11 можно при анализе временных диаграм цифрового устройства объединять несколько цифровых сигналов с помощью DEC(), что упрощает анализ таких устройств как сумматоры и вычитатели.

**Выводы**

В ходе лабораторной работы был исследован стандартный преобразователь сумматор K555IM3. Был синтезирован полный одноразрядный сумматор с использованием логических микросхем средней интеграции К555LA4.