**6 ЛАБОРАТОРНАЯ РАБОТА №6**

**АНАЛОГО-ЦИФРОВЫЕ И ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ**

**Цель работы:** научиться разрабатывать схемы взаимодействия со стандартными аналого-цифровыми и цифро-аналоговыми преобразователями.

## 6.1 Краткие теоретические сведения

### 

### Аналого-цифровые преобразователи (АЦП) предназначены для формирования дискретных цифровых значений аналогового сигнала.

Дискретизацией сигнала называется измерительное преобразование непрерывного сигнала в последовательность мгновенных значений этого сигнала, соответствующих определенным моментам времени.

Основные параметры АЦП можно разделить на две группы: статические и динамические.

К статическим параметрам относят погрешность квантования, инструментальную погрешность, временную нестабильность, разрешающую способность, диапазон измеряемых величин, входное сопротивление.

*Погрешность квантования (дискретности)* Δk – методическая погрешность, вызванная конечным значением шага квантования h (единица младшего разряда ЕМР). Ее максимальное значение равно Δk = ±0,5h.

*Инструментальная погрешность* возникает из-за несовершенства средств измерения и содержит следующие составляющие: погрешность смещения нуля (аддитивная погрешность), погрешность коэффициента передачи (мультипликативная погрешность) и нелинейность.

*Погрешность смещения нуля Δа* – часть общей погрешности, характеризующая параллельный сдвиг всей передаточной характеристики реального АЦП по отношению к идеальному.

*Погрешность коэффициента передачи Δм* – величина, характеризующая отклонение крутизны усредненной передаточной характеристики АЦП от крутизны идеальной характеристики.

*Нелинейность Δн* – отклонение передаточной характеристики АЦП от крутизны идеальной характеристики во всем диапазоне изменения входного сигнала.

*Временная нестабильность* характеризует способность АЦП сохранять статическую точность в течение определенных интервалов времени. Различают кратковременную и долговременную стабильности.

*Разрешающая способность –* это способность АП различать два значения входного сигнала. Она характеризует потенциальные возможности АЦП с точки зрения достижимой точности.

*Диапазон измеряемых величин –* максимальное и минимальное для данного АЦП значения измеряемой величины.

*Входное сопротивление* – характеризует степень влияния АЦП на измеряемую величину. Если входное сопротивление невелико и соизмеримо с сопротивлением источника сигнала и оно не постоянно, то это может привести к появлению дополнительных погрешностей. Поэтому к величине входного сопротивления предъявляют жесткие требования по постоянству и значению.

Возникновение динамических погрешностей связано с дискретизацией сигналов, изменяющихся во времени. К параметрам, характеризующим динамическую точность, относят частоту дискретизации (шаг дискретизации) и время преобразования.

*Частота дискретизации* – это частота, с которой происходит образование дискретных значений сигнала.

*Время преобразования* – это временной интервал от начала преобразования до появления на выходе кода, соответствующего данной выборке.

По принципу действия АЦП делятся на последовательные, параллельные и последовательно-параллельные.

В составе PLD-EMULATOR используется восьмиразрядный ЦАП AD7801 фирмы Analog Devices.

Описание входных и выходных сигналов указанной микросхемы ЦАП приводится ниже.

**CS** (входной сигнал) – нулевой уровень сигнала переводит ЦАП в активное состояние.

**WR (**входной сигнал**) –** по переднему фронту сигнала и активном состоянии ЦАП осуществляется запись данных во входной регистр.

**D7 ... D0** (входные сигналы) – входная шина данных.

**CLR (**входной сигнал**) –** асинхронный вход. По нулевому уровню сигнала во все разряды входного регистра записываются нули.

**LDAC** (входной сигнал) – по нулевому уровню этого сигнала на выход поступает информация с внутреннего регистра ЦАП. Если этот вход соединен с общей шиной, то информация записывается по переднему фронту сигнала WR.

**PD** (входной сигнал) – при низком уровне сигнала микросхема переходит в режим пониженного энергопотребления.

Временная диаграмма работы ЦАП изображена на рисунке 5.4.

|  |
| --- |
| 1a |
| Рисунок 6.1 – Временные диаграмма работы ЦАП |

**6.2 Порядок выполнения работы**

6.3.1 Запустите САПР QuartusII 9.0, создайте новый проект и подготовьте Text Editor для работы.

6.3.2 Опишите алгоритм работы АЦП и/или ЦАП на поведенческом уровне языка VHDL с учетом вариантов заданий, которые указаны в таблице 6.1

Таблица 6.1 – Варианты заданий

|  |  |  |
| --- | --- | --- |
| № | Предложения языка или  метод обработки | Алгоритм обработки данных |
| 2 | Предложение If Statement | Ограничитель амплитуды сигнала |

6.3.3 Произведите компиляцию проекта с помощью команды Process/Start Compilation.

6.3.4 Назначьте номера контактов цифрового устройства в соответствии с требованиями, приведенными в таблице 6.2.

6.3.5 Опишите в Waveform Editor входные сигналы, а затем получите и исследуйте временные диаграммы работы АЦП и ЦАП.

6.3.6 Включите стенд и выберите режим Byte-Blaster→PLD.

6.3.7 Произведите загрузку готового проекта в ПЛИС с помощью программатора (Programmer).

6.3.8 Оцените визуально правильность работы АЦП и ЦАП.

**6.3 Результаты выполнения работы**

library ieee;

use ieee.std\_logic\_1164.all;

entity adc\_dac is

generic (

DATA\_BUS\_WIDTH : integer := 8;

MAX\_AMPLITUDE : integer := 64

);

port ( clk, reset : in std\_logic; -- синхронизация, сброс

convst : out std\_logic; --начало преобразования ацп

eoc : in std\_logic; --конец преобразования ацп

rd, cs : out std\_logic; -- управление ацп

adc : in integer range 0 to 2\*\*DATA\_BUS\_WIDTH - 1;

wr\_dac : out std\_logic; -- запись в цап

cs\_dac : out std\_logic; -- выбор цап

dac : out integer range 0 to 2\*\*DATA\_BUS\_WIDTH - 1 );

end adc\_dac;

architecture adc\_dac\_arch of adc\_dac is

signal conv : std\_logic;

signal buf : integer range 0 to 2\*\*DATA\_BUS\_WIDTH - 1;

begin

process (clk, reset)

variable convst\_cnt : integer range 0 to 15;

begin

if reset = '0' then

convst\_cnt := 0;

elsif clk'event and clk = '1' then

convst\_cnt := convst\_cnt + 1;

if convst\_cnt = 1 then

conv <= '0';

else

conv <= '1';

end if;

end if;

end process;

rd <= eoc;

cs <= eoc;

wr\_dac <= conv;

cs\_dac <= conv;

convst <= conv;

process (eoc)

begin

if eoc'event and eoc = '1' then

buf <= adc;

end if;

end process;

process (conv)

begin

if conv'event and conv = '1' then

if buf < MAX\_AMPLITUDE then

dac <= buf;

else

dac <= MAX\_AMPLITUDE;

end if;

end if;

end process;

end adc\_dac\_arch;

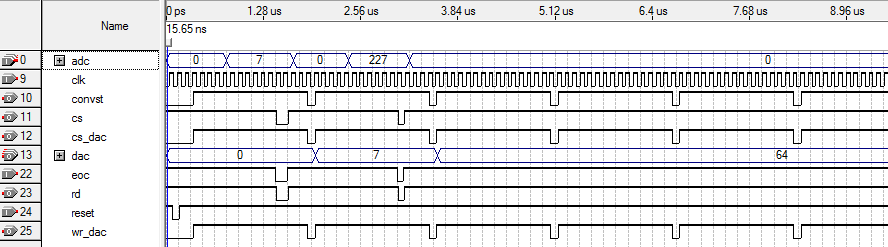


Рисунок 6.2 – Временные диаграммы работы ограничителя амплитуды

**6.4 Особенности САПР Quartus II выявленные в ходе выполнения лабораторной работы**

В ходе лабораторной работе никаких особенностей САПР Quartus II выявлено не было.

**Выводы**

В ходе лабораторной работы было изучено сопряжение АЦП и ЦАП с ПЛИС. Были изучены принципы работы с аналого-цифровом и цифро-аналоговым преобразователем в стенде PLD Emulator. Был описан ограничитель амплитуды сигналов на поведенческом уровне языка описания аппаратуры VHDL.