

Gowin USB 2.0 SoftPHY 器件外围电路设计指南

概述

本文档主要介绍了高云 FPGA 器件的 Gowin USB 2.0 SoftPHY 器件外围电路设计时关于原理图设计以及 PCB 设计的注意事项。

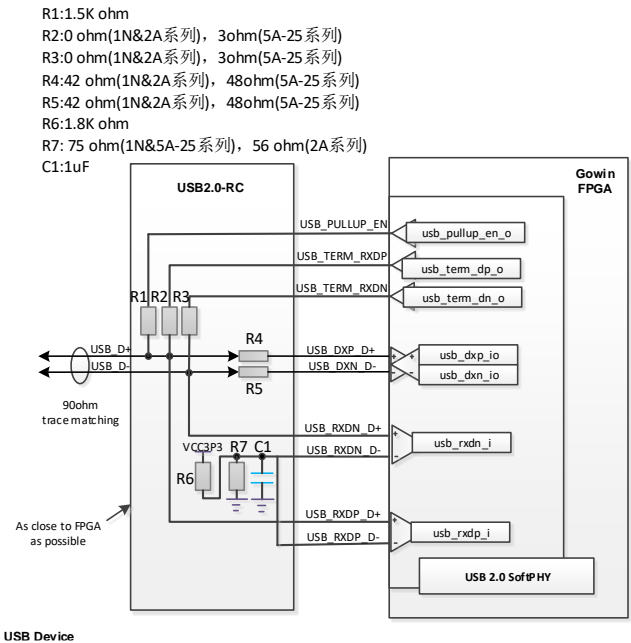
本文档将 Gowin USB 2.0 SoftPHY 器件外围电路简称为 USB2.0-RC 电路。

器件选型注意事项

选择 GW1N/GW2A 系列器件速度等级不小于 C7 的器件。

USB2.0-RC 电路连接示意图

图 1 USB2.0-RC 电路连接示意图



注！

- 电阻精度 1%，电容精度 20%；
- 电阻电容封装大小建议选 0402。

原理图注意事项

1. USB2.0-RC 电路的差分对需放置在 FPGA 的 TRUE LVDS 引脚上，包括 USB_DXP_D+/ USB_DXP_D-、USB_RXDP_D+/ USB_RXDP_D-、USB_RXDN_D+/ USB_RXDN_D-
2. FPGA 上与 USB 接口相关所有信号建议放到一个 Bank 中，且相邻分配最佳，I/O 所在 Bank 的供电电压为 3.3V。
3. 要求 USB_DXP_D+/ USB_DXP_D-差分对所在的同一 Bank 相邻差分对管脚存在且未被使用；
例如：如果 USB2.0-RC 的 USB_DXP_D+/ USB_DXP_D-信号选用了 FPGA 的 IOB12A&IOB12B 引脚，则需要 IOB11A&IOB11B 存在且未被使用；如果选用了 FPGA 的 IOB15A&IOB15B 引脚，则需要 IOB14A&IOB14B 存在且未被使用。

注！

需要对管脚名称中数字编号小的一边进行约束。

PCB 注意事项

1. USB2.0-RC 电路的电阻&电容尽可能靠近 FPGA 所分配 IO 位置放置。
2. USB2.0-RC 电路的差分对阻抗为 90Ω。
3. USB2.0 参考电压信号（USB_RXDP_D-）走线尽可能靠近 USB_RXDP_D+信号走线。
4. USB2.0 参考电压信号（USB_RXDN_D-）走线尽可能靠近 USB_RXDN_D+信号走线。USB2.0-RC 电路中的差分对尽可能不放置过孔。如果差分对在走线的过程中放置了过孔，需在过孔旁边放置 2~4 个地孔，以减小回流路径。
5. 差分对要有完整的参考地平面。
6. 差分对走线所过焊盘的正下方要做挖空处理，以适配阻抗变化带来的信号完整性问题。
7. 差分对要尽量等长，误差控制 10mil 以内。

PCB 设计参考

关于 USB2.0-RC 可参考 [DK_USB2.0_GW2AR-LV18QN88PC8I7_GW1NSR-LV4CMG64PC7I6_V3.0 原理图](#) 文件。

技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：

网址：www.gowinsemi.com


E-mail: support@gowinsemi.com

Tel: +86 755 8262 0391

版本信息

日期	版本	说明
10/21/2022	1.0	初始版本。
04/11/2024	1.0.1	更新“图 1 USB2.0-RC 电路连接示意图”中的 GW5A-25 器件的电阻值。

版权所有 © 2024 广东高云半导体科技股份有限公司

 GOWIN高云、Gowin、小蜜蜂、晨熙以及高云均为广东高云半导体科技股份有限公司注册商标, 本手册中提到的其他任何商标, 其所有权利属其拥有者所有。未经本公司书面许可, 任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部, 并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可, 并未以明示或暗示, 或以禁止反言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外, 高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保, 包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等, 均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任, 高云半导体保留修改文档中任何内容的权利, 恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。