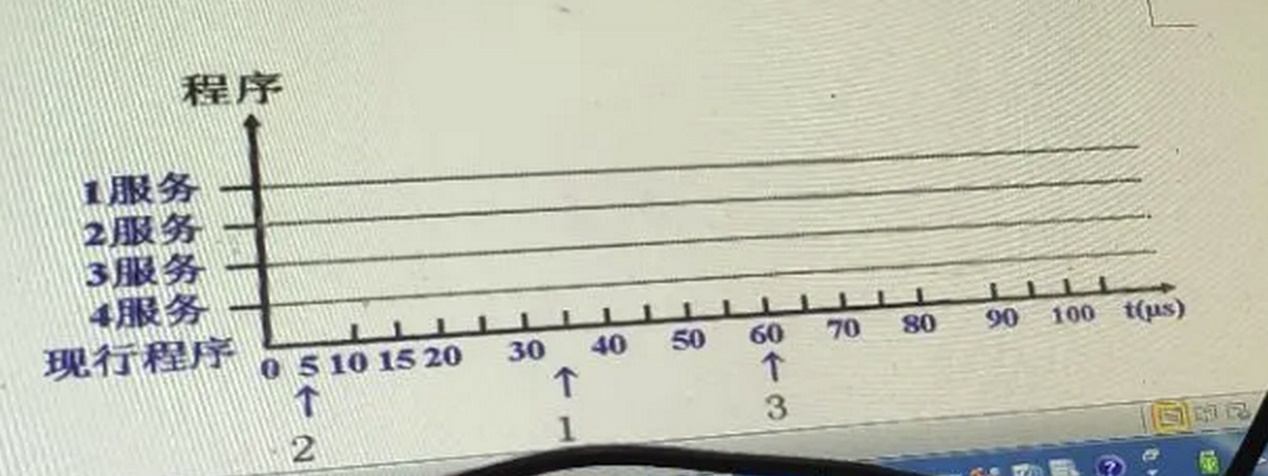
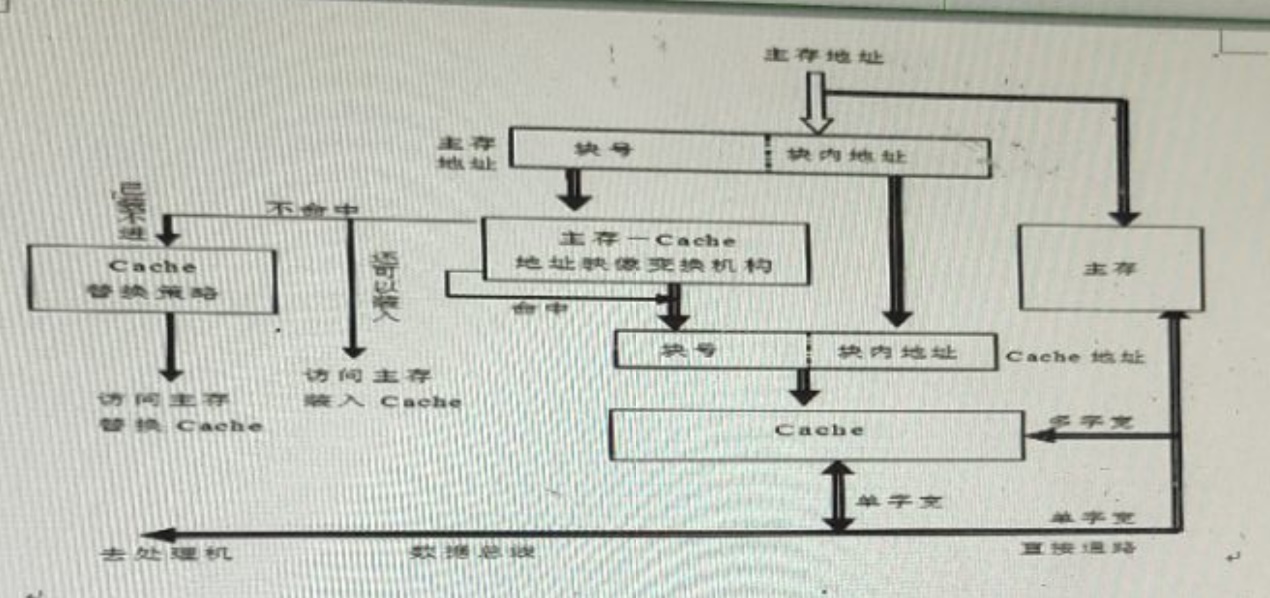
1. **CPU有16根地址线，8根数据线，并用（低电平有效）作访存控制信号，R/ 作读写命令信号（高电平为读，低电平为写）。市场上现有下列存储芯片。ROM（2K8位，4K4位，8K8位），RAM（1K4位，2K8位，4K8位），及74138译码器和其他门电路。试从上述规格中选用合适芯片，设计出CPU和存储芯片的连接图，根据产品需要要求：**
   1. **最小4K地址为系统程序区。4096~12287地址范围为用户程序区。**
   2. **指出选用的存储芯片类型及数量，并给出每片RAM的地址范围。**
   3. **详细画出CPU与存储器的连接图。**
   4. **如果运行时发现不论往哪片RAM写入数据后，以2000H为起始地址的存储芯片都有与其相同的数据，分析故障原因。**
   5. **根据c)的连接图，若出现地址线A12与CPU断线，并搭接到高电平上，将出现什么后果？**
2. 某计算机的CPU主频为400MHz，执行每条指令平均需4个时钟周期，现有一数据传输率为1B/s的设备要与主机进行数据传送，数据传输单位为16位，假设中断I/O控制方式的中断服务程序包含20条指令，中断服务的其他开销相当于10条指令的执行时间，请回答下列问题，要求分析过程：
   1. 能否采用中断I/0控制方式实现该设备与主机的数据传输？ CPU用于该设备I/0的时间占整个CPU时间的百分比是多少？
   2. 当该外设的数据传输率达到100MB/s时，中断I/O控制方式是否可行？假设每次DMA传送大小为4000B，且DMA预处理和后处理的总开销为400个时钟周期，则改用DMA方式是否可行，CPU用于该外设I/0的时间占整个CPU时间的百分比是多少？
3. 某计算机字长20位，且存储字长等于指令字长，主存容量为512K字，采用单字长单地址指令，共有315条指令，采用四种寻址方式（立即、直接、基址、相对）
   1. 设计指令格式
   2. 该指令直接寻址的最大范围
   3. 一次间址的寻址范围
   4. 相对寻址的位移量
4. 微程序控制器有6个控制字段，分别可以激活9、3、16、4、7、25种微命令（采用水平型微指令），有3个转移控制状态。微指令格式中的下址字段10位。分别采用直接编码和字段直接编码方式设计微指令的操作控制字段，设计微指令格式。
5. CPU内部包含PC、MAR、MDR、IR等寄存器及通用寄存器，指令STA(X)，。功能是将寄存器中数据写入主存X单元，M表示主存。请结合CPU的组成和微程序控制器设计完成指令流程图，重新画出当x为间址寻址时的指令流程图。
6. 设浮点数字长为32位，欲表示万间的十进制数，在保证数的最大精度条件下，除阶符、数符各取一位外，阶码和民数各取几位？按这样分配，该浮点数溢出的条件是什么？
7. 中断屏蔽位“1”对应于开放， “0”对应于屏蔽，设某机有4个中断源1、2、3、4，其响应优先级按1🡪2🡪3🡪4降序排列，现要求将中断处理优先级改为4🡪1🡪3🡪2，可采取什么方法实现？在此处理优先级的基础上，根据下图给出的4个中断源的请求时刻，画出CPU执行程序的轨迹。设每个中断源的中断服务程序时间均为20。



1. 设有400条指令的程序段经过下图的指令流水线执行，请求出完成该程序段的流水时间、流水线的实际吞吐率、加速比和效率。（设）
2. 某机字长16位，存储器直接寻址空间为128字。变址时的位移量为~+63，16个通用寄存器均可作为变址寄存器。设计一套指令系统格式。满足下列寻址类型的要求。
   1. 直接寻址的二地址指令3条
   2. 变址寻址的一地址指令6条
   3. 寄存器寻址的二地址指令8条
   4. 直接寻址的一地址指令12条
   5. 零地址指令32条

试问，还有多少种代码未用？若安排寄存器寻址的一地址指令，还能容纳多少条？

1. 分析下图的工作原理



1. 设某机器的主频为80MHz，机器周期含5个时钟周期，每个指令周期中含4机器周期。求该机的平均指令执行速度为多少MIPS？若机器的主频变为100MHz。每个指令周期中含机器周期数及机器周期含时钟周期数不变，该机的平均指令执行速度又为多少MIPS？
2. 主存容器为8MB。Cache容器为32KB，每字块有4个字，每字16位。试设计一个二路组相联映射的Cache结构。
   1. 画出主存地址字段中各段的位数
   2. 设Cache的初态为空，CPU依次从主存第0、1、2……38号单元读出39个字（主存一次读出一个字），并重复按此次序读10次，问命中率是多少？
   3. 若Cache的速度是主存的8倍，试问有Cache和无Cache相比，速度约提高多少倍？