

1. 전기 및 전자회로 기초

목차

1.1. 기본 전기 요소

1.1.1 전기회로 개요

1.1.2 저항(Resistor)

1.1.3 커패시터(Capacitor)

1.1.4 인덕터(Inductor)

1.2. 전기회로 해석

1.2.1 Ohm의 법칙

1.2.2 Kirchhoff의 법칙

1.2.3 Thevenin과 Norton 등가회로

1.2.4 기타 사항

1.3 반도체 전자(Semiconductor)

1.3.1 정션 다이오드(Junction Diode)

1.3.2 바이폴라 정션 트랜지스터(BJT, Bipolar Junction Transistor)

1.3.3 전계효과 트랜지스터(FET, Field Effect Transistor)

1.4 디지털 회로(Digital Circuit)

1.4.1 디지털 표현

1.4.2 조합논리(Combinational Logic) 회로 해석

1.4.3 순차논리(Sequential Logic) 회로 해석

1.1 기본 전기 요소

1.1.1 전기회로 개요

- 전하(charge, Q): 원자와 결합력이 매우 작은 자유전자(free electron)
단위: 쿨롱(Coulomb) [C], $1C=6.24 \times 10^{18}$ electrons
- 전류(current, I): 전하의 속도(흐름)
단위: 암페어(Ampere) [A], $1A=1$ 초 동안 전하 1쿨롱 흐름
$$I(t) = \frac{dQ}{dt}$$
- 전압(voltage, V): 자유전자를 움직이게 하는 힘
단위: 볼트(volt), [V]
- 직류전류(DC, direct current): 전압과 전류가 시간에 관계없이 일정
- 교류전류(AC, alternating current): 전압과 전류가 시간에 따라 변화(삼각함수)
- 그림 1.1은 단순한 전기 회로의 예를 나타내고 그림 1.2는 전기회로 용어를 설명한다.

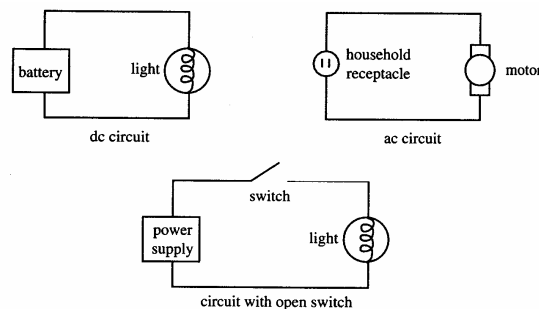


FIGURE 2.1
Electrical circuits.

그림 1.1 전기 회로들.

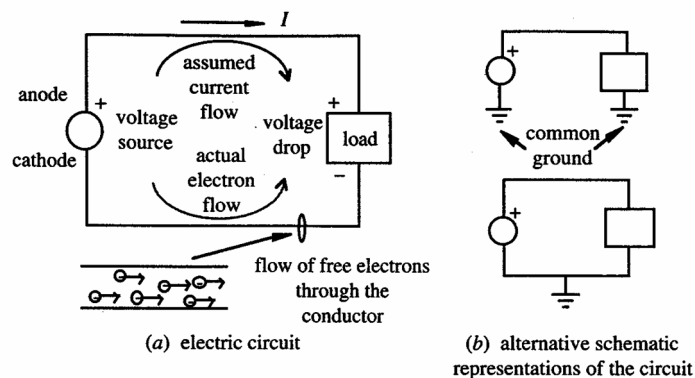


FIGURE 2.2
Electric circuit terminology.

그림 1.2 전기회로 용어.

Note: 전자는 음극(cathode)에서 양극(anode)로 이동하나, 통상적으로 전류는 양극에서 음극으로 흐른다고 가정한다(양전하의 흐름 방향). 회로에서 접지(ground)는 전압이 0 볼트인 기준점을 나타낸다.

- 기본 전기 요소:

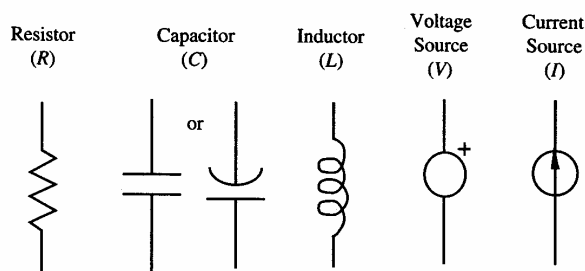


FIGURE 2.3
Basic electrical elements.

그림 1.3 기본 전기 요소.

1.1.2 저항(Resistor)

- 전류의 흐름을 방해, 전기에너지를 열로 소비하는 소자.
단위: 옴(ohm), $[\Omega]$
- 전압-전류 관계(Ohm 법칙): $V = IR$

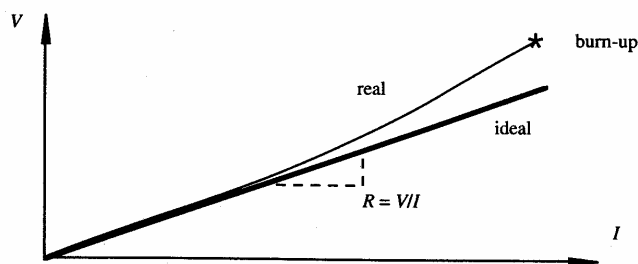


FIGURE 2.4
Voltage-current relation for an ideal resistor.

그림 1.4 저항의 전압-전류 관계.

- 선 저항:

$$R = \frac{\rho L}{A} \quad (\rho: \text{비저항율(resistivity)}, L: \text{선의 길이}, A: \text{선의 단면적.})$$

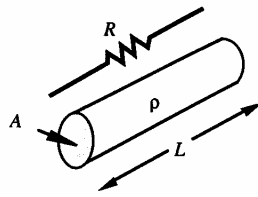


FIGURE 2.5
Wire resistance.

그림 1.5 선 저항.

Table 1.1 일반도체들의 저항률

TABLE 2.1 Resistivities of common conductors	
Material	Resistivity ($10^{-8} \Omega m$)
Aluminum	2.8
Carbon	4000
Constantan	44
Copper	1.7
Gold	2.4
Iron	10
Silver	1.6
Tungsten	5.5

- 포장 종류:

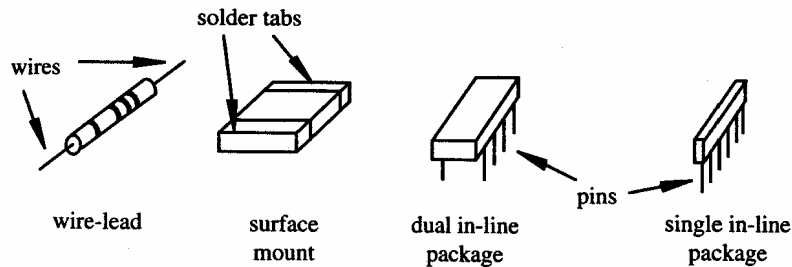


FIGURE 2.6
Resistor packaging.

그림 1.6 저항 포장 종류.

● 저항 읽는 법:

일반적인 리드선의 형태 저항은 1/4 watt 5% 허용치의 탄소 또는 금속 피막 저항.

$$R = ab \times 10^c \pm \text{tolerance}(\%)$$

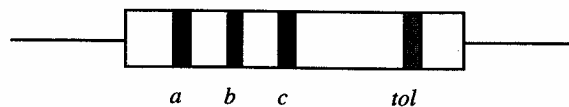


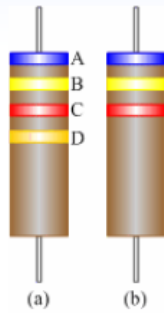
FIGURE 2.7
Wire-lead resistor color bands.

그림 1.7 저항의 색깔 띠.

Table 1.2 저항의 색깔 코드

TABLE 2.2
Resistor color band codes

<i>a, b, and c Bands</i>		<i>tol Band</i>	
Color	Value	Color	Value
Black	0	Gold	$\pm 5\%$
Brown	1	Silver	$\pm 10\%$
Red	2	Nothing	$\pm 20\%$
Orange	3		
Yellow	4		
Green	5		
Blue	6		
Violet	7		
Gray	8		
White	9		



색상	첫째 자리 A	둘째 자리 B	승수 C	오차 D
흑색	0	0	1	—
갈색	1	1	10	$\pm 1\%$
적색	2	2	100	$\pm 2\%$
등색	3	3	1,000	$\pm 3\%$
황색	4	4	10,000	$\pm 4\%$
녹색	5	5	100,000	—
청색	6	6	1,000,000	—
자색	7	7	10,000,000	—
회색	8	8	—	—
백색	9	9	—	—
금색	—	—	0.1	$\pm 5\%$
은색	—	—	0.01	$\pm 10\%$
무색	—	—	—	$\pm 20\%$

- 가변저항기(potentiometer):

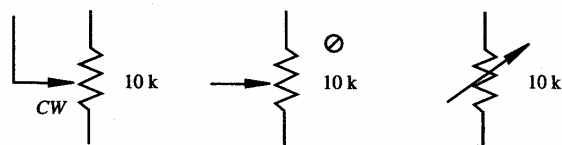
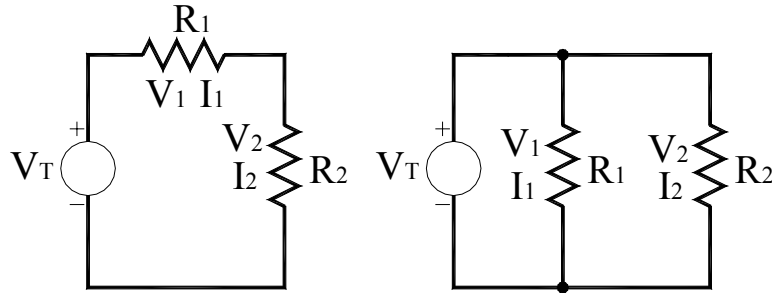


FIGURE 2.8
Potentiometer schematic symbols.

그림 1.7 가변저항 기호.

- 직렬(series) 및 병렬(parallel) 연결:



- 직렬회로: 하나의 전류 흐름

$I_T = I_1 = I_2$ (각 저항에 흐르는 전류가 같음)

$V_T = V_1 + V_2 \rightarrow$ (Ohm의 법칙($V = IR$) 적용) $R_T I_T = R_1 I_1 + R_2 I_2$

$$R_T = R_1 + R_2$$

- 병렬회로: 하나 이상의 전류 흐름

$V_T = V_1 = V_2$ (각 저항에 인가되는 전압이 같음)

$I_T = I_1 + I_2 \rightarrow$ (Ohm의 법칙($V = IR$) 적용) $\frac{V_T}{R_T} = \frac{V_1}{R_1} + \frac{V_2}{R_2}$

$$\frac{1}{R_T} = \frac{1}{R_1} + \frac{1}{R_2} \rightarrow R_T = \frac{R_1 R_2}{R_1 + R_2}$$

1.1.3 커패시터(Capacitor)

- 전기에너지를 저장하는 수동소자임.
- 커패시턴스(capacitance) 단위: 패러드(farad), [F]
- 전압과 전류 관계: $V(t) = \frac{1}{C} \int_0^t I(\tau) d\tau = \frac{Q(t)}{C}$, $I(t) = C \frac{dV}{dt}$.
-

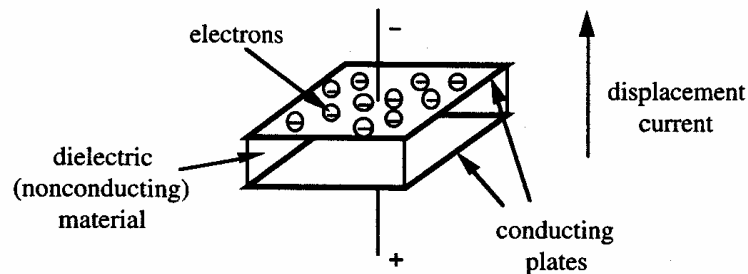


FIGURE 2.9
Parallel plate capacitor.

그림 1.9 평판형 커패시터.

- 사용 예:

- IC 칩에 보조적 전원공급장치로 역할(IC 칩은 순간적으로 큰 파워를 소모하므로 커

패시터에 축적한 전기에너지를 사용). 일반적으로 $0.1\mu\text{F}$ (104)를 IC 칩에 연결.

- Low-pass filter: 커패시터에 걸리는 전압은 전류의 적분이므로 전압은 순간적으로 변화할 수 없다. 이러한 특성을 이용하여 RC 회로형태로 저주파 통과 필터로 사용될 수 있다.

- 직렬 및 병렬 연결:

직렬연결: $C_{eq} = \frac{C_1 C_2}{C_1 + C_2}$, 병렬연결: $C_{eq} = C_1 + C_2$.

- 커패시터 종류:

- 전해 커패시터(electrolytic capacitor): 극성 있음(다리가 긴쪽이 양극임).
- 세라믹 커패시터(ceramic capacitor): 극성 없음.
- 크기의 범위: $1\text{ pF} \sim 1000\text{ }\mu\text{F}$. 일반적으로 세자리수로 표현(처음 두수는 값을 나타내고, 세 번째는 pF의 10의 승수, $104 = 10 \times 10^4\text{ pF} = 0.1\mu\text{F}$).

1.1.4 인덕터(Inductor)

- 자기장 형태로 전기에너지 저장.
- 인덕터(즉, 코일)은 현재 설정된 자기장을 유지하려는 성향을 갖는다.
- 인덕턴스(L, inductance) 단위: 헨리(Henry), [H]

- 전압과 전류 관계: $V = L \frac{dI}{dt}$, $I(t) = \frac{1}{L} \int_0^t V(\tau) d\tau$.

- 직렬 및 병렬 연결:

직렬연결: $L_{eq} = L_1 + L_2$, 병렬연결: $L_{eq} = \frac{L_1 L_2}{L_1 + L_2}$.

- 인덕터의 크기: $1\mu\text{H} \sim 100\text{ mH}$

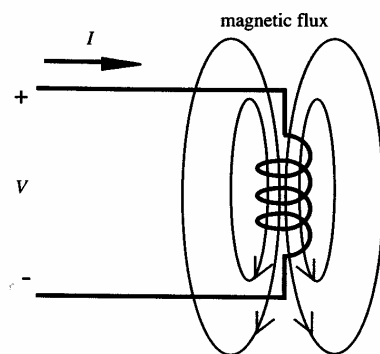


FIGURE 2.10
Inductor flux linkage.

그림 1.10 인덕터의 플럭스.

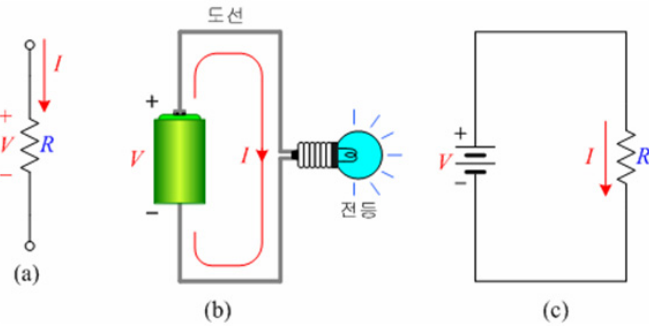
1.2 전기회로 해석

1.2.1 Ohm의 법칙

- 전압강하(voltage drop): 전류가 저항을 통과하면 전압이 떨어짐. $V = IR$

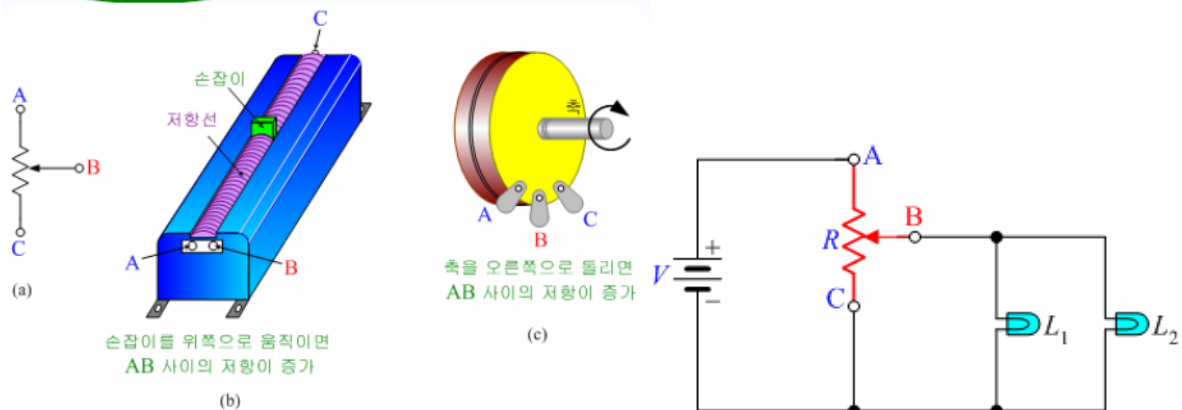
옴의 법칙

$$V = IR$$



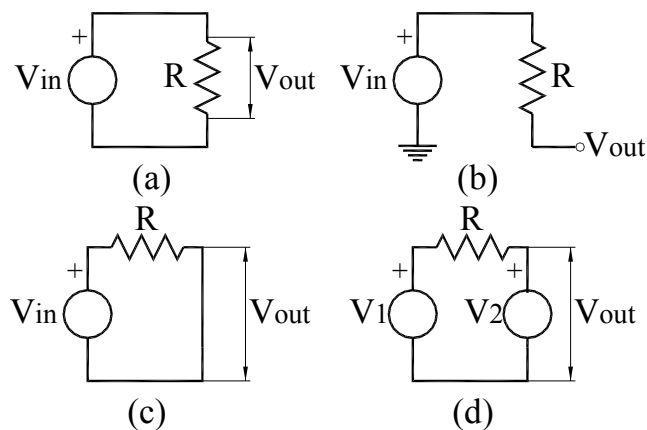
- 전압강하:

전위차계



[예제 1.1] Ohm의 법칙 및 전압강하 개념

- 다음 회로의 출력전압(V_{out})을 구하라.



- 해답: (a) $V_{out} = V_{in}$, (b) $V_{out} = V_{in}$ (전류=0이므로 저항에서 전압강하가 발생하지 않음),
(c) $V_{out} = 0$ (저항=0이므로 전압강하가 없음), (d) $V_{out} = V_2$

1.2.2 Kirchoff의 법칙

(1) Kirchoff 전압법칙(Kirchoff's Voltage Law, KVL):

- 폐회로에서 전압의 합은 영. $\sum_{i=1}^N V_i = 0$
- 적용방법:
 - 각 분기회로에서 전류의 방향 가정(모든 소자의 전류 방향 가정).
 - 각 소자의 극성 설정(소자에 전류가 들어가는 방향은 +극으로 설정. 소자에서 전류가 나가는 방향은 -극으로 설정). 단, 전압원에 걸리는 전압의 극성은 주어진 대로 유지 (임의로 바꾸면 안됨).
 - KVL Loop의 방향을 시계 또는 반시계 방향으로 가정.
 - 각 소자의 부호 설정(KVL Loop 방향과 같은 방향이면 + 부호, 다른 방향이면 - 부호 부여)후 합을 구함. $-V_1 - V_2 + V_3 + \dots + V_N = 0$

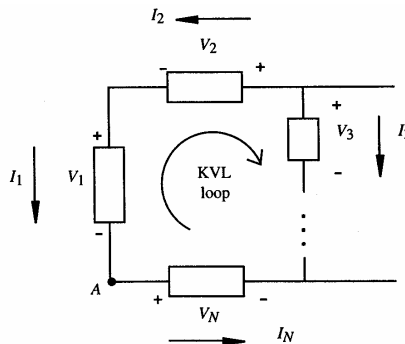


FIGURE 2.11
Kirchoff's Voltage Law.

그림 1.11 Kirchoff 전압법칙.

(2) Kirchoff 전류법칙(Kirchoff's Current Law, KCL):

- 한 노드에 흘러 들어오는 전류의 합은 영. $\sum_{i=1}^N I_i = 0$
- 적용방법:
 - 한 노드로 흘러 들어오면 + 부호, 흘러 나가면 - 부호 부여. $I_1 + I_2 - I_3 = 0$

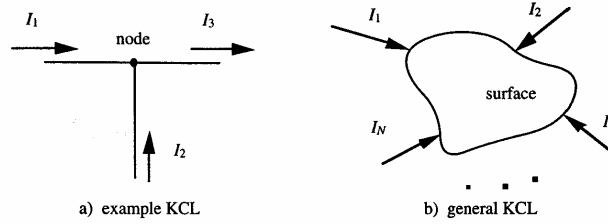


FIGURE 2.12
Kirchoff's Current Law.

그림 1.12 Kirchoff 전류법칙.

[예제 1.2] 직렬저항 회로

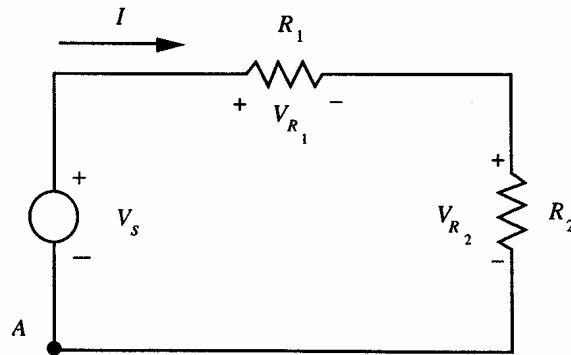


FIGURE 2.13
Series resistance circuit.

그림 1.13 직렬저항 회로.

(풀이)

- KVL 적용: 노드 A에서 시작하여 시계방향으로 전류의 방향을 가정함.

$$-V_s + V_{R1} + V_{R2} = 0$$

- Ohm의 법칙:

$$V_{R1} = IR_1, \quad V_{R2} = IR_2$$

- 식을 정리하면:

$$-V_s + IR_1 + IR_2 = 0$$

- 전류 I 에 대하여 풀이를 하면:

$$I = \frac{V_s}{(R_1 + R_2)}$$

- 직렬저항 회로에서 등가저항은 저항들의 합으로 구할 수 있다.

$$R_{eq} = R_1 + R_2$$

- 전압분배기(voltage divider):

- 2개의 저항이 직렬로 연결된 회로.

- 각 저항에서 전압강하는 각각 다음과 같다.

$$V_{R1} = \frac{R_1}{(R_1 + R_2)} V_s, \quad V_{R2} = \frac{R_2}{(R_1 + R_2)} V_s$$

- 저항값의 비율의 변화에 따라 출력전압을 변동시킬 수 있다(즉, potentiometer).

[예제 1.3] 병렬저항 회로

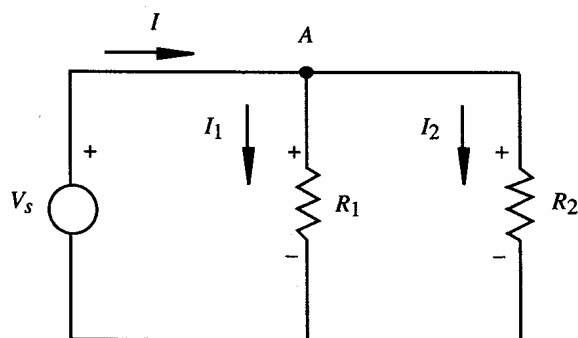


FIGURE 2.14
Parallel resistance circuit.

그림 1.14 병렬저항 회로.

(풀이)

- KVL 및 Ohm의 법칙으로부터 다음 식을 얻을 수 있다.

$$I_1 = \frac{V_s}{R_1}, \quad I_2 = \frac{V_s}{R_2}$$

- 노드 A에서 KCL을 적용하면,

$$I - I_1 - I_2 = 0$$

- 수식을 정리하면 다음과 같다.

$$I = \frac{V_s}{R_1} + \frac{V_s}{R_2} = V_s \left(\frac{1}{R_1} + \frac{1}{R_2} \right)$$

- 병렬저항 회로에서 등가저항은 다음과 같다.

$$\frac{1}{R_{eq}} = \frac{1}{R_1} + \frac{1}{R_2}, \quad \text{즉, } R_{eq} = \frac{R_1 R_2}{R_1 + R_2}$$

● 전류분배기(current divider):

- 2개의 저항이 병렬로 연결된 회로:

$$I_1 = \frac{R_2}{R_1 + R_2} I, \quad I_2 = \frac{R_1}{R_1 + R_2} I$$

[예제 1.4] 복합 회로

- 다음 회로에서 각 저항에 흐르는 전류를 구하여라. 단, 전압원의 전압과 저항값은 다음과 같다.
- $V_1 = 1[V], V_2 = 2[V], R_1 = 1[k\Omega], R_2 = 3[k\Omega], R_3 = 2[k\Omega]$

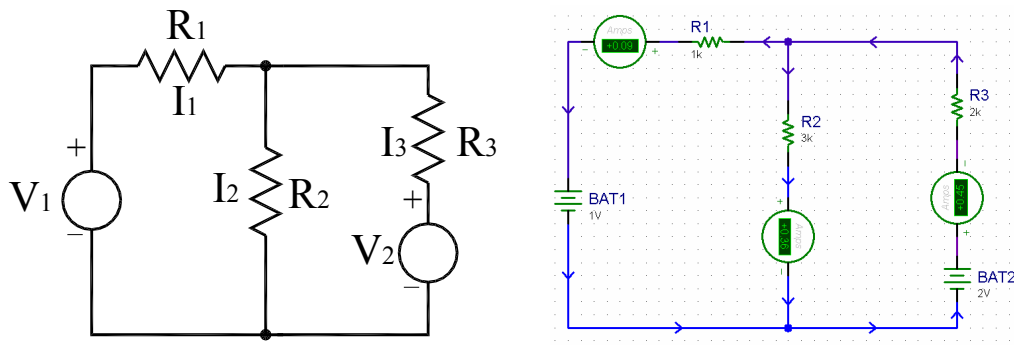


그림 1.15 복합 회로.

- 오른쪽 그림과 같이 각 저항에서 전류의 방향가정. KVL 루프방향을 시계방향으로 설정.
- 왼쪽 폐루프에 KVL 적용: $-V_1 - R_1 I_1 + R_2 I_2 = 0 \rightarrow -R_1 I_1 + R_2 I_2 = V_1$
- 오른쪽 폐루프에 KVL 적용: $-R_2 I_2 - R_3 I_3 + V_2 = 0 \rightarrow R_2 I_2 + R_3 I_3 = V_2$
- A점에 KCL 적용: $-I_1 - I_2 + I_3 = 0 \rightarrow I_3 = I_1 + I_2$
- 위의 3개의 연립방정식을 풀이하면, $I_1 = 1/11[\text{mA}]$, $I_2 = 4/11[\text{mA}]$, $I_3 = 5/11[\text{mA}]$

1.2.3 Thevenin과 Norton 등가회로

- 테브닌 등가회로: 전압원(개방전압)과 등가저항의 직렬 결합.
- 노턴 등가회로: 전류원(단락전류)와 등가저항의 병렬 결합. 따라서, 테브닌 등가회로와 노턴 등가회로는 전원변환 관계임.
- 개방전압(V_{OC}): 단자를 개방하였을 때, 양단에 걸리는 전압.
- 단락전류(I_{SC}): 단자를 단락하였을 때 흐르는 전류.
- 등가저항(R_{TH}): 단락전류에 대한 개방전압의 비.

$$V_{OC} = \frac{R_2}{R_1 + R_2} V_s, \quad R_{TH} = \frac{R_2 R_1}{R_2 + R_1}, \quad I_{SC} = \frac{V_{OC}}{R_{TH}}$$

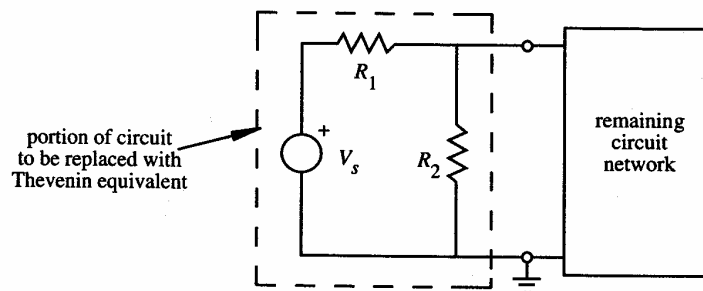


FIGURE 2.22
Example illustrating Thevenin's Theorem.

그림 1.16 테브닌과 노턴 등가회로를 설명하는 예제.

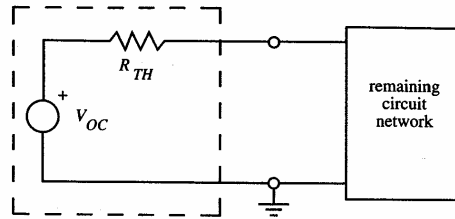


FIGURE 2.23
Thevenin equivalent circuit.

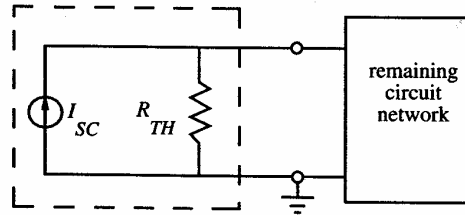


그림 1.17 테브닌과 노턴 등가회로.

1.2.4 기타 사항

(1) 교류회로

- 교류회로를 해석할 경우에는 진폭(amplitude), 주파수(frequency) 및 위상각(phase angle)을 고려하여야 한다.
- 교류회로에서 전압과 전류는 RMS (Root-mean-square) 값을 사용함. 즉, 실제 진폭의 $1/\sqrt{2}$ 에 해당한다.

$$I_{rms} = \sqrt{\frac{1}{T} \int_0^T I^2 dt} = \frac{I_m}{\sqrt{2}}, \quad V_{rms} = \sqrt{\frac{1}{T} \int_0^T V^2 dt} = \frac{V_m}{\sqrt{2}}$$

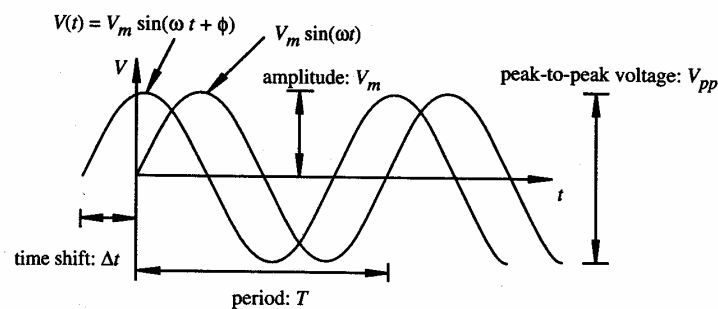


FIGURE 2.25
Sinusoidal waveform.

그림 1.18 사인파형 교류전압.

(2) 전력(Power)

- 전력: 단위시간당 일. $P = \frac{dW}{dt} = V \frac{dq}{dt} = V I$
- 저항회로에서 전력: $P = V I = I^2 R = V^2 / R$

(3) 변압기(Transformer)

- 1차와 2차 권선에서의 전압관계는 다음과 같이 권선의 감긴 수에 비례한다.

$$\frac{V_P}{N_P} = \frac{V_S}{N_S} = -\frac{d\phi}{dt} \rightarrow V_S = \frac{N_S}{N_P} V_P$$

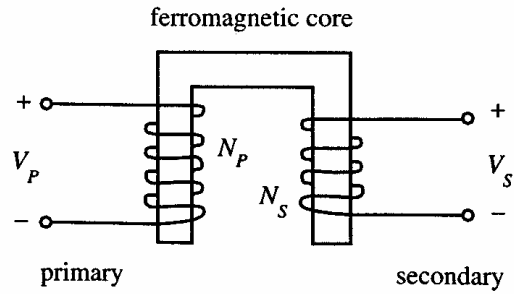


FIGURE 2.28 Transformer.

그림 1.19 변압기 구조.

(4) 접지(Ground) 및 잡음(Noise)

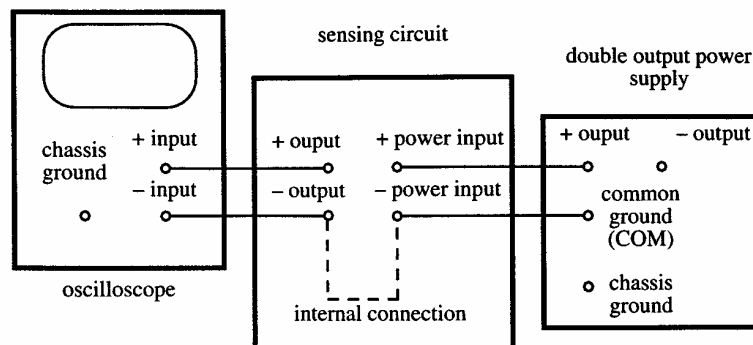
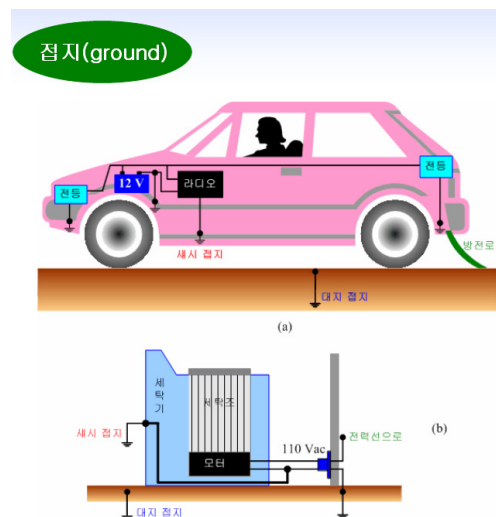


FIGURE 2.32 Common ground.

그림 1.20 공통접지.

- EMI (electromagnetic interference)로 인하여 실제 측정값은 실제 전압과 잡음의 합으로 된다. $V_{measured} = V_{actual} + V_{noise}$.

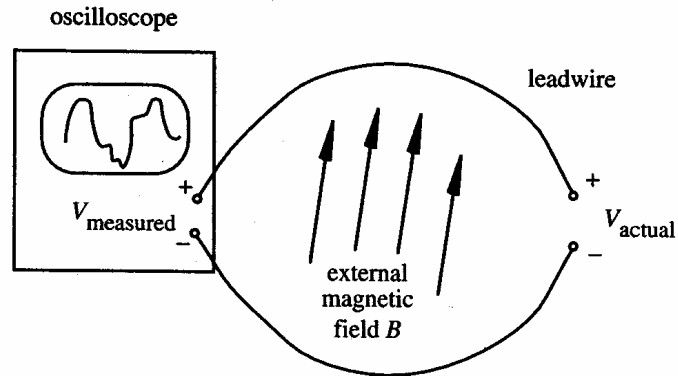


FIGURE 2.33
Inductive coupling.

그림 1.21 EMI 노이즈.

(5) 단락과 개방

단락과 개방

◆ 단락(short)

$$R=0$$

전류는 존재하나 전압은 0

◆ 개방(open)

$$R=\infty$$

전압은 존재하나 전류는 0

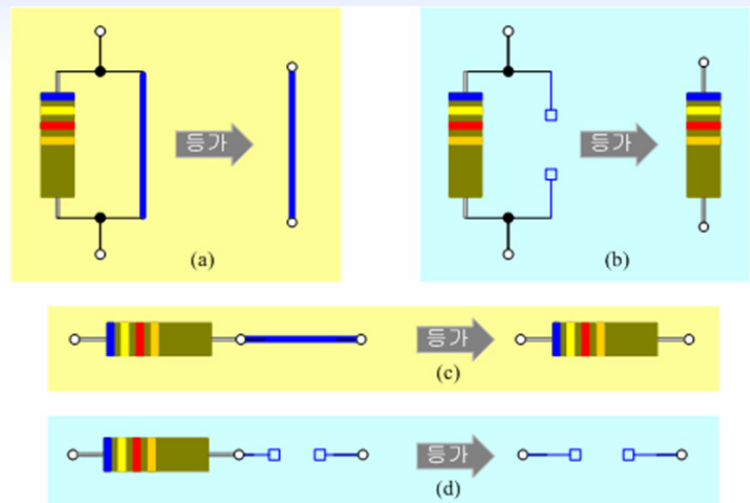
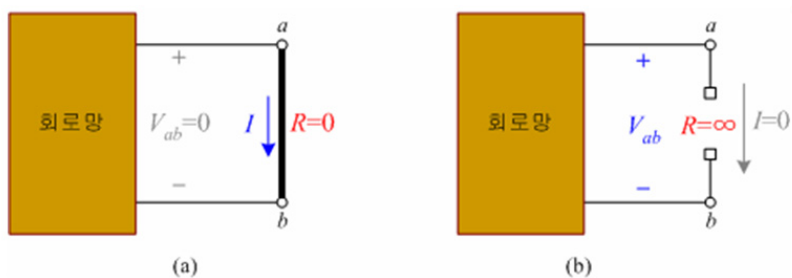


그림 1-23



(6) 멀티미터(Multimeter) 사용법:



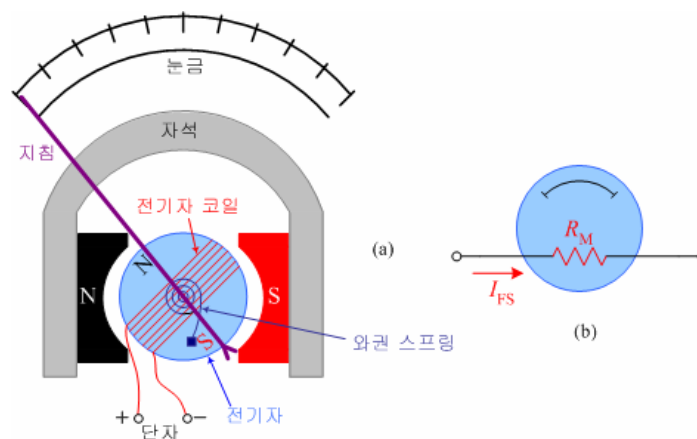
디지털 화면(LCD) : 3 3/4 디지털(최대 3999 카운트), 15mm High
 아날로그 바 그래프 화면: 38 마디(화면아래표시)
 자동범위(Autorange)와 수동범위(Manualrange) 측정 기능
 RS 232C 기본 인터페이스
 조명(Back Light) 기능
 전원 : 배터리 6F22(9V) - 1개
 크기/무게 : 78 x 186 x 35mm/ 대략 300g



장비 사양

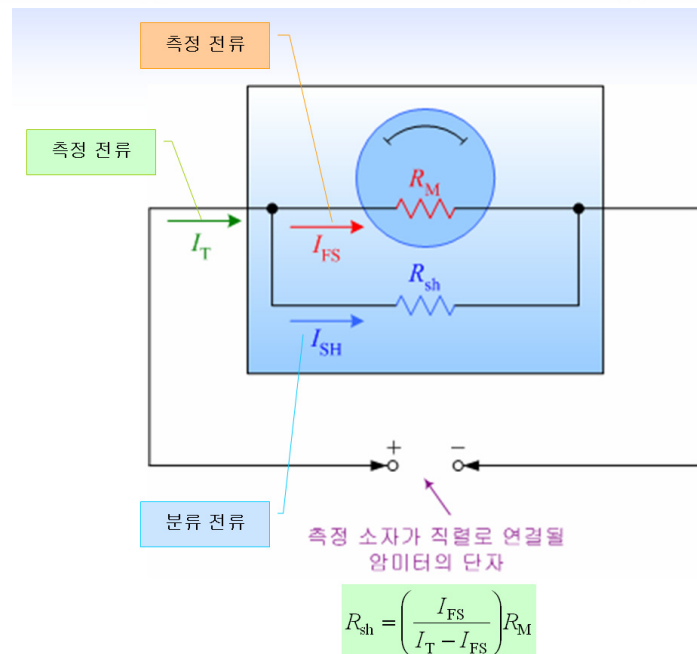
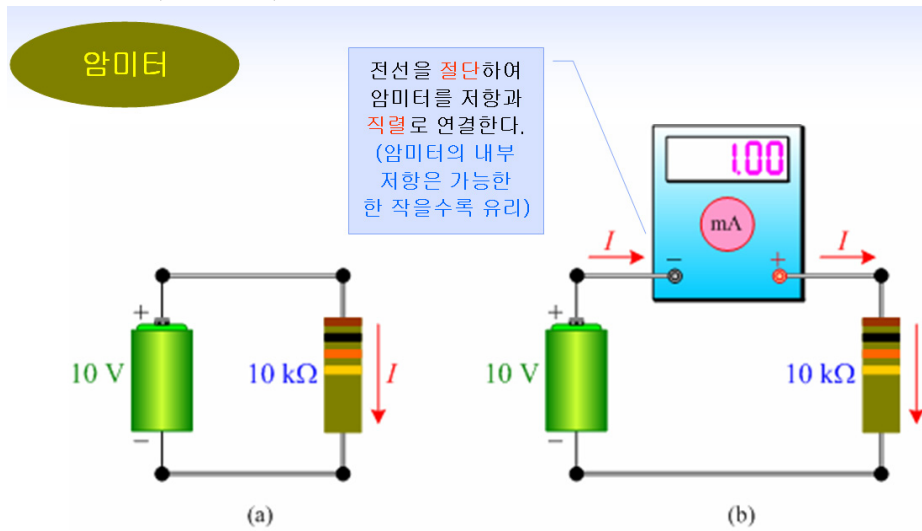
DC 전압 : 4/40/400V \pm 0.5%, 1000V \pm 0.8%
 AC 전압 : 4/40/400V \pm 1.2%, 750V \pm 1.5%
 DC 전류 : 4/40/400mA \pm 1.2%, 10A \pm 2.0%
 AC 전류 : 4/40/400mA \pm 1.5%, 10A \pm 3.0%
 저항 : 40 Ω /4K/40K/400K/4M Ω \pm 1.2%, 40M Ω \pm 3.0%
 캐패시턴스 : 4/400nF \pm 4.0%
 온도 : 0~750 $^{\circ}$ C (0~750 $^{\circ}$ C \pm 3.0%)
 트랜지스터(hFE) : 1~1000
 다이오드 검사
 소리음 도통(단락) 검사
 데이터 고정(Data hold)

● 동작원리:

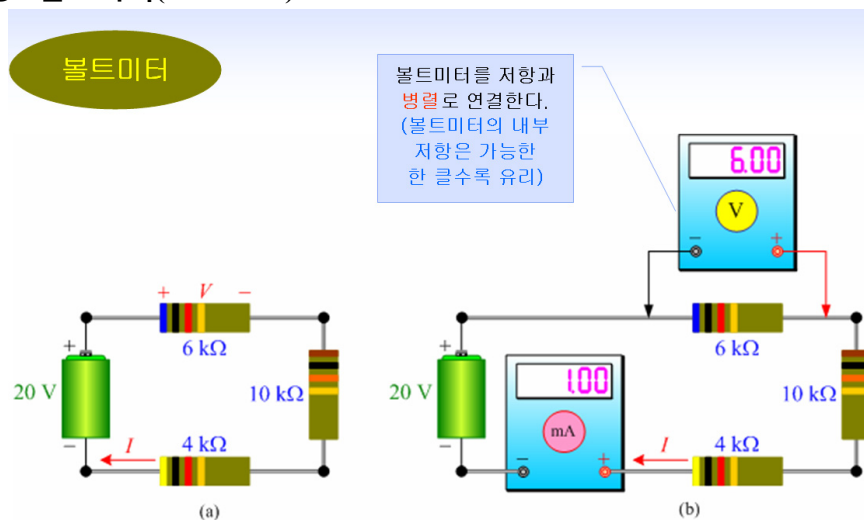


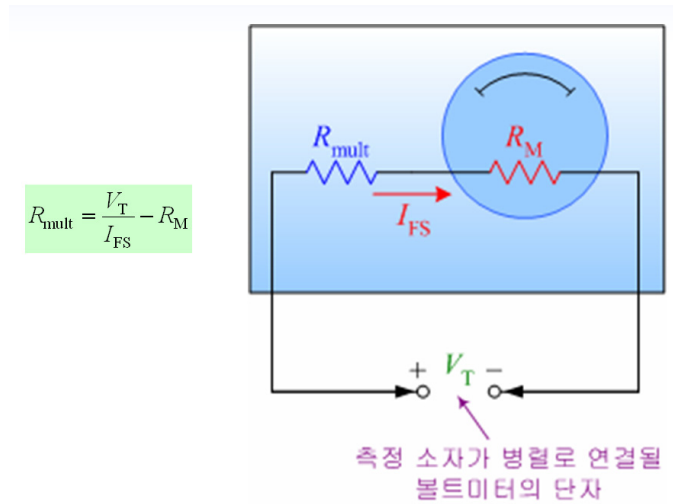
[가동코일형 계측기]

- 전류계측: 암미터(ammeter)

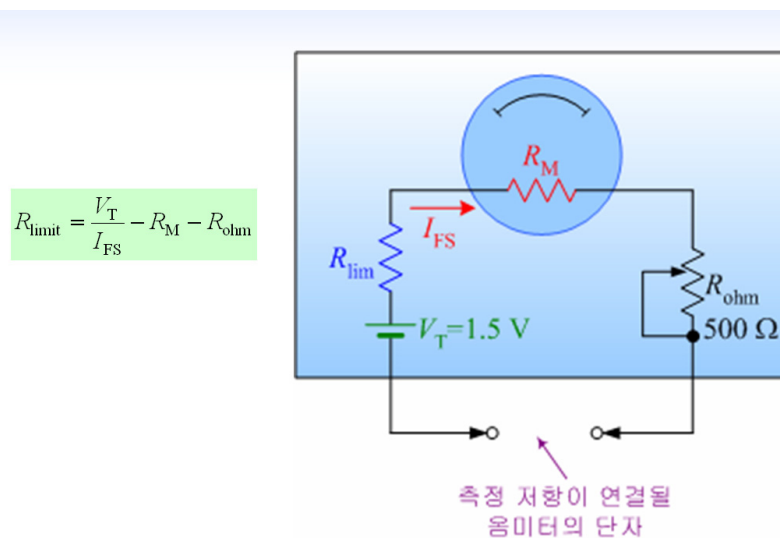
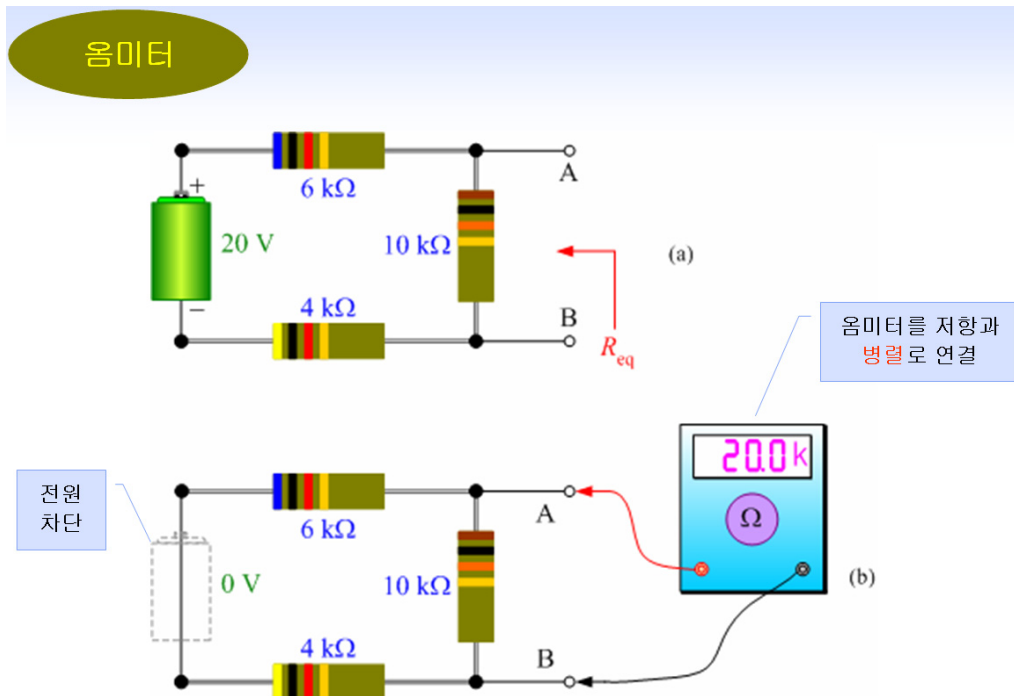


- 전압측정: 볼트미터(voltmeter):

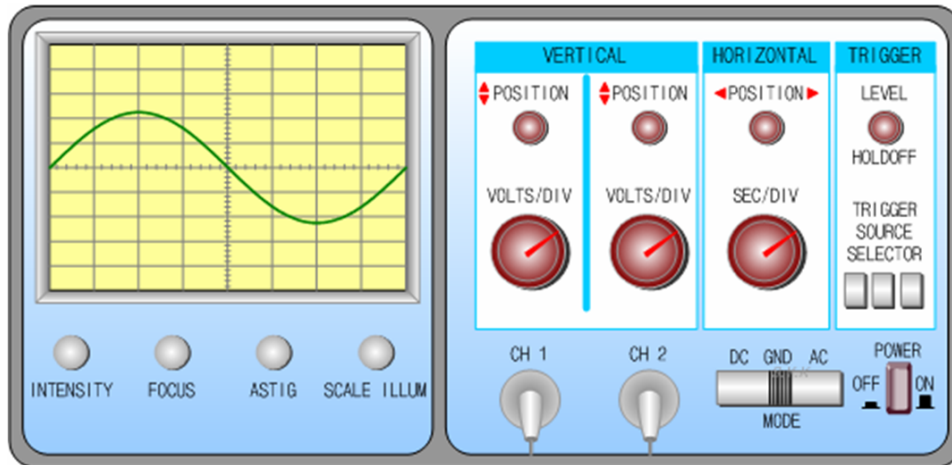




- 저항측정: 옴미터(ohmmeter):



● 파형측정: 오실로스코프(oscilloscope):



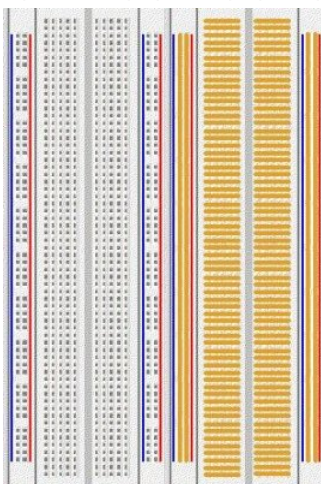
(7) Breadboard 사용법

● 브레드 보드란

- 회로의 개발 또는 원형판(prototype version)을 위하여 사용하는 기판(말 그대로 빵틀이라는 뜻으로 그 틀을 한번 쓰고 버리지 않고 여러 번 계속 쓴다는 의미에서 나옴)

● 브레드 보드 사용법

- 가로줄: 전류가 통함.
- 세로줄: 전류가 통하지 않음(단, 전원 연결선은 세로로만 통함).
- 브레드보드에 따라 조금씩 위치가 다르다.
- 부품은 라디오 펜치(롱노즈플라이어)를 이용하여 기판 깊숙이 꽂는데 부품을 먼저 꽂고 연결선은 나중에 회로도를 하나 하나 따라가며 연결 한다.
- 부품과 부품사이는 연결선을 이용함이 원칙.
- 보드 전체를 넓게, 골고루 이용하며 부품이 한쪽으로만 치우치지 않도록 구성한다.
- 회로가 완성되어 동작시킨다 뒤 부품과 연결선은 제자리에 모아둘 것



[사용할 브레드 보드]

● 부품 확인 및 꾸미기

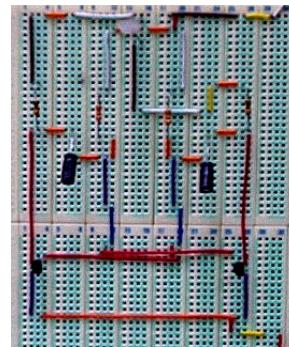
- 회로도를 먼저 보고 이해를 한다.
- 필요한 부품을 점검할 것. 특히 저항의 색띠를 확인함. (저항값 계산 연습) (저항은 극은 없으나 오른쪽이나 아랫쪽으로 금색띠가 오도록 통일한다).
- 전해 콘덴서는 극성을 주의할 것.
- TR(트랜지스터)의 E. B. C 바르게 꽂기.
- 다이오드의(A·K) 방향 주의.
- 작동이 되지 않으면 처음부터 회로를 보고 다시 꾸미고 확인하기.

● 뒷정리 하기

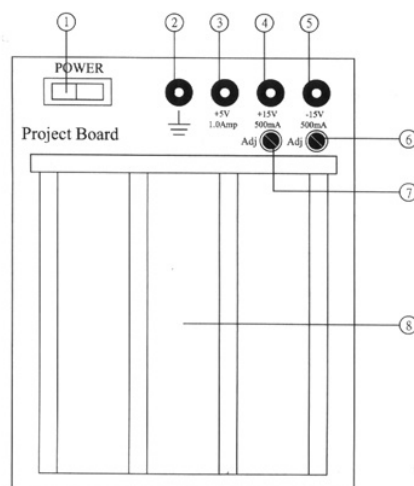
- 부품을 잘 뽑아 한군데 모으기(다음 사용자를 위해).
- 연결선을 제자리에 모으기.
- 보드판 정리 등.



[연결선]



[회로작성예]



- | | |
|----------------------------|------------------------------|
| 1 · MAIN SWITCH WITH LIGHT | 5 · 0 ~ -15VDC OUTPUT |
| 2 · GROUND | 6 · 0 ~ -15VDC ADJUSTMENT VR |
| 3 · +5VDC OUTPUT | 7 · 0 ~ +15VDC ADJUSTMENT VR |
| 4 · 0 ~ +15VDC OUTPUT | 8 · BREAD BOARD |

1.3 반도체 전자(Semiconductor)

1.3.1 정선 다이오드(Junction Diode)

- n형 실리콘과 p형 실리콘
 - n형 실리콘: 4개의 가전자(valence electron)을 갖는 실리콘(silicon)에 5개의 가전자를 갖는 물질(비소(arsenic) 또는 인(phosphorous))을 첨가. 1개의 전자(도너(donor))가 자유롭게 이동
 - p형 실리콘: 4개의 가전자를 갖는 실리콘에 3개의 가전자를 갖는 물질(붕소(boron) 또는 갈륨(gallium))을 첨가. 1개의 전자 부족으로 정공(hole)(억셉터(acceptor)) 생성.
- PN 정선 다이오드:

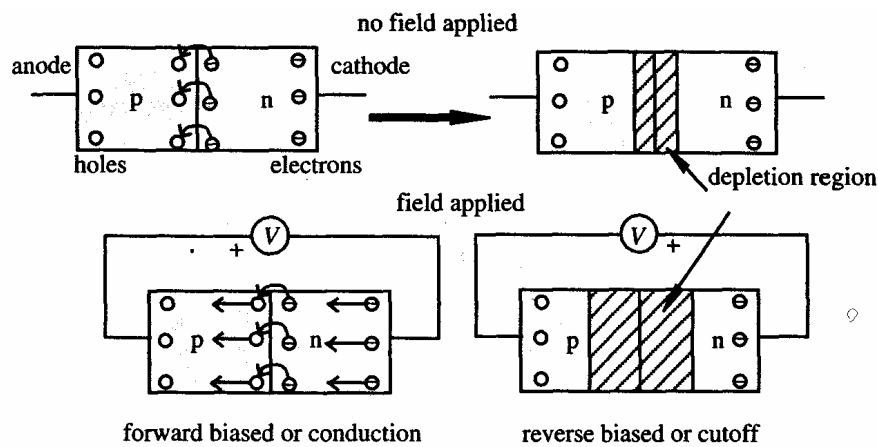


FIGURE 3.2
pn Junction characteristics.

그림 1.22 pn 접합 특성.

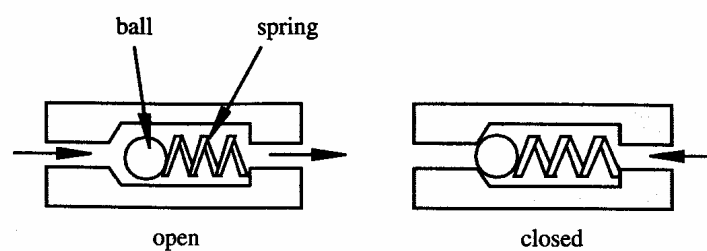


FIGURE 3.4
Diode check valve analogy.

그림 1.23 다이오드와 체크밸브의 유사성.

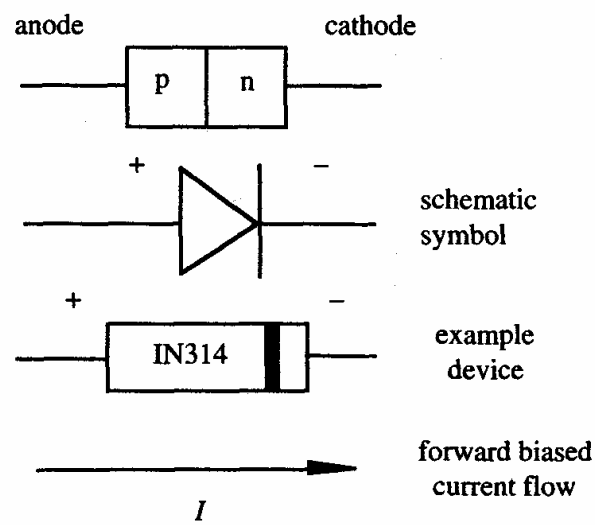


FIGURE 3.3
Silicon diode.

그림 1.24 다이오드 기호.

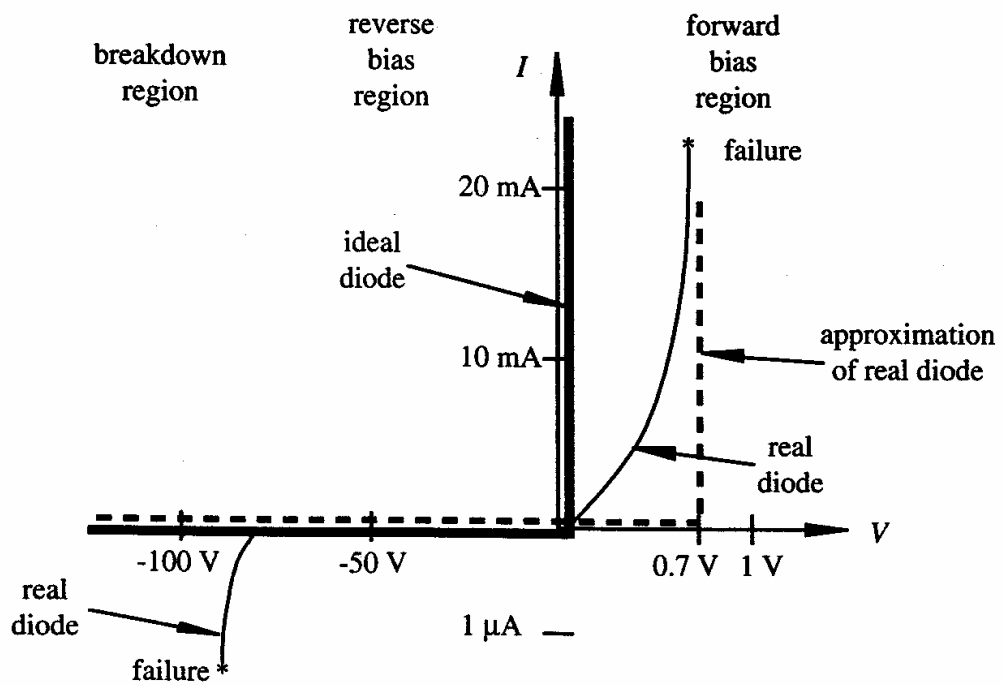
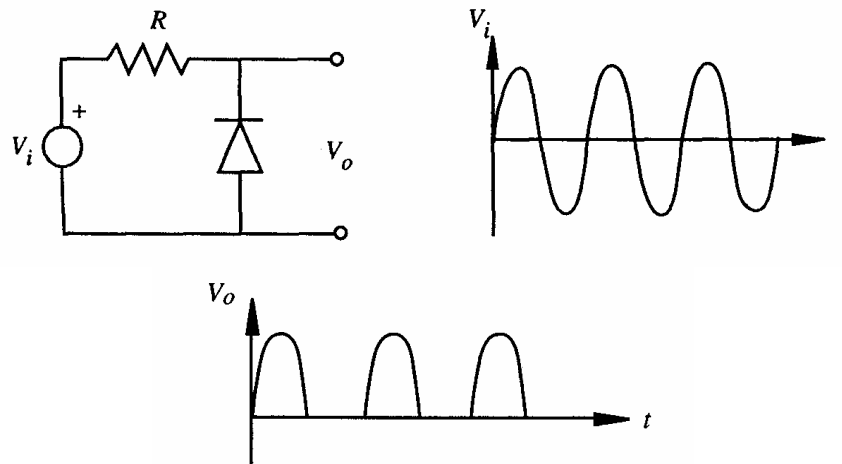


FIGURE 3.5
Ideal, approximate, and real diode curves.

그림 1.25 다이오드의 전류-전압 곡선.

[예제 1.5] 반파정류(Half-Wave Rectifier) 회로



- $V_i > 0$: 다이오드는 역방향 바이어스(*reverse biased*)되어 개회로(open circuit). 따라서 저항에 전류가 흐르지 않고 출력 V_o 는 V_i 와 같다.
- $V_i < 0$: 다이오드는 순방향 바이어스(*forward biased*)되어 단락회로(short circuit). 따라서 다이오드 양단에 전압강하가 없으며 V_o 는 0V이다.
- 반쪽의 양의 파형만 남게 되므로, 반파 정류기라 한다.
- 실제 다이오드에서는 순방향 바이어스를 하기 위해 0.7V가 필요하다.

(1) 광다이오드(Optoelectronic Diode)

● 발광다이오드(LED, light-emitting diode)

- 순방향 바이어스일 때, 광자를 방출. 빨강, 노랑, 초록색이 있음.
- 순방향 바이어스일 때, 1.5~1.5 V 전압강하.
- 일반적으로 디지털 회로(5V)에 사용시 330Ω 저항을 직렬로 연결하여 사용.

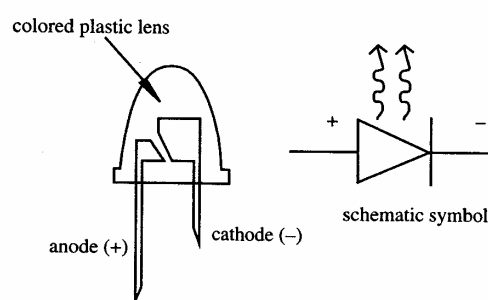


FIGURE 3.11
Light-emitting diode (LED).

그림 1.26 발광 다이오드(LED).

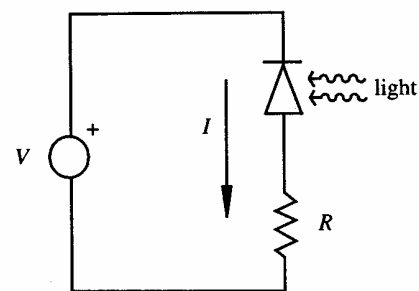


FIGURE 3.12
Photodiode light detector circuit.

그림 1.27 광다이오드의 빛 감지회로.

● 광다이오드(Photodiode)

- PN 정션이 빛에 민감한 점을 이용.
- 광트랜지스터(photo transistor)가 더욱 빛에 민감함.

1.3.2 바이폴라 정션 트랜지스터(BJT, Bipolar Junction Transistor)

(1) 물리적 특성

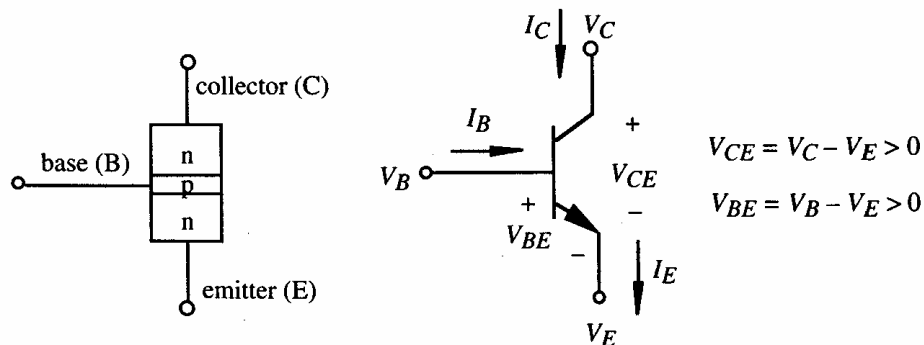


FIGURE 3.13
nnp Bipolar junction transistor.

그림 1.28 npn 바이폴라 정션 트랜지스터.

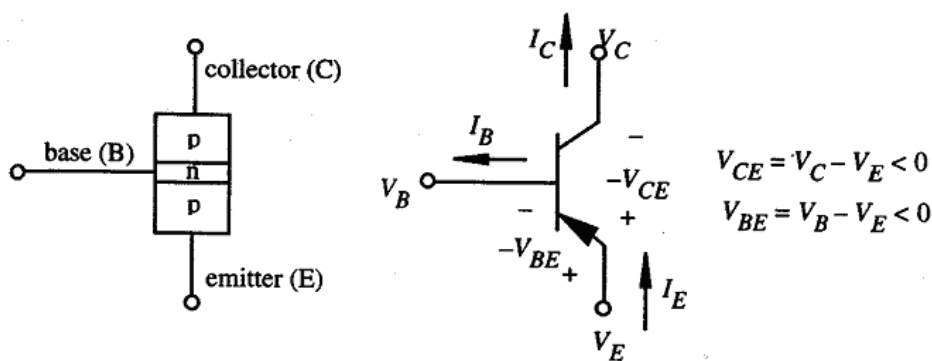


FIGURE 3.14
pnp Bipolar junction transistor.

그림 1.29 pnp 바이폴라 정션 트랜지스터.

- npn BJT의 작동에 대해서만 살펴보자: 베이스(base, p-type)와 에미터(emitter, n-type)는 pn 정션을 만든다. 이 접합은 순방향바이어스($V_B - V_E = 0.7V$)이기 때문에, 전자는 에미터 n-형 영역에서 베이스의 p-형 영역으로 이동한다.
- 컬렉터(collector)가 베이스보다 양전압이므로, 대부분의 전자가 높은 전압을 갖은 컬렉터로 이동한다.
- 트랜지스터를 가변저항기 또는 전류 증폭기로 생각할 수 있다(컬렉터의 큰 전류를 베이스의 작은 전류로 제어할 수 있다. $I_C = \beta I_B$, 여기서 β 는 증폭이득이고 100 정도의 값을 갖는다.). 그러나, 메카트로닉스에서는 BJT를 스위치용도로만 사용할 것 이다.
- 전류와 전압간의 관계:

$$I_E = I_C + I_B, \quad V_{BE} = V_B - V_E, \quad V_{CE} = V_C - V_E$$

(2) 에미터 공통 트랜지스터 회로

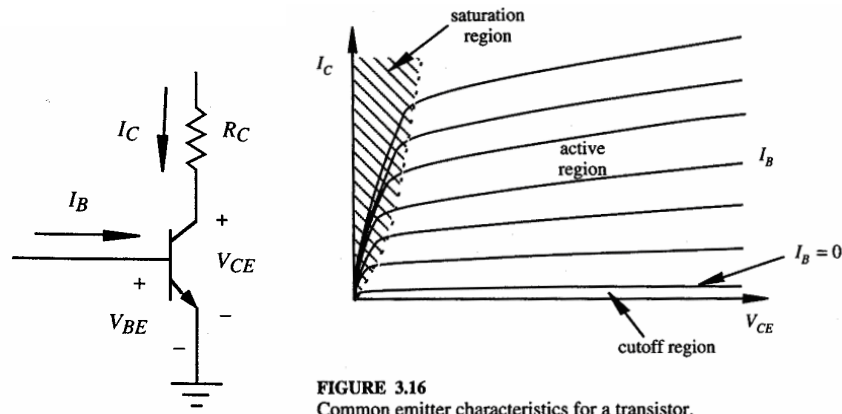
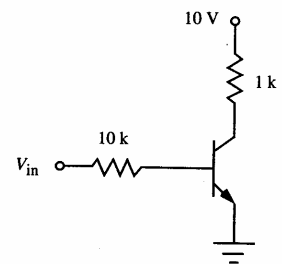


그림 1.30 에미터 공통회로 및 트랜지스터의 특성곡선.

- 에미터 공통회로의 특성은 여러 가지 베이스 전류값 I_B 에 대해 컬렉터 전류 I_C 와 컬렉터-에미터 전압 V_{CE} 의 특성곡선으로 잘 설명할 수 있다.
- 베이스-에미터 다이오드는 $V_{BE} \approx 0.6V$ 일 때, ON된다.
- 이때, I_C 는 I_B 에 비례함($I_C = \beta I_B$) → 증폭기(active region).
- I_B 가 더욱더 증가함에 따라, V_{BE} 는 점차 0.7V까지 증가하고, I_C 는 급격히 증가한다.
- I_C 가 증가함에 따라, R_C 에서 전압강하는 증가하고, V_{CE} 는 0에 가까워진다.
- 포화영역(saturation region)에서, I_C 와 I_B 의 선형관계는 더 이상 유지하지 못한다. 일반적으로, $V_{BE} = 0.7V$, $V_{CE} = 0.2V$ 일 때, 트랜지스터는 포화된다.
- 요약: $V_{BE} < 0.7V \rightarrow I_C = 0$ (OFF), $V_{BE} > 0.7V \rightarrow I_C$ 증가, $V_{CE} = 0.2V$ (ON)

[예제 1.9] 트랜지스터를 포화영역에서 작동하도록 만들기

- 소형 트랜지스터 2N3904의 규격은 다음과 같다.
- 연속 최대 컬렉터 전류 = 200 mA
- $V_{CE}(\text{sat}) = 0.2V$
- $h_{FE} = \beta = 100$
- 다음의 회로에서 트랜지스터가 포화되기 위한 최소 입력 전압 V_{in} 은 얼마인가?



(풀이)

- $I_C = (10 - 0.2)V / 10K\Omega = 9.8mA$.
- $I_C = 10mA$ 에 대한 DC 전류이득 h_{FE} 이 약 100이므로, $I_B = I_C / 100 = 0.098mA$ 이다.
- 베이스 전류는 $I_B = 0.098mA = (V_{in\min} - 0.7V) / 10k\Omega$.
- 포화영역에서 최소 요구 입력전압은 다음과 같다.
- $V_{in\min} = 0.98V + 0.7V = 1.68V$.

(3) 바이폴라 트랜지스터 스위치

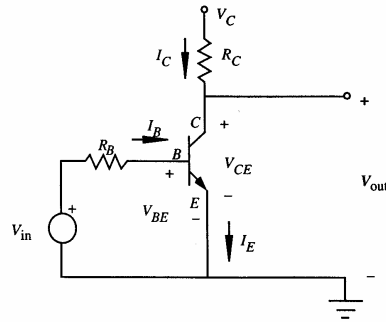


FIGURE 3.17
Transistor switch circuit.

그림 1.31 트랜지스터 스위치 회로.

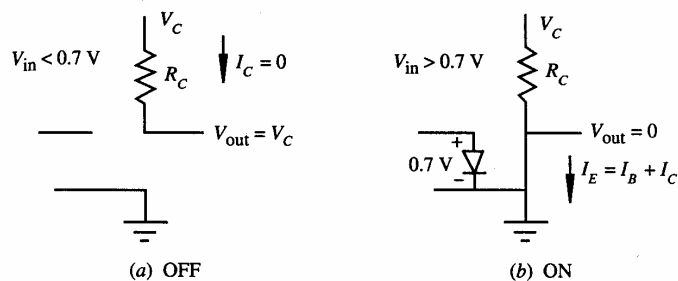


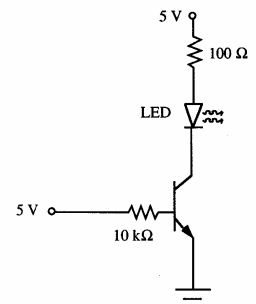
FIGURE 3.18
Models for transistor switch states.

그림 1.32 트랜지스터 스위치 모델.

- $V_{in} < 0.7 \text{ V}$ 일 때, BE 접합은 순방향바이어스가 아니므로 ($V_{BE} < 0.7 \text{ V}$) 트랜지스터는 통하지 않는다 ($I_C = I_E = 0$).
- $V_{in} > I_B R_B + 0.7 \text{ V}$ 이면, BE 접합은 순방향바이어스가 되고 트랜지스터는 포화된다. 베이스-에미터와 컬렉터-에미터사이의 저항은 매우 작으므로, I_B 와 I_C 전류를 제한하기 위하여 두 개의 저항이 필요하다. 저항의 크기를 선정하기 위해서는 I_B , I_C , V_{CE} 의 규격을 참고해야 한다.

[예제 1.10] LED 스위치

- 이 문제의 목적은 출력 전압이 0V 또는 5V 그리고 최대 전류값이 5 mA인 디지털 소자로 LED를 ON/OFF 할 수 있는 회로를 설계하는 것이다.
- LED를 밝게 ON시키기 위해 40~50mA가 필요하다.
- 디지털 출력이 0V일 때, LED는 OFF이다.
- 디지털 출력이 5V일 때, 트랜지스터는 포화상태가 되고 베이스 전류와 LED에 흐르는 전류는 다음과 같다.
- $0.43 \text{ mA} = (5 \text{ V} - 0.7 \text{ V})/10 \text{ k}\Omega$, $48 \text{ mA} = (5 \text{ V} - 0.2 \text{ V})/100 \Omega$.



(4) 바이폴라 트랜지스터 패키지

- 소신호 트랜지스터의 패키지는 TO-92이고, 파워 트랜지스터는 TO-220을 사용한다. SOT-23는 주로 PCB기판에 사용한다.

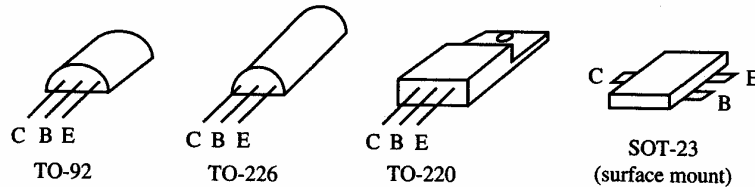


FIGURE 3.19
Bipolar transistor packages.

그림 1.33 바이폴라 트랜지스터 패키지.

(5) 광트랜지스터와 Opto-Isolator

● Opto-Isolator:

- $V_{in} = 0V$ 일 때, $V_{out} = V_s$ 이고 $V_{in} = 5V$ 일 때, $V_{out} = 0V$.
- 광학적으로 신호를 전달하므로 입력과 출력 회로간에 전원을 분리할 수 있다. 출력 회로의 소자를 망가트릴 수 있는 초과입력으로부터 출력을 보호할 수 있고, 전기적 잡음으로부터 입력(또는 출력 회로)를 보호할 수 있다.

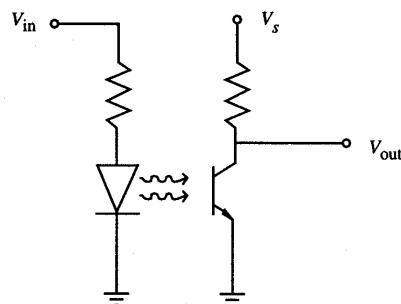


FIGURE 3.21
Opto-isolator.

그림 1.34 Opto-isolator.

- Photo-Interrupt:

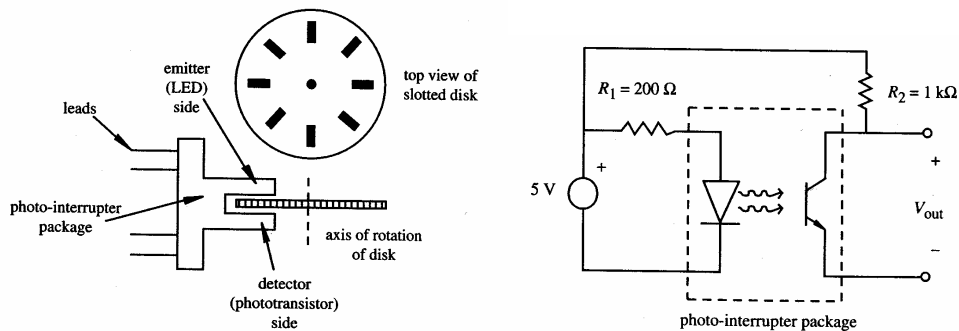


그림 1.35 Photo-interrupt 사용예.

- 위 회로에서, R_2 는 *pull-up resistor*이라 하고 일반적으로 $1\text{ k}\Omega$ 이상인 값을 사용한다 (저항의 정확한 값은 중요하지 않다.).
- 빛이 통과할 때는 0 V 출력, 빛이 차단될 때는 5 V 출력.
- 디지털 엔코더는 두 개의 photo-interrupt를 포함.
- 이 장치는 주로 선형운동을 제한하는 리미트 센서로 사용된다. 센서의 출력은 Enable/Disable 회로에 연결한다.

1.3.3 전계효과 트랜지스터(FET, Field Effect Transistors)

- base 전류로 collector-emitter 전류를 제어한 BJT와 달리, FET는 gate 전압으로 drain-source의 전류를 제어한다.
- BJT와의 상사성:
 Drain \leftrightarrow Collector, Source \leftrightarrow Emitter, and Gate \leftrightarrow Base
 추가적인 요소: *base* (BJT의 base와는 다름)와 *channel*.

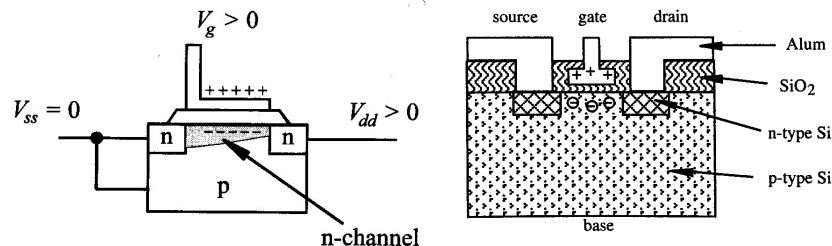


그림 1.36 n-채널 MOSFET 구조.

- 작동원리:
- 위의 그림은 n-channel MOSFET의 단면도이다. Drain과 source가 각각 양전압과 음전압에 연결되어 있을 때, source는 전자를 밀고 drain은 전자를 잡아 당겨 전류를 흐르게 하려고 한다. 그러나, n형과 p형 실리콘 사이의 간극이 전류의 흐름을 막는다.
- Gate에 양전압을 가하면 기판(substrate, called *base*)에 있는 전자를 끌어 당겨 channel 일 불리는 전도영역을 만들어 source에서 drain으로 전류를 흐르게 함.

Enhancement MOS(Metal-Oxide-Semiconductor) FET 기호:

n-channel MOSFET	
p-channel MOSFET	

- G: gate, S: source, D: drain, B: base or substrate
- p-type (arrow out)과 n-type (arrow in)
- 한쪽으로 치우친 gate 선은 source의 위치를 표시하기 위함.

● **BJT와 비교한 장점:**

- gate에서 매우 높은 입력 임피던스를 가짐($<10^{14} \Omega$).
- BJT에서와 같이 포화상태를 만들기 위해 필요한 전류나 적절한 저항값을 계산할 필요가 없다.

● **MOSFET 파워 스위치:**

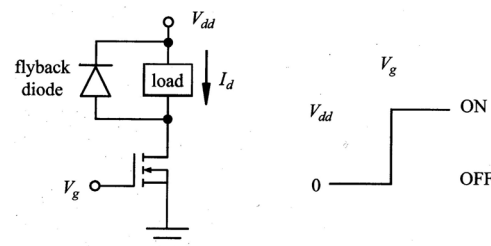
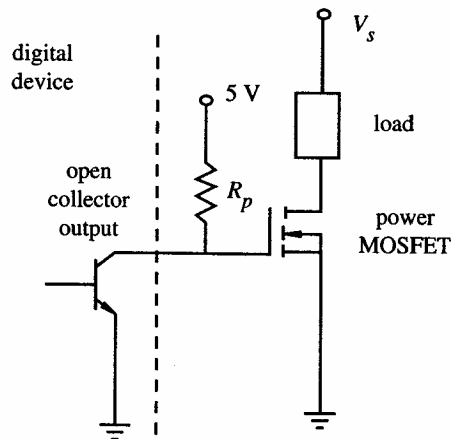


그림 1.37 MOSFET 파워 스위치.

[예제 1.11] Open Collector

- 트랜지스터가 ON일 때, gate는 0V, 트랜지스터가 OFF일 때, gate는 5V.
- 풀업저항(pul-up resistor): 트랜지스터가 OFF일 때, 컬렉터 전압을 5V로 끌어올림.



1.4 디지털 회로(Digital Circuit)

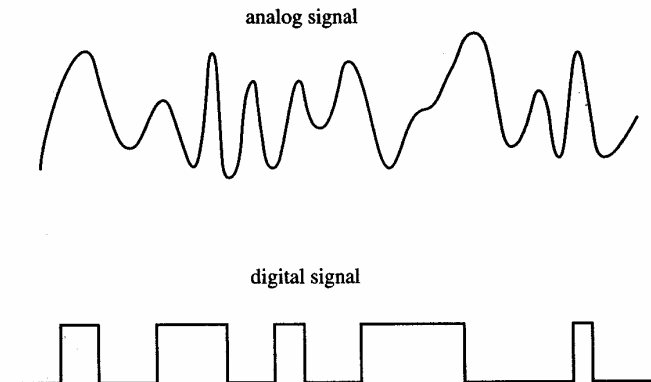


FIGURE 6.1
Analog and digital signals.

그림 1.38 아날로그와 디지털 신호 비교.

1.4.1 디지털 표현

- 십진수(decimal number):
 - $d_n d_{n-1} \dots d_3 d_2 d_1 d_0 = d_n \cdot 10^n + d_{n-1} \cdot 10^{n-1} + \dots + d_2 \cdot 10^2 + d_1 \cdot 10^1 + d_0 \cdot 10^0$
 - base: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9
 - 이진수(binary number):
 - $(d_n d_{n-1} \dots d_3 d_2 d_1 d_0)_2 = d_n \cdot 2^n + d_{n-1} \cdot 2^{n-1} + \dots + d_2 \cdot 2^2 + d_1 \cdot 2^1 + d_0 \cdot 2^0$
 - base: 0 (OFF), 1 (ON)
 - bit: 이진수의 자릿수
 - MSB (Most Significant Bit): 첫번째 비트, LSB (Least Significant Bit): 마지막 비트.
 - 16진수(hexadecimal number):
 - base: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F
 - 이진수를 16진수로 바꾸기 위해서는 이진수를 4개의 비트로 끊어서 읽음.
 $123_{10} = 011\ 1011_2 = 7B_{16}$.
 - 아스키(ASCII) 코드:
 - 모드 알파벳과 숫자문자를 표현하는 7-bit 코드임.
- (예) “A”: $0100\ 0001 = 41_{16} = 65_{10}$
 “B”: $0100\ 0010 = 42_{16} = 66_{10}$
 “0”: $0011\ 0000 = 30_{16} = 48_{10}$
 “1”: $0011\ 0001 = 31_{16} = 49_{10}$
- BCD (Binary Coded Decimal):
 - 십진수의 각 자리수를 4-bit로 표현.
 - 예를 들어, $123_{10} = 0001\ 0010\ 0011_{bcd}$
(cf. $123_{10} = 0111\ 1011_2$)


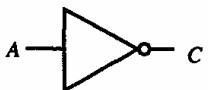
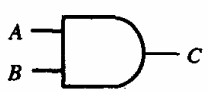


표 1.1 16진수와 이진수/십진수와의 관계.

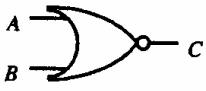

Hexadecimal symbols and equivalents		
Binary	Hexadecimal	Decimal
0	0	0
1	1	1
10	2	2
11	3	3
100	4	4
101	5	5
110	6	6
111	7	7
1000	8	8
1001	9	9
1010	A	10
1011	B	11
1100	C	12
1101	D	13
1110	E	14
1111	F	15

1.4.2 조합논리(Combinational Logic) 회로해석

(1) 조합논리(Combinational Logic)

표 1.2 조합 논리 연산.

Gate	Operation	Symbol	Expression	Truth table															
buffer	increase output signal current		$C = A$	<table><tr><td><u>A</u></td><td><u>C</u></td></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	<u>A</u>	<u>C</u>	0	0	1	1									
<u>A</u>	<u>C</u>																		
0	0																		
1	1																		
inverter (INV, NOT)	invert signal (complement)		$C = \bar{A}$	<table><tr><td><u>A</u></td><td><u>C</u></td></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	<u>A</u>	<u>C</u>	0	1	1	0									
<u>A</u>	<u>C</u>																		
0	1																		
1	0																		
AND gate	AND logic		$C = A \cdot B$	<table><tr><td><u>A</u></td><td><u>B</u></td><td><u>C</u></td></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	<u>A</u>	<u>B</u>	<u>C</u>	0	0	0	0	1	0	1	0	0	1	1	1
<u>A</u>	<u>B</u>	<u>C</u>																	
0	0	0																	
0	1	0																	
1	0	0																	
1	1	1																	
NAND gate	inverted AND logic		$C = \overline{A \cdot B}$	<table><tr><td><u>A</u></td><td><u>B</u></td><td><u>C</u></td></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	<u>A</u>	<u>B</u>	<u>C</u>	0	0	1	0	1	1	1	0	1	1	1	0
<u>A</u>	<u>B</u>	<u>C</u>																	
0	0	1																	
0	1	1																	
1	0	1																	
1	1	0																	
OR gate	OR logic		$C = A + B$	<table><tr><td><u>A</u></td><td><u>B</u></td><td><u>C</u></td></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	<u>A</u>	<u>B</u>	<u>C</u>	0	0	0	0	1	1	1	0	1	1	1	1
<u>A</u>	<u>B</u>	<u>C</u>																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	1																	

Gate	Operation	Symbol	Expression	Truth table															
NOR gate	inverted OR logic		$C = \overline{A + B}$	<table><tr><th>A</th><th>B</th><th>C</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	C	0	0	1	0	1	0	1	0	0	1	1	0
A	B	C																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	0																	
XOR Gate	exclusive OR logic		$C = A \oplus B$	<table><tr><th>A</th><th>B</th><th>C</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	C	0	0	0	0	1	1	1	0	1	1	1	0
A	B	C																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	0																	

● 진리표(Truth Table):

A	\overline{A}	B	$\overline{A} \cdot B$	$A + (\overline{A} \cdot B)$	A + B
1	0	0	0	1	1
1	0	1	0	1	1
0	1	0	0	0	0
0	1	1	1	1	1

(2) 논리회로망 설계

- 보안장치 시스템 회로 설계.

1) 문제의 정의

- 오직 창이나 문의 침입을 받았을 때 경고음 울리는 작동상태(거주자가 취침 중).
- 창이나 문의 침입을 받았거나 집안에 움직임이 감지될 때 경고음이 울리는 작동 상태(거주자가 외출 시)
- 경고음이 울리지 않는 해제 상태(일상적인 가사 활동 시).

● 불리언 변수 정의:

A: 문과 창 센서의 상태.

B: 움직임 센서의 상태.

Y: 경고음을 내게 하는데 사용되는 출력.

CD: 사용자가 다음과 같이 정의된 작동상태를 선택할 수 있는 2-bit 코드

$$CD = \begin{cases} 01 & \text{operating state 1} \\ 10 & \text{operating state 2} \\ 00 & \text{operating state 3} \end{cases}$$

- 입력: A, B, C, D, 출력: Y.
- A, B, Y 신호에 대해 정논리(positive logic) 가정(즉, 1: ON, 0: OFF).

2) 준논리문(Quasi-Logic Statements) 작성

- [If A=1 & CD=01, then Y=1] or [If (A=1 or B=1)& CD=10, then Y=1] (경보장치 가동)

3) 불리언 표현식 (Boolean Expression) 작성

$$Y = A \cdot (\overline{C} \cdot D) + (A + B) \cdot (C \cdot \overline{D})$$

이 문제에서는 진리표를 이용하여 다음과 같이 식을 간단히 할 수 있다.

$$Y = (A \cdot D) + (A + B) \cdot C$$

C	D	$(\bar{C} \cdot D)$	$(C \cdot \bar{D})$
0	0	0	0
1	0	0	1
0	1	1	0

(Note that $(\bar{C} \cdot D) = D$ and $(C \cdot \bar{D}) = C$ except the case of $CD=11$.)

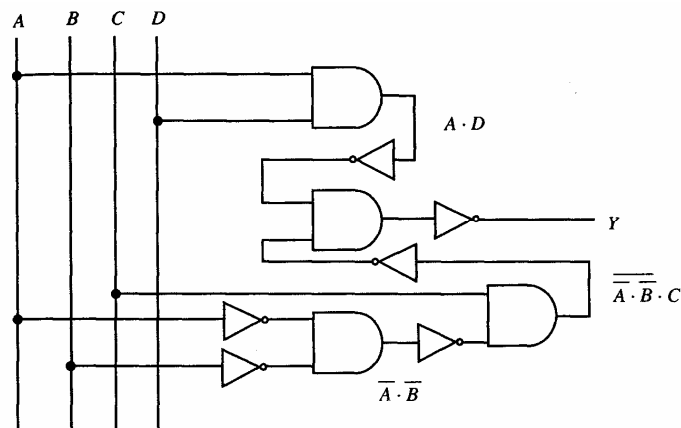
4) AND 구현

- 불리언 식이 간단해 졌으면, 모든 연산을 적절한 형태의 게이트(즉 AND 또는 OR)로 바꾸기 위해 식을 좀더 조작함.
- 논리 게이트는 하나의 집적회로 칩에 넷, 여섯, 또는 여덟 개로 구성이 되므로, 한 형태의 게이트를 사용함으로써 사용하는 총 칩의 개수를 줄일 수 있다.
- 드모르강 법칙을 이용하여 모두 AND 게이트로 구현할 수 있다:

$$Y = (A \cdot D) + (A + B) \cdot C \rightarrow Y = (A \cdot D) + (\overline{\overline{A} \cdot \overline{B}}) \cdot C \rightarrow Y = \overline{\overline{(A \cdot D)} \cdot \overline{(\overline{A} \cdot \overline{B}) \cdot C}}$$

5) 회로도 작성

- 총 4개의 AND 게이트와 6개의 Inverter가 필요하기 때문에 회로는 2개의 IC로 구성할 수 있다(74LS08: 4개의 AND 게이트, 74LS04: 6개의 Inverter).



1.4.3 순차논리(Sequential Logic) 회로해석

- **조합논리(combinational logic) 소자:** 입력 타이밍에 무관하게 입력 값들의 상태에 의하여 출력값이 결정.
- **순차논리(sequential logic) 소자:** 타이밍 또는 입력 신호의 순차적 배열이 중요.
- 순차논리 소자의 출력의 상태는 클럭(clock)의 트리거(trigger)시 결정된다.
- **Positive edge-triggered** 소자: low-to-high (0 to 1) 천이시 작동.
- **Negative edge-triggered** 소자: high-to-low (1 to 0) 천이시 작동.

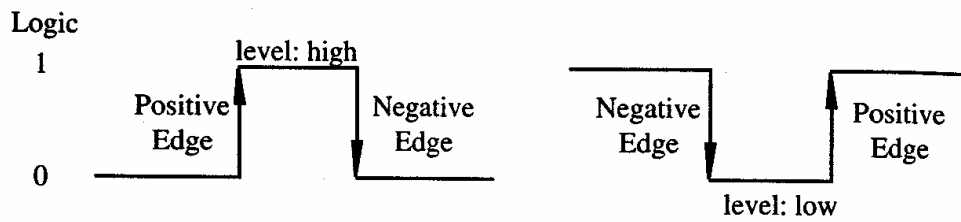


그림 1.39 클럭 펄스의 Edge.

(1) 플립-플롭(Flip-Flop)의 종류

- 외부 신호가 상태를 바꿀 때까지 특정 상태유지(저장).

1) RS flip-flop

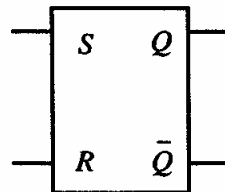


그림 1.40 RS 플립-플롭.

- S: set 입력, R: reset 입력, Q와 \bar{Q} : 상호보완적(complementary) 출력.

표 1.3 RS 플립-플롭 진리표
Truth table for the RS flip-flop

Inputs		Outputs	
S	R	Q	\bar{Q}
0	0	Q_0	\bar{Q}_0
1	0	1	0
0	1	0	1
1	1	NA	

1. 입력 S와 R이 모두 0이면, 출력은 변하지 않음(그전 상태 유지).
2. S=1이고 R=0일 때, Q=1이고 $\bar{Q}=0$ (Q가 set됨).
3. S=0이고 R=1일 때, Q=0이고 $\bar{Q}=1$ (Q가 reset됨).
4. S=1이고 R=1일 때, 출력을 예측할 수 없다(not allowed" (NA)).

Note: Q_0 : 이전 값을 의미.

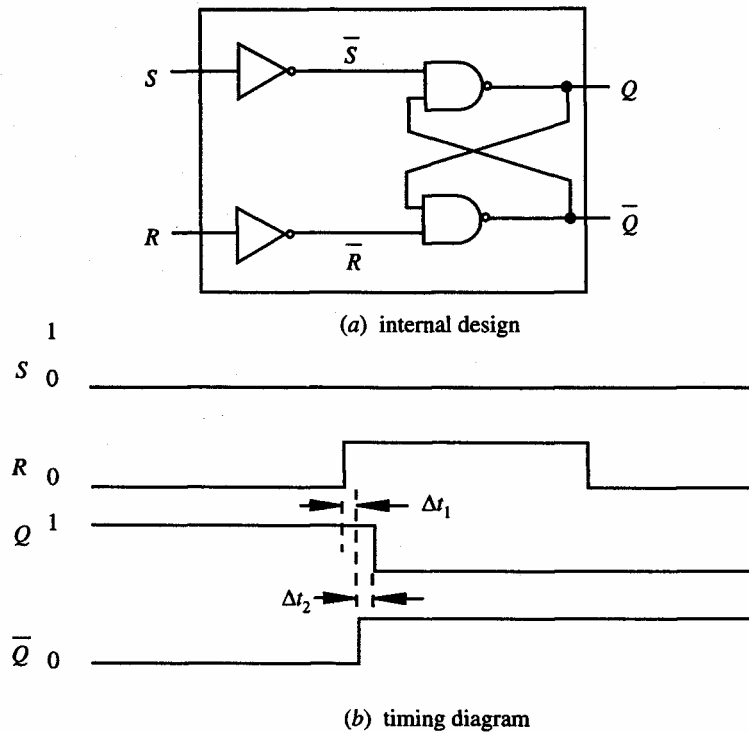


FIGURE 6.11
RS flip-flop internal design and timing.

그림 1.41 RS 플립-플롭의 내부 구조와 타이밍.

2) 플립-플롭의 트리거링(Triggering)

- 동기화(Synchronous) 동작 - 공통 클럭 신호에 의해서 시스템 변화가 트리거 되도록 설계.
- 비동기화(Asynchronous) 동작 - 클럭 패턴에 따라 스위치되지 않은 회로.

3) Edge-Triggered Flip-Flops (synchronous)

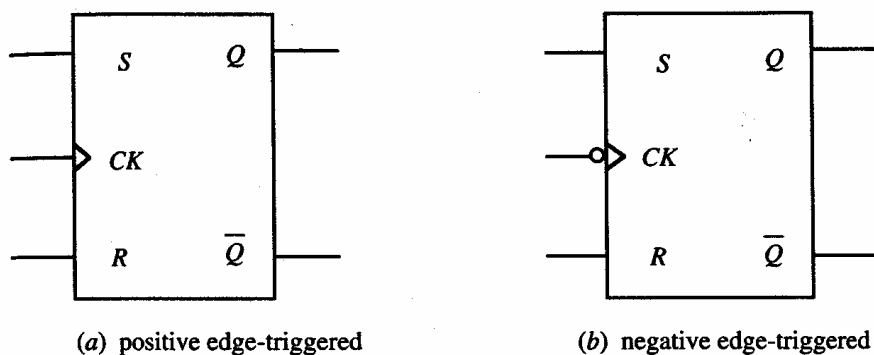


FIGURE 6.12
Edge-triggered RS flip-flops.

그림 1.42 Edge-triggered RS 플립-플롭.

표 1.4 Positive edge-triggered RS 플립-플롭 진리표

TABLE 6.5
Positive edge-triggered RS flip-flop truth table

S	R	CK	Q	\bar{Q}
0	0	↑	Q_0	\bar{Q}_0
1	0	↑	1	0
0	1	↑	0	1
1	1	↑	NA	

Note: CK에서 ↑는 positive edge (from 0 to 1)를 의미.

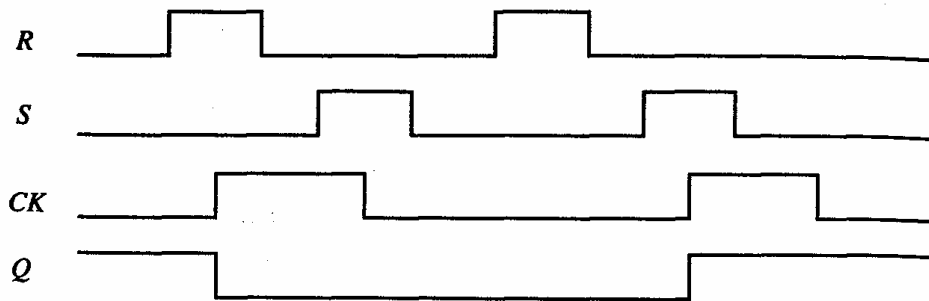


FIGURE 6.13
Positive edge-triggered RS flip-flop timing diagram.

그림 1.43 Positive edge-triggered RS 플립-플롭의 타이밍 선도.

4) Level-Triggered Flip-Flops (asynchronous)

- 클럭 신호가 high일 때만, 입력신호에 대하여 반응함.
- 래치(Latch): 출력 Q는 CK가 high일 때만 입력 D를 따름. Negative edge나 CK이 low일 때는, 플립-플롭은 출력을 유지한다.

표 1.5 래치 진리표

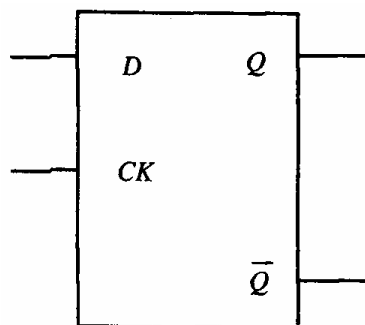


그림 1.44 래치.

TABLE 6.6
Latch truth table

D	CK	Q	\bar{Q}
0	1	0	1
1	1	1	0
x	0	Q_0	\bar{Q}_0

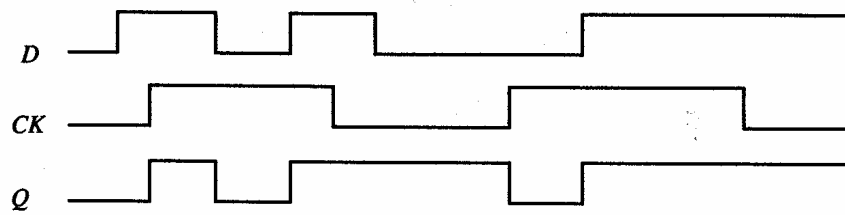


FIGURE 6.15
Latch timing diagram.

그림 1.45 래치 타이밍도.

5) 비동기화 입력(Preset and Clear)

- *Preset* 입력(active status is low): $Q=1$.
- *Clear* 입력(active status is low): $Q=0$.

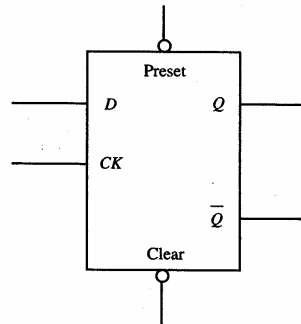


그림 1.46 프리셋과 클리어 기능을 갖는 플립-플롭.

6) D Flip-Flop

- 데이터 플립-플롭이고, 클럭 펄스 에지에서 입력 D를 출력 Q에 나타냄(e.g., 7474, 74171, 74174, or RAM (random access memory)).

표 1.6 Positive edge-triggered D 플립-플롭 진리표

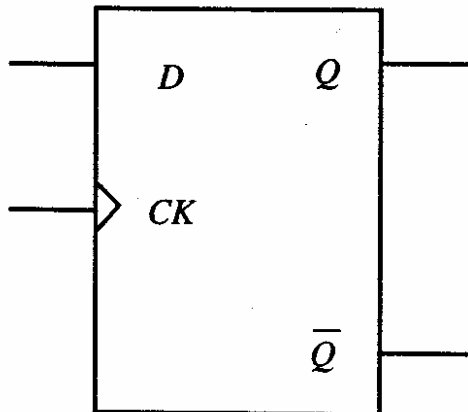


TABLE 6.7
Positive edge-triggered D flip-flop truth table

D	CK	Q	\bar{Q}
0	\uparrow	0	1
1	\uparrow	1	0
x	0	Q_0	\bar{Q}_0
x	1	Q_0	\bar{Q}_0

그림 1.47 Positive edge-triggered D 플립-플롭.

7) JK Flip-Flop

- 예를 들어, 7473, 7476, or 74107.
- RS flip-flop과 유사(J -- S (set), K -- R (reset)).
- 그러나, J=1 & K=1이면, 출력을 반대의 상태로 전환함(*toggle*).

표 1.7 Negative edge-triggered JK 플립-플롭 진리표

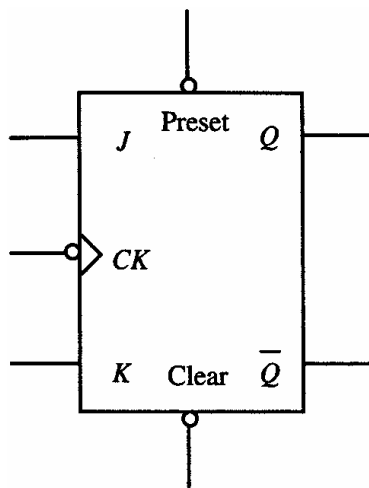


TABLE 6.8
Truth table for a negative edge-triggered JK flip-flop

Preset	Clear	CK	J	K	Q	\bar{Q}
0	1	x	x	x	1	0
1	0	x	x	x	0	1
0	0			NA		
1	1	↓	0	0	Q_0	\bar{Q}_0
1	1	↓	1	0	1	0
1	1	↓	0	1	0	1
1	1	↓	1	1	toggle	
1	1	0, 1	x	x	Q_0	\bar{Q}_0

그림 1.48 Negative edge-triggered JK 플립-플롭.

8) T (toggle) Flip-Flop

- 매번 클럭 입력시 출력을 반대로 전환(*toggle*).

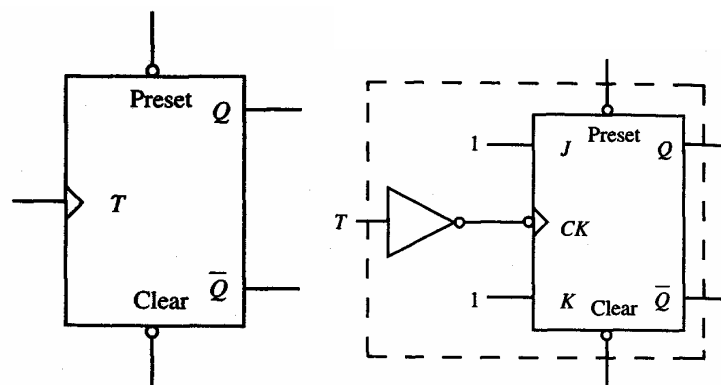


그림 1.49 Positive edge-triggered T 플립-플롭.

표 1.7 Positive edge-triggered T 플립-플롭 진리표

TABLE 6.9
Positive edge-triggered T flip-flop truth table

T	Preset	Clear	Q	\bar{Q}
↑	1	1	\bar{Q}_0	Q_0
0	1	1	Q_0	\bar{Q}_0
1	1	1	Q_0	\bar{Q}_0
x	0	1	1	0
x	1	0	0	1

(2) 플립-플롭(Flip-Flop)의 활용

1) 스위치 디바운싱(Switch Debouncing)

- 스위치 바운스(switch bounce): 기계적 스위치가 열리거나 닫힐 때 기계적 바운싱이나 전기적 아크에 의해 짧은 전류의 진동현상.
- $A=1 \& B=1 (S=0 \& R=0) \rightarrow$ 그전 상태 유지, $A=0 (S=1)$ 이 되는 순간 $Q=1$ 이 됨.

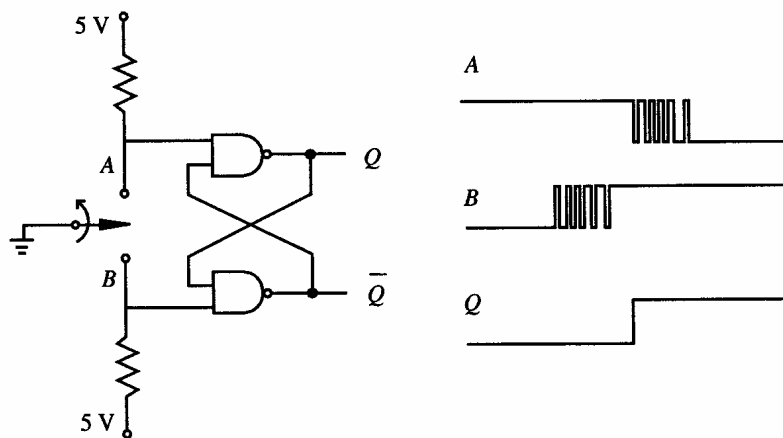


FIGURE 6.22
Switch debouncer circuit.

그림 1.50 스위치 디바운서 회로.

2) 데이터 레지스터(Data Register)

- 데이터 값 D_i 는 Load 신호가 Negative edge일 때 출력 Q로 옮겨짐.
- Read선의 펄스가 high일 때, 데이터 D_i (출력 Q)가 AND 게이트를 통하여 레지스터 출력 R_i 에 전달됨.

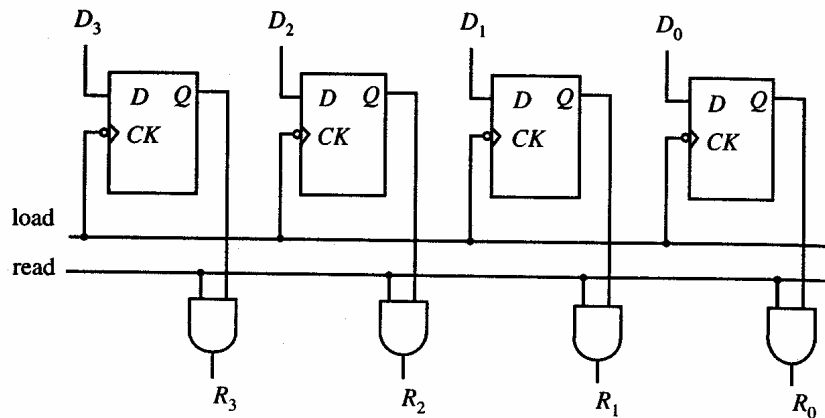


FIGURE 6.23
4-Bit data register.

그림 1.51 4-비트 데이터 레지스터.

3) Binary Counter

- 직렬로 연결된 Negative edge-triggered toggle flip-flop들로 구성됨.
- 초기에 모든 출력이 Reset됨. 입력의 negative edge에서 출력 Q가 toggle됨.
- 입력 펄스의 수를 이진형태로 저장함.
- 이 회로는 주파수 분배기(frequency divider)로도 쓰임. B0, B1, B2, B3의 주파수는 각각 입력주파수의 1/2, 1/4, 1/8, 1/16임.

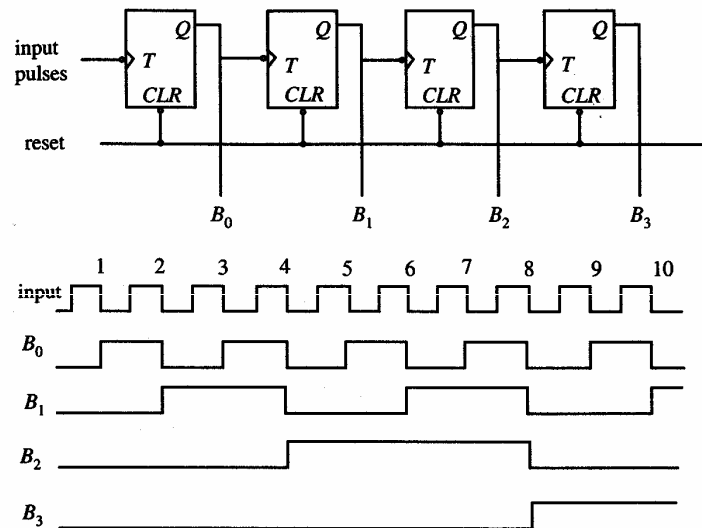


FIGURE 6.24
4-Bit binary counter.

그림 1.52 4-비트 이진 카운터.

4) 직렬과 병렬 인터페이스(Serial and Parallel Interfaces)

- 직렬 데이터(serial data): 하나의 데이터 선에서 발생하는 비트의 순서(sequence) 또는 펄스 열(pulse train).

- 병렬 데이터(parallel data): 데이터 선의 집합에 동시에 병렬로 발생하는 비트의 집합.
- 직렬 입력 또는 출력은 클럭에 의하여 동기화 됨.

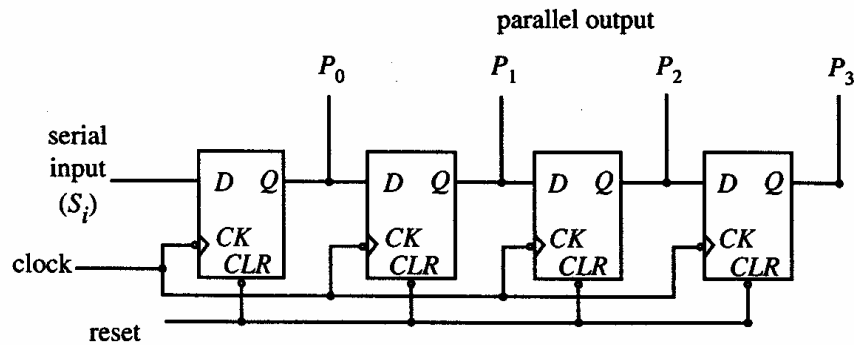


FIGURE 6.25
Serial-to-parallel converter.

그림 1.53 직렬-병렬 변환기.

- 클럭 입력될 때마다, 왼쪽의 데이터가 오른쪽으로 이동하므로 shift register임.

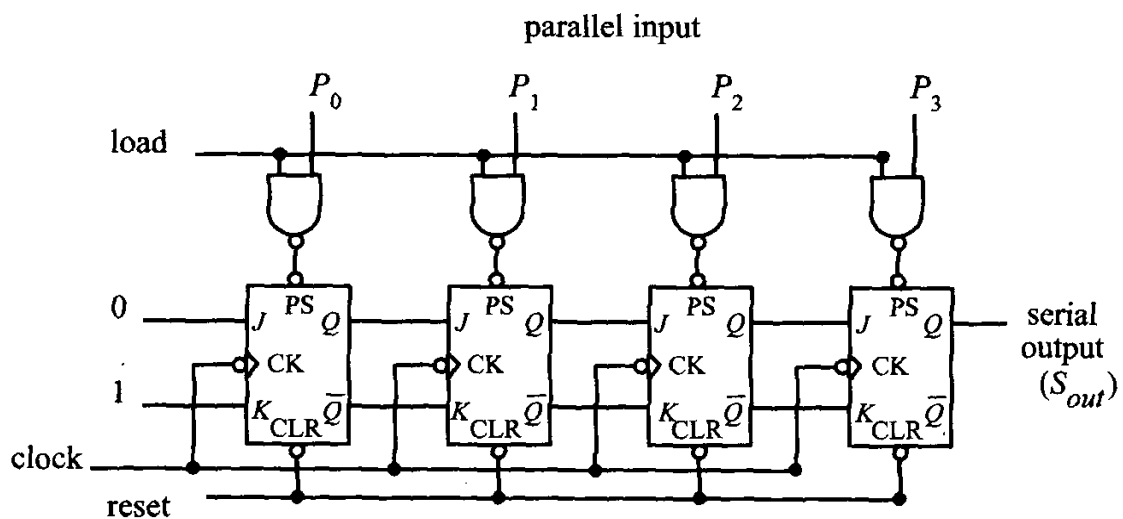


그림 1.54 병렬-직렬 변환기.

- Load=high & P_i =high일 때, 해당되는 flip-flop은 preset됨($Q=1$).

(3) TTL과 CMOS 집적회로

- **TTL** (Transistor-Transistor Logic) (BJT): 5V 전원
- **CMOS** (Complementary Metal Oxide Semiconductor) (MOSFET): 광범위한 전력공급(3~18V), 매우 작은 소비전력, 정전기에 약함.

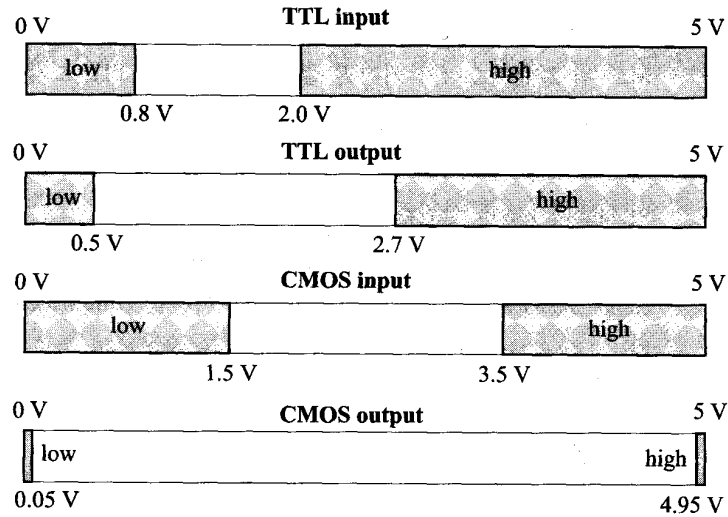


그림 1.55 TTL과 CMOS 입력과 출력 레벨.

● **DIP** (Dual In-line Package)

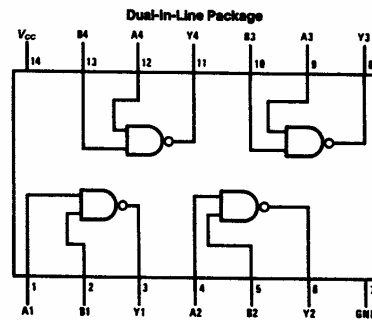


그림 1.56 QUAD NAND 게이트 IC 핀 연결.

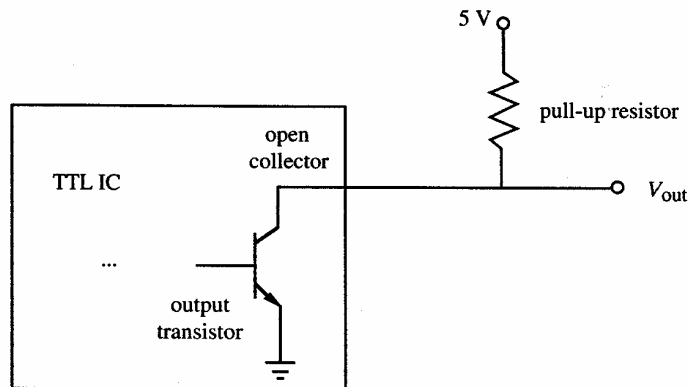


그림 1.57 Pull-up 저항을 이용한 개방 콜렉터 출력.

● Labeling System of TTL IC – Aaxxyzz

- AA: 생산자 표식 접두사(SN: TI외, DM: National Semiconductor)
- xx: 군용 (xx=54), 산업용(xx=74)
- y: 다른 내부 설계(no letter: standard TTL; L: low power dissipation; H: high power)

dissipation; S: Schottky type; AS: advanced Schottky; **LS**: low power Schottky; ALS: advanced low power Schottky) (Schottky 소자는 빠른 스위칭 속도 및 저전력소모)

- **zz**: 데이터 북 순번 (예를 들어, DM74LS00 (QUAD NAND))
- Open collector 출력 TTL 소자(7401, 7403, 7405, 7406), 출력에 풀업(pull-up)저항을 달아야 함.

(4) 특수목적의 디지털 집적회로

1) 십진 카운터(Decade Counter)

- 7490 IC(negative edge-triggered counter)를 이용하여 제작함. 이는 negative edge-triggered counter이고 4-bit의 BCD로 출력(Note: 카운터 출력 사이클이 1001 (9_{10}) 다음에 0000 (0_{10})로 되돌아감).

표 1.8 7490 십진 카운터 BCD 코딩

TABLE 6.10
7490 Decade counter BCD coding

Decimal count	BCD output			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
0	0	0	0	0

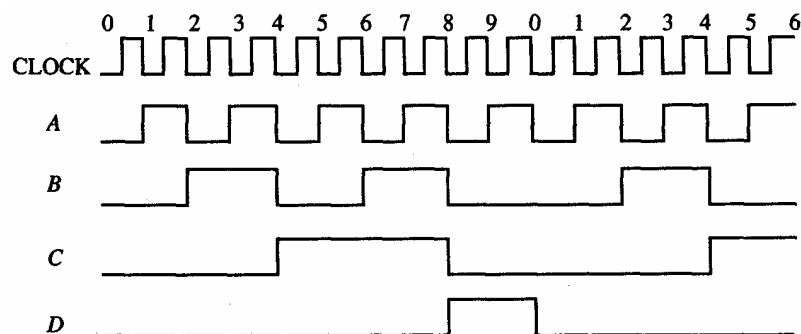


FIGURE 6.27
Decade counter timing.

그림 1.58 십진 카운터 타이밍도.

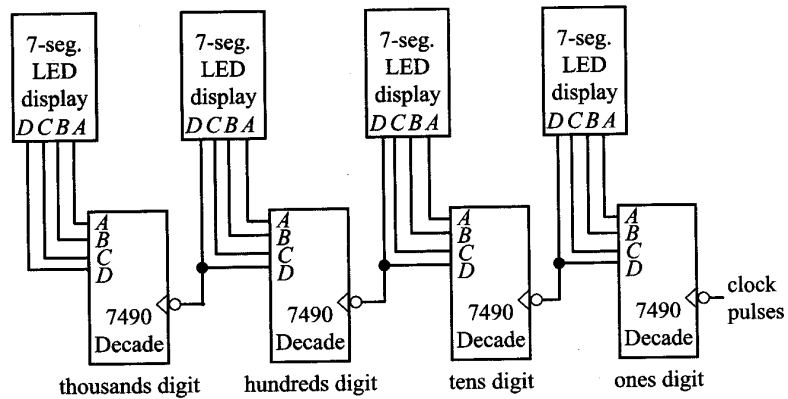


그림 1.59 직렬로 연결된 십진 카운터.

- BCD counter는 10의 거듭제곱을 세기 위해 위의 그림과 같이 직렬로 연결함. 즉, 첫번째 7490의 출력 D는 두번째 7490의 클럭 입력으로 연결됨.
- 7447 BCD-to-seven-segment 디코더에 의해 구동되는 7-segment LED로 BCD를 값을 디스플레이할 수 있음.

표 1.9 7447 BCD-to-7-세그먼트 디코더

TABLE 6.11
7447 BCD to 7-segment decoder

Decimal digit	Input				Output						
	Q_D	Q_C	Q_B	Q_A	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	1	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0

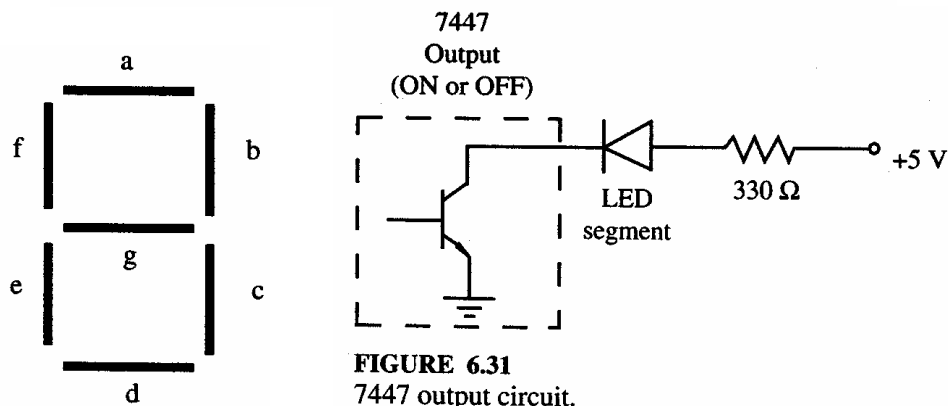


FIGURE 6.31
7447 output circuit.

그림 1.60 7-세그먼트 LED 및 7447 출력회로.