Digital IC Design

Prof. Sangjin Byun

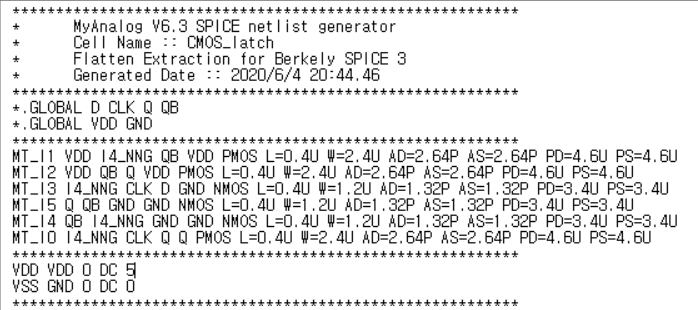
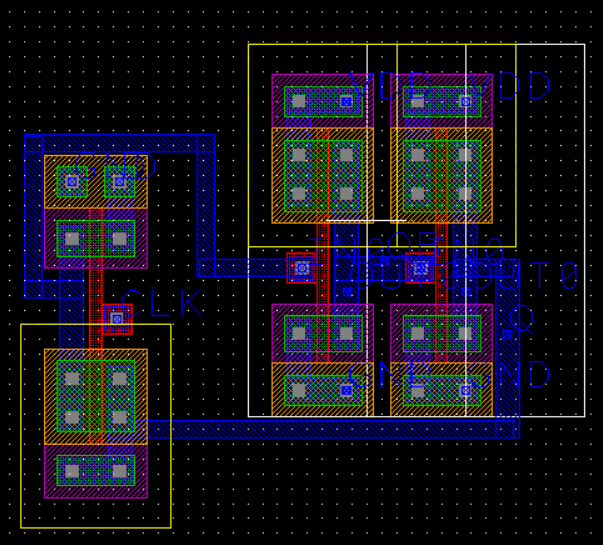
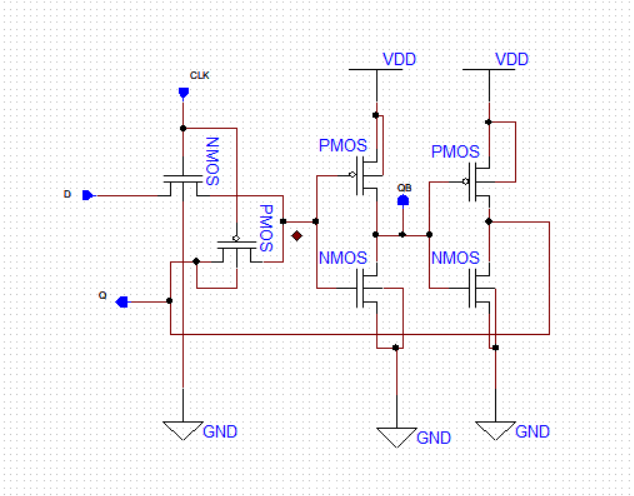
2015112062

Park Seonghoon

Divide-By 5 of 6 with SELECT

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Schematic capture netlist | Schematic  waveform | Schematic  Clock  Frequency | DRC | LVS | Layout  waveform | Layout  Clock  Frequency | Layout Area | GDSII |
| O | O | 1GHz | O | O | O | 1Ghz | 3030.3 um2 | O |

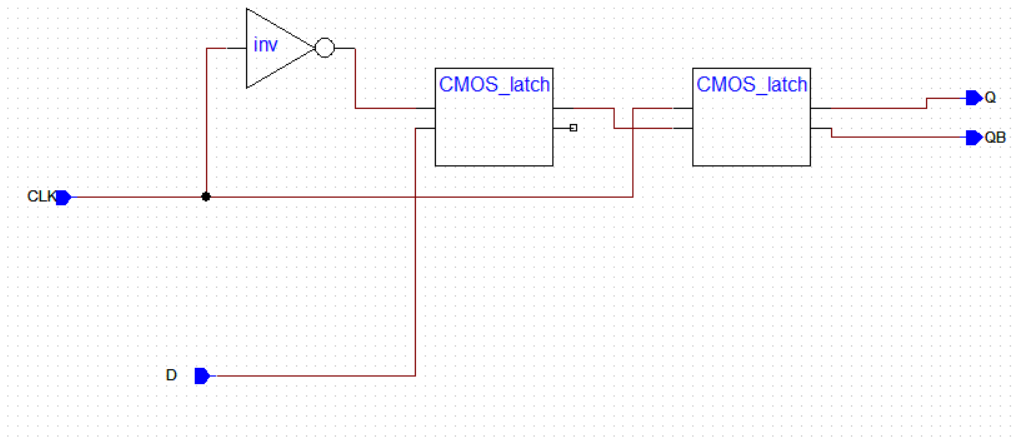
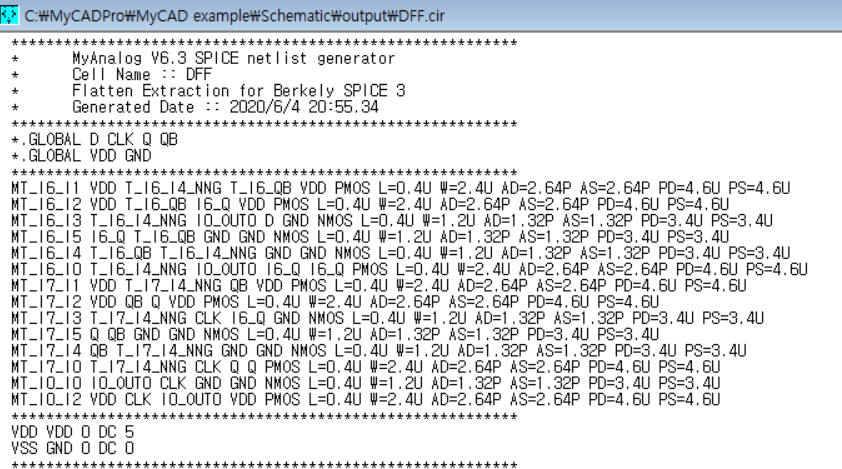
1. **Schematic capture, Layout capture**
   1. CMOS\_LATCH

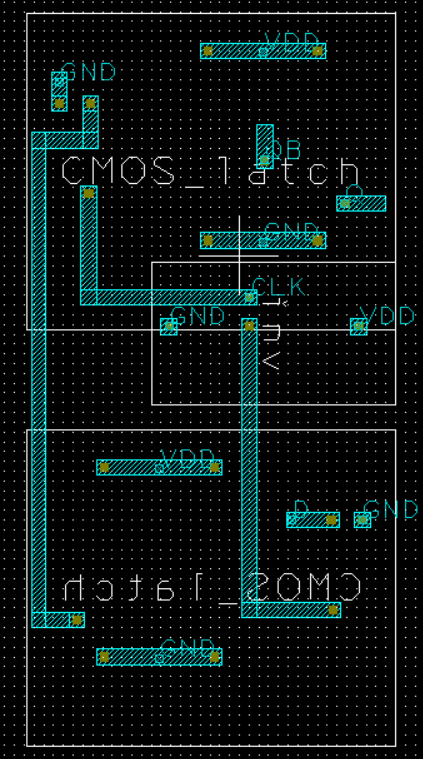
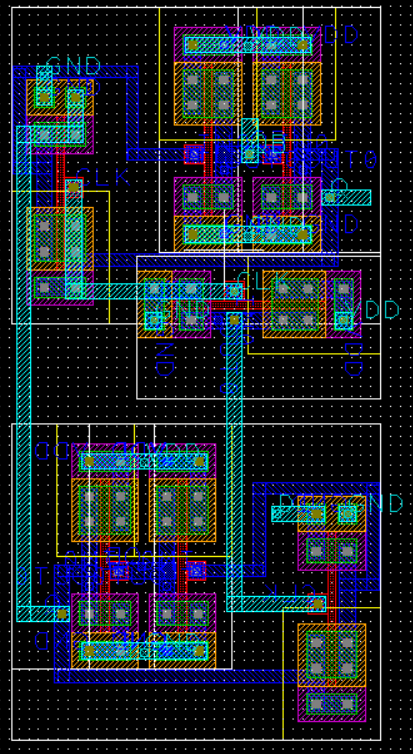


// CMOS\_LATCH 는 구글링을 통하여 알아낸 schematic 을 사용하였고, mosfet 개수가 적은 LATCH 가 delay가 적을 것이라고 생각하여 선택했습니다.

// CMOS\_LATCH 의 경우 그 구조를 살펴보면, CLK 이 들어가는 NMOS PMOS 를 거친 후 그 다음 인버터 두개를 지나는 구조입니다. 또한 CLK이 들어가는 부분도 NMOS 와 PMOS 1개씩 직렬 연결 되어있는 구조이기에 TLH THL 를 맞추고자 수업시간에 설계한 스펙의 인버터와 동일하게 설계했습니다.

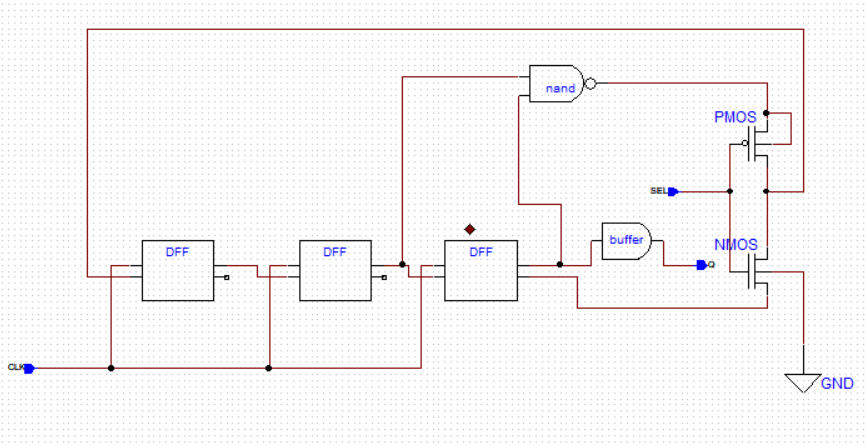
* 1. D Flipflop

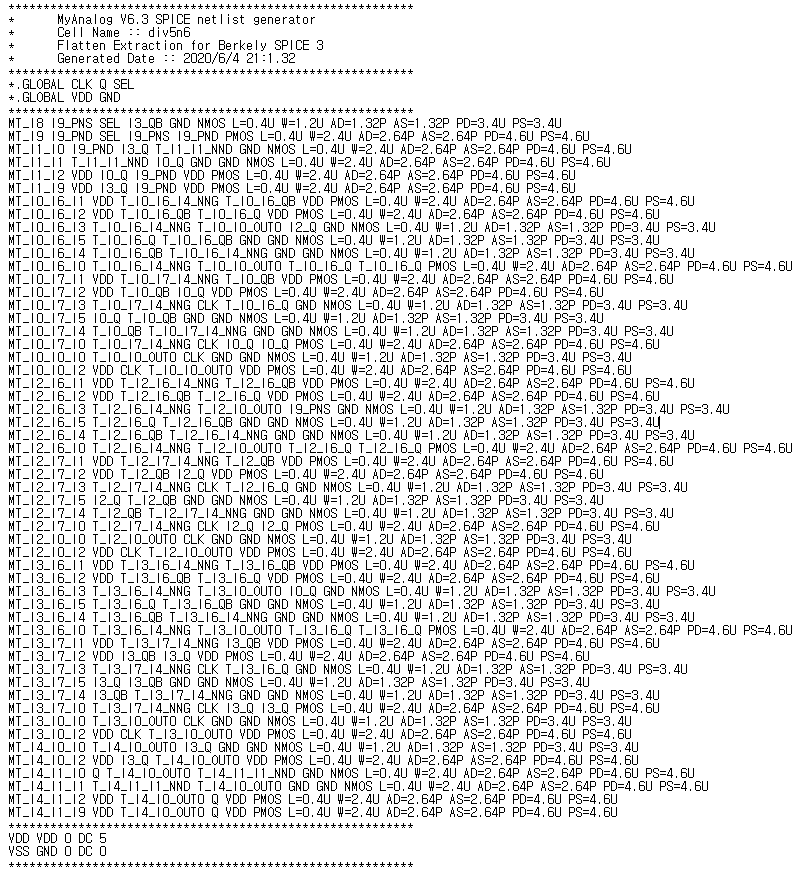
 

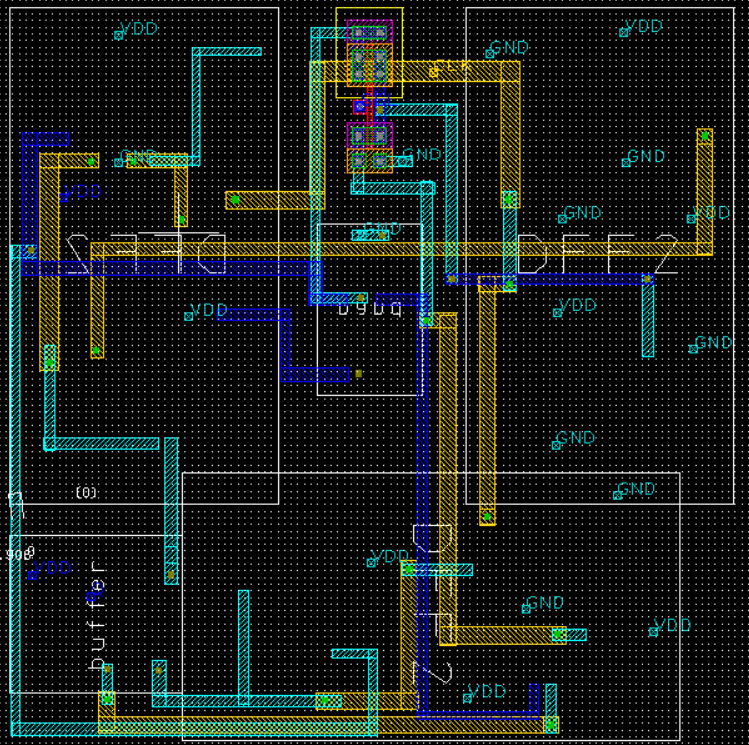
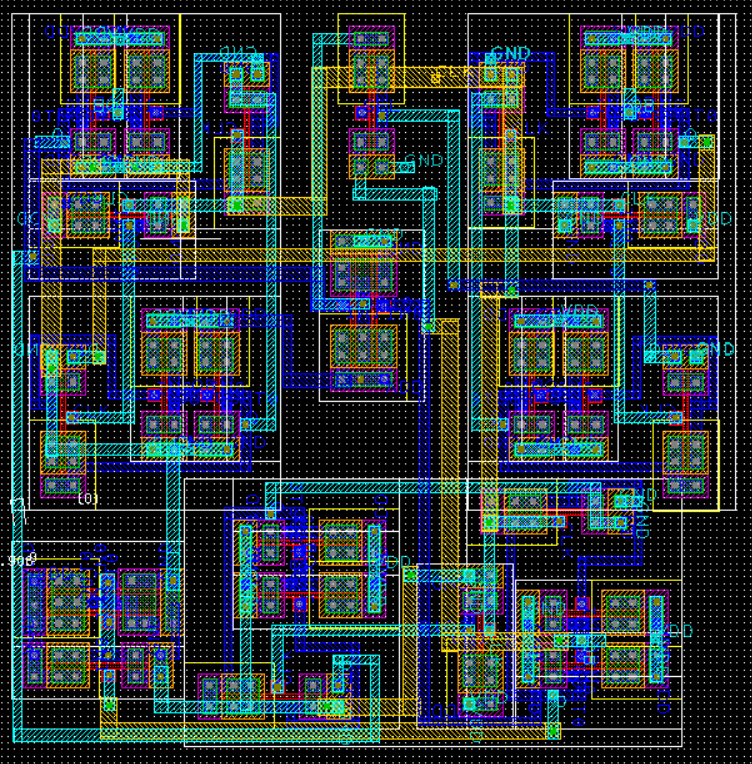
 

//D Flipflop 은 앞서 설계한 CMOS\_LATCH 를 이용하여 점진적 설계를 통해 제작하였습니다. 또한 처음 LATCH 와 두번째 LATCH 에 위상이 반대인 CLK 을 주기위해 LAB2 에서 설계했던 INV 를 사용했습니다.

* 1. Divide-5 or 6 (DIV5n6)





// DIV5n6 의 경우, DFF을 3개 사용하였습니다.

DIV5 의 경우 2,3번째 DFF 의 Q를 난드의 인풋으로 사용한 후, NAND의 출력을 첫번째 DFF 의 D 로 들어가고,

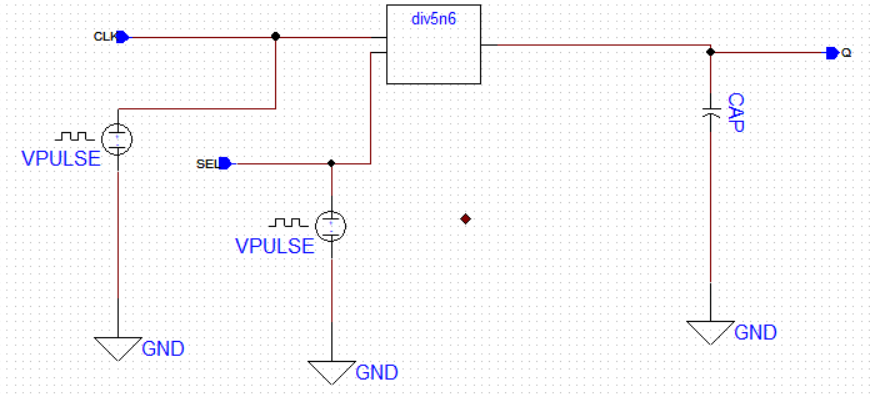
DIV6 의 경우 3번째 DFF 의 QBar 를 첫번째 DFF 의 D 로 넣어주었습니다.

이 두가지 경우를 SEL 신호를 인풋으로 하는 인버터를 통해 선택할 수 있게 설계하였습니다. 인버터의 GND VDD 를 사용할 신호와 연결함으로서 구현했습니다.

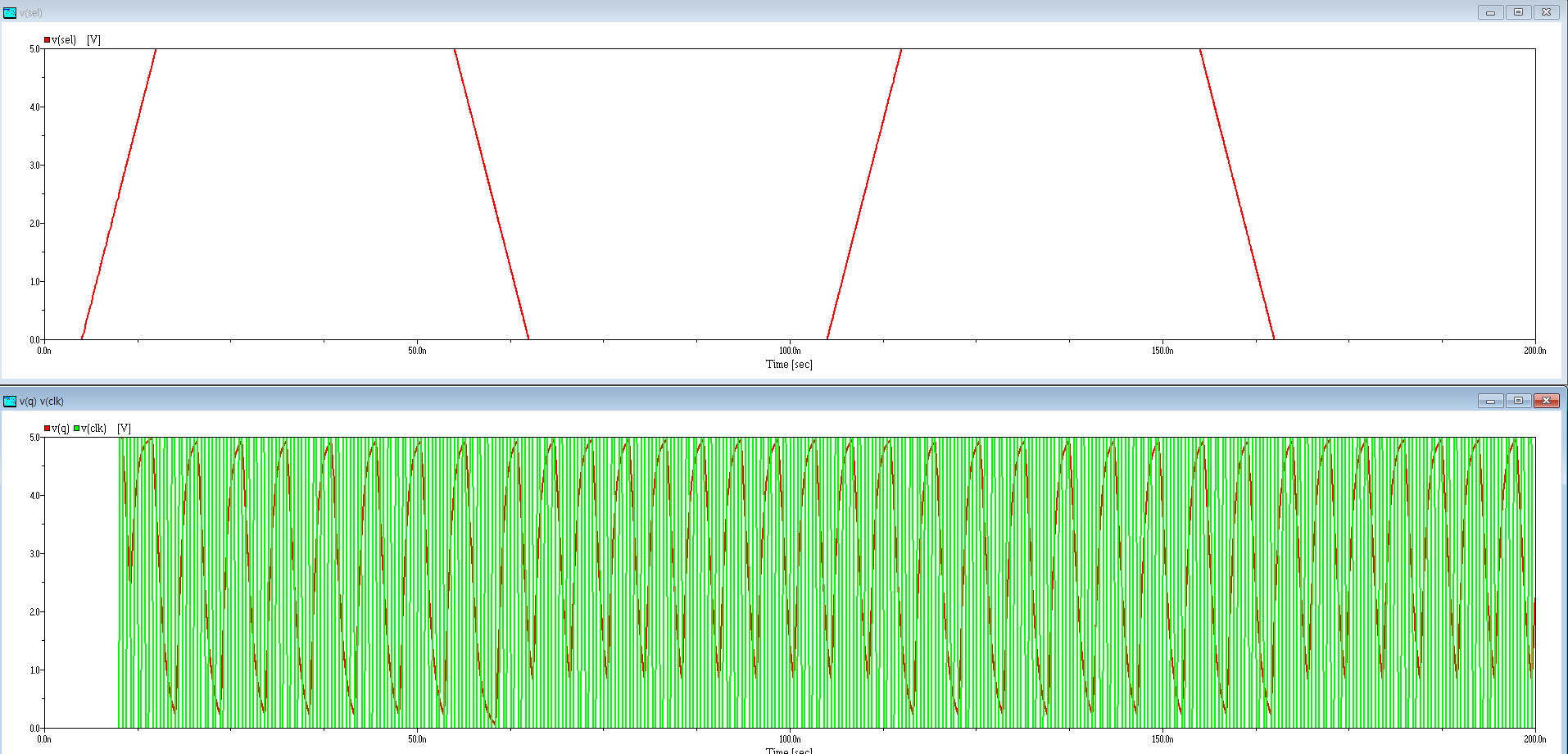
출력의 안정화를 위해 아웃풋 Q 신호를 버퍼를 통과하도록 하여 회로의 안정성을 더했습니다.

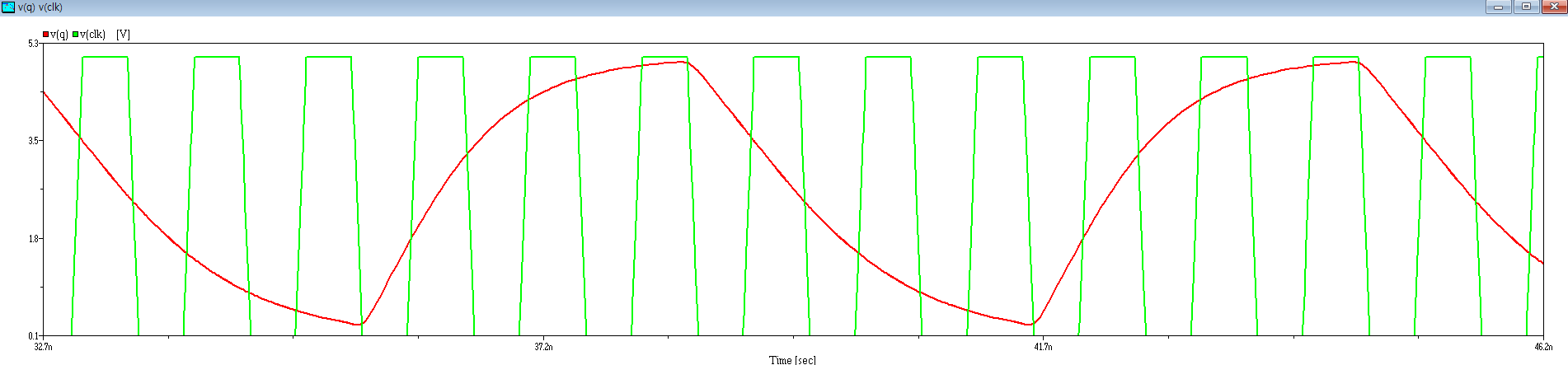
여기서 사용된 NAND 와 BUFFER 는 LAB3,4 에서 설계한 레이아웃을 활용했습니다.

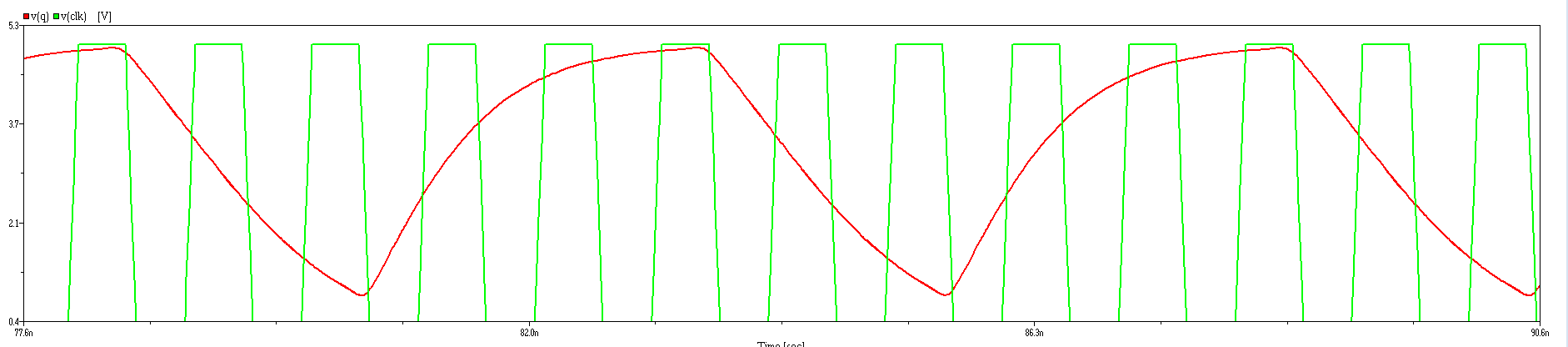
1. Schematic waveform , Netlist





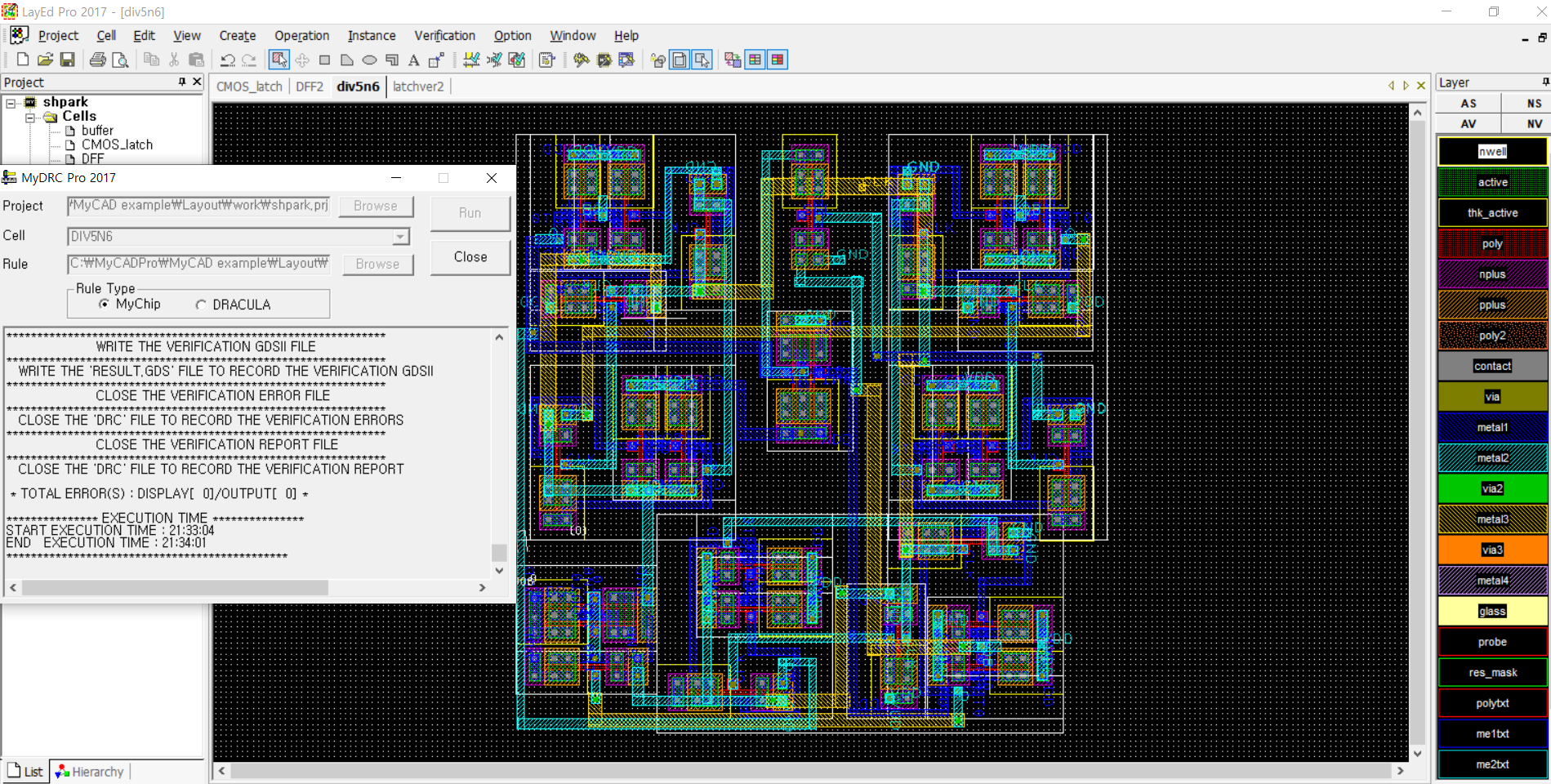


SEL=1 일 때 : DIV6 동작 

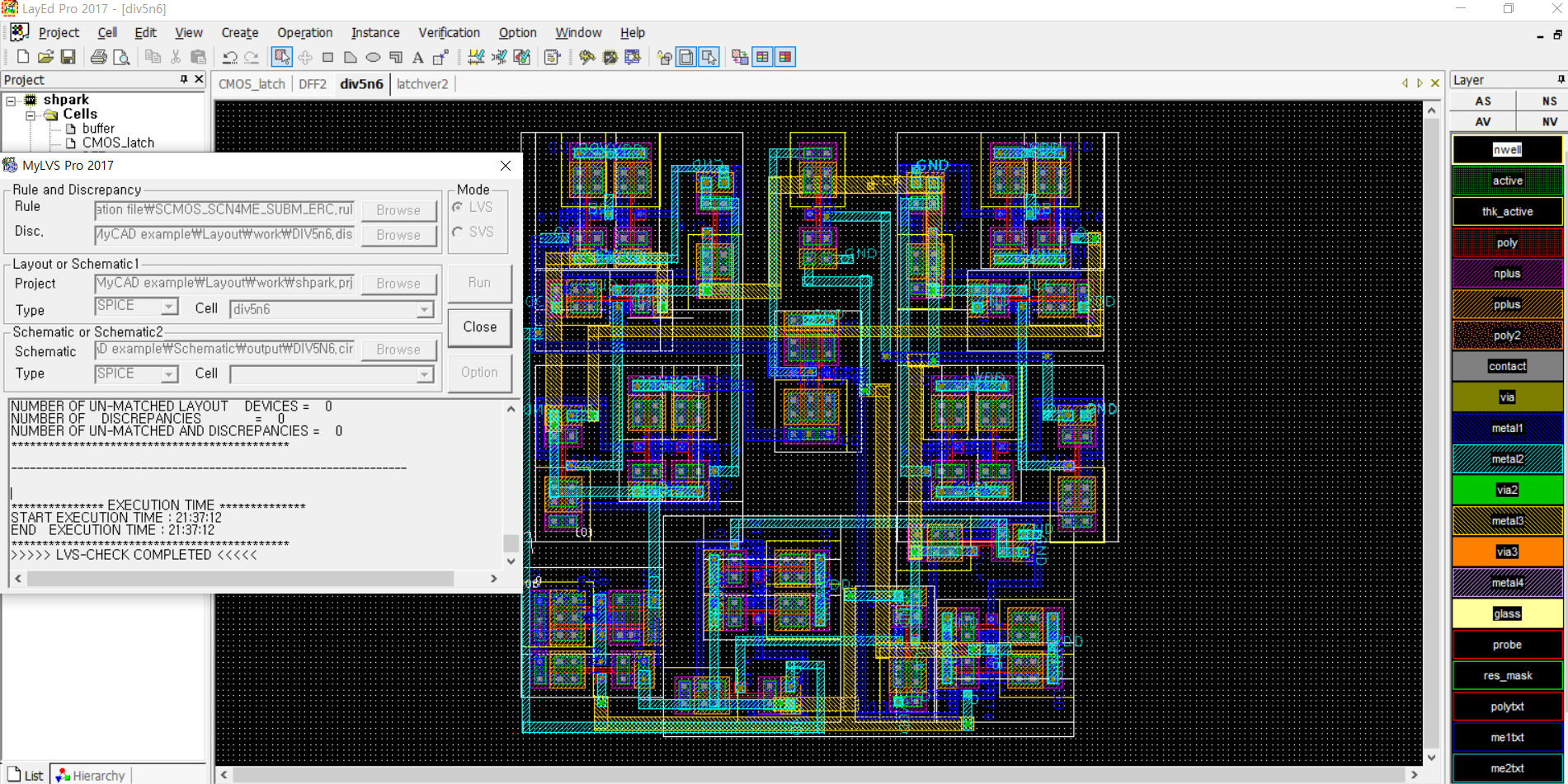
SEL=0 일 때 : DIV5 동작 

**Minimum CLK in schematic : 1nsec & 1GHz**

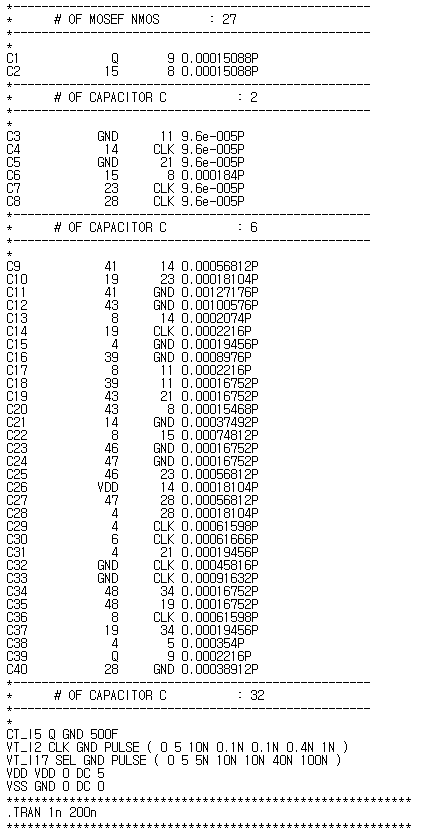
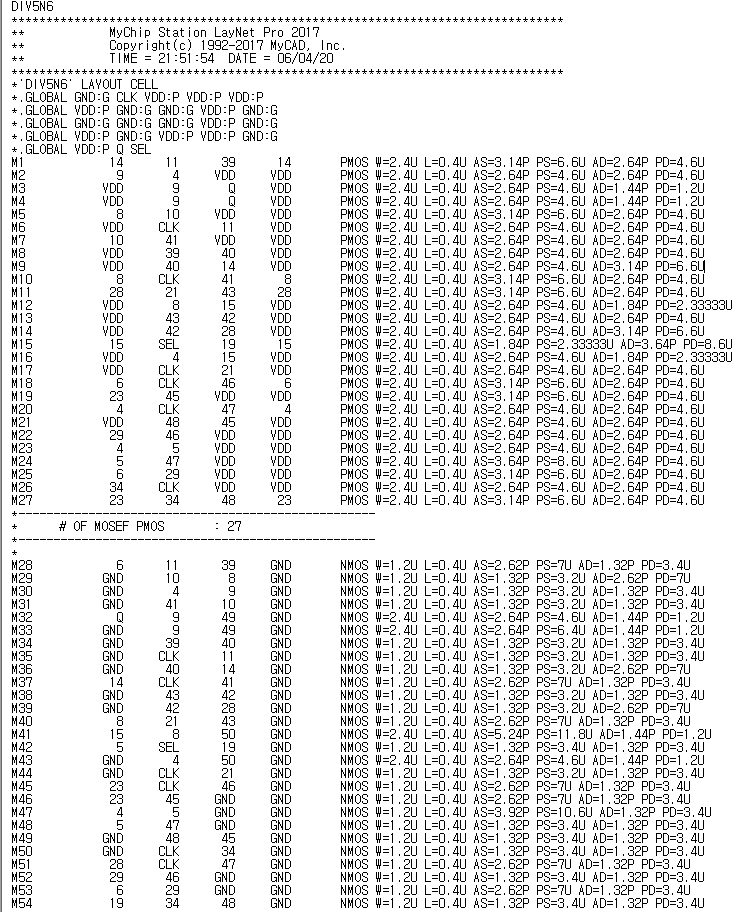
1. DRC

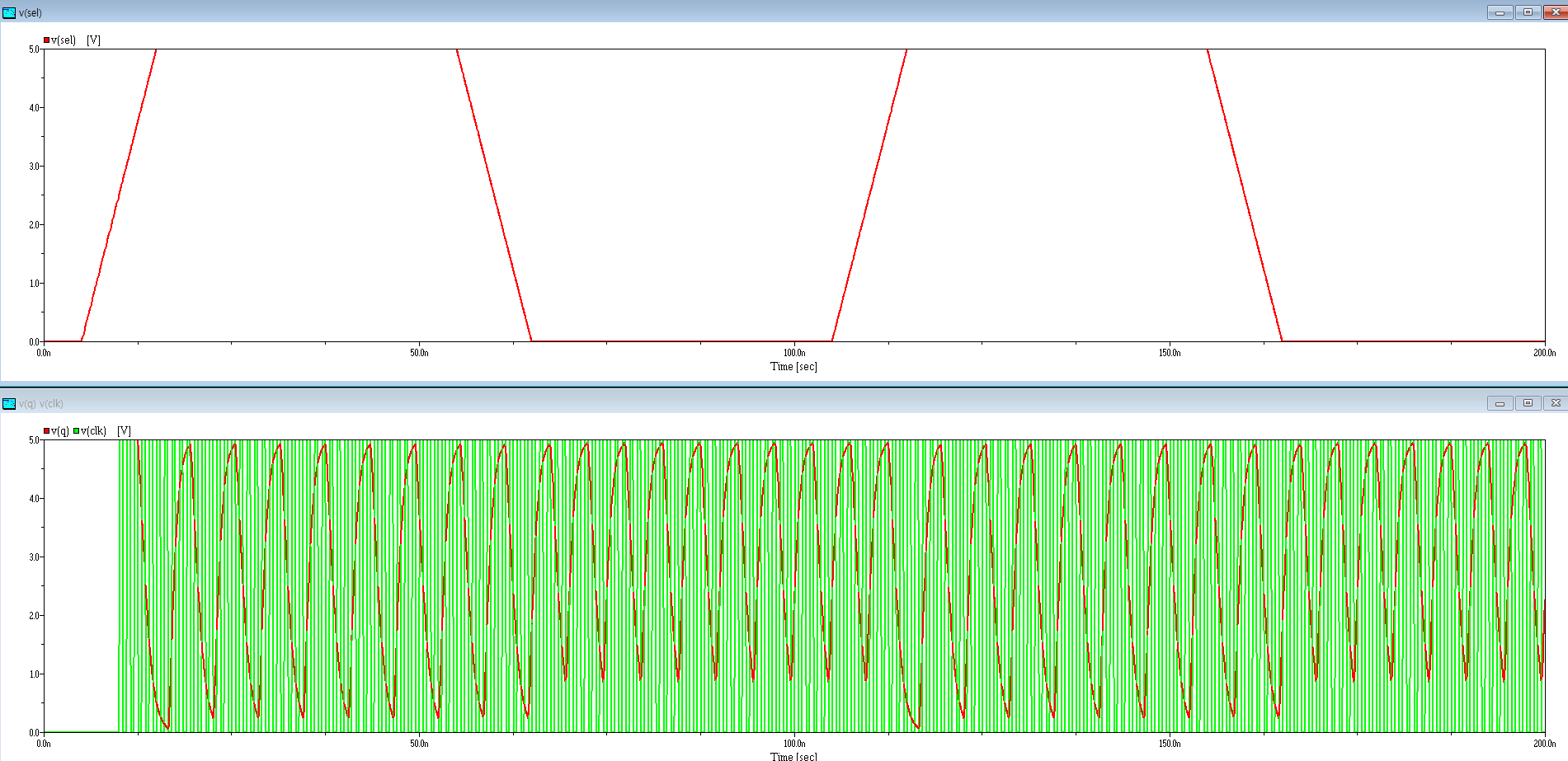


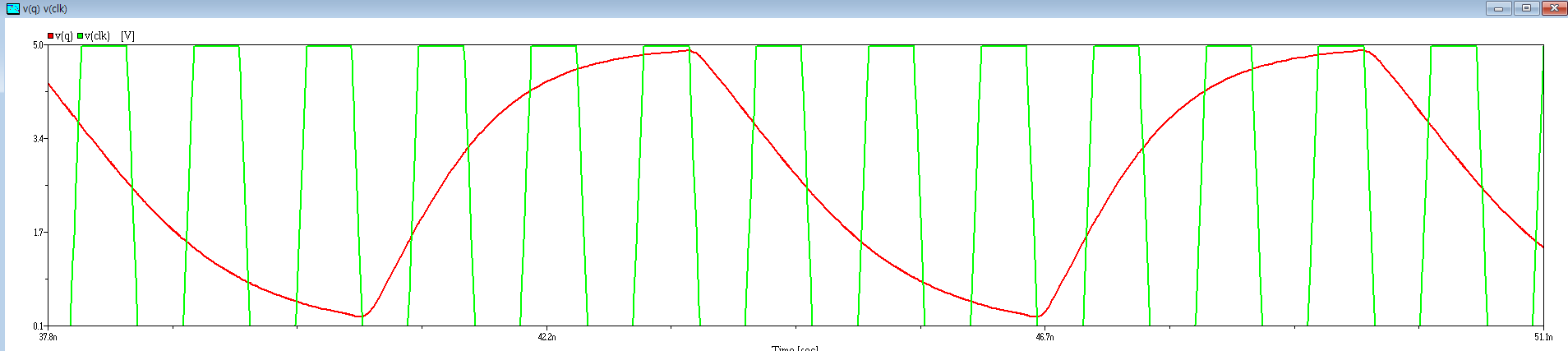
1. LVS



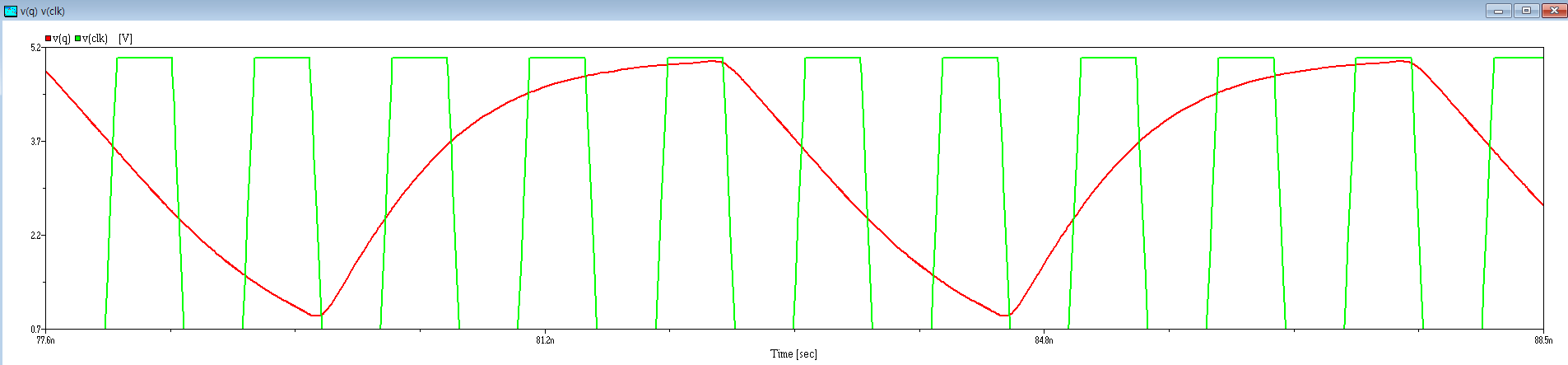
1. Layout Waveform, Netlist





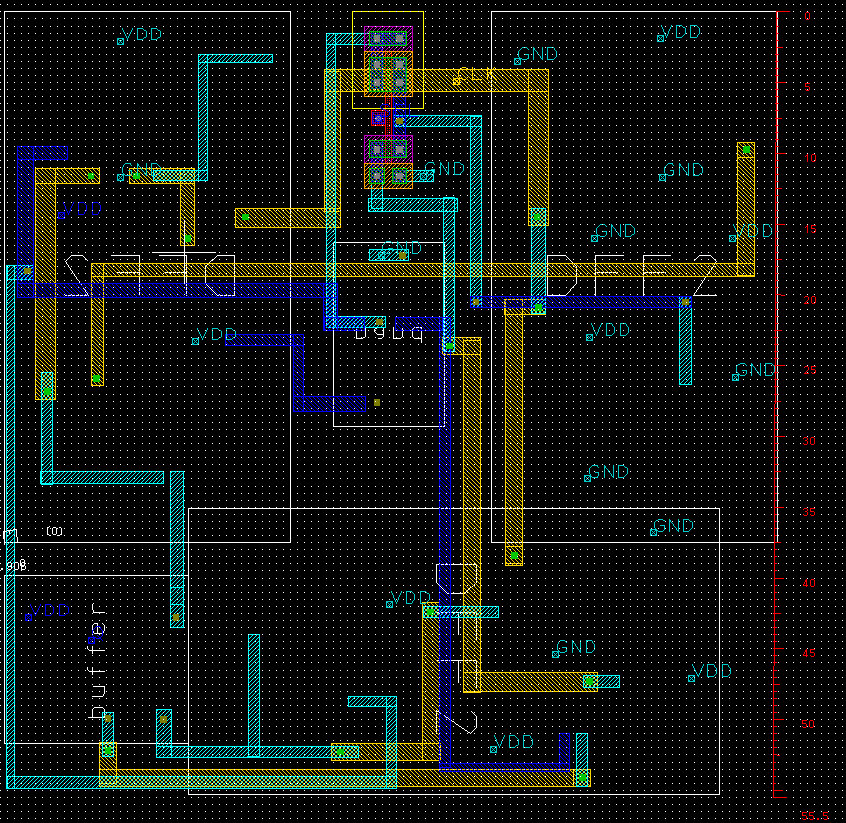
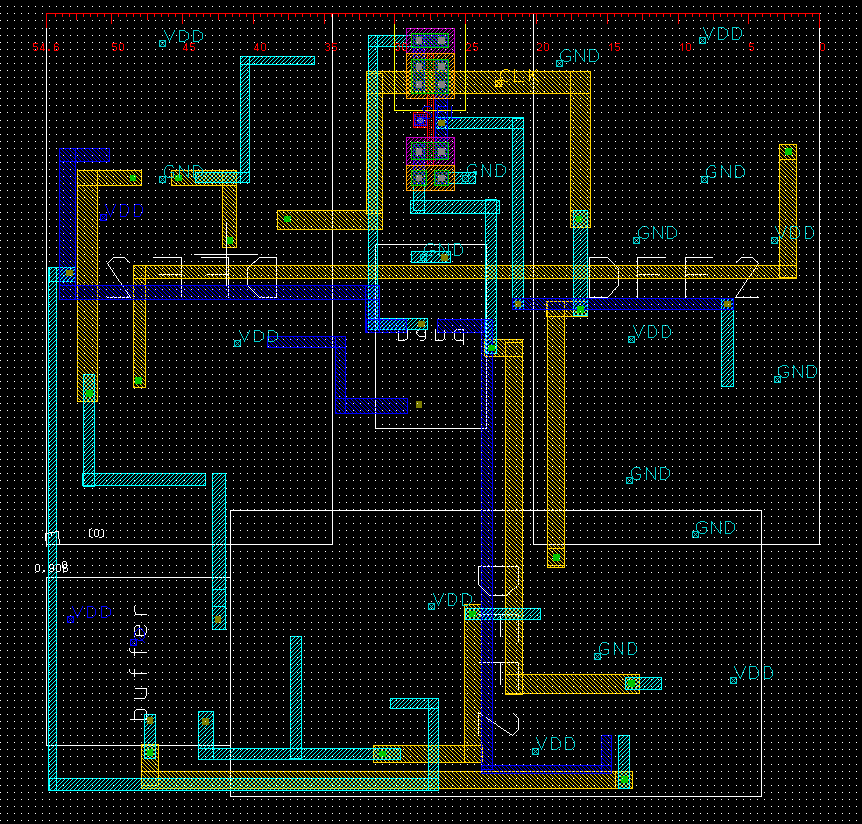
SEL=1 , DIV 6 동작

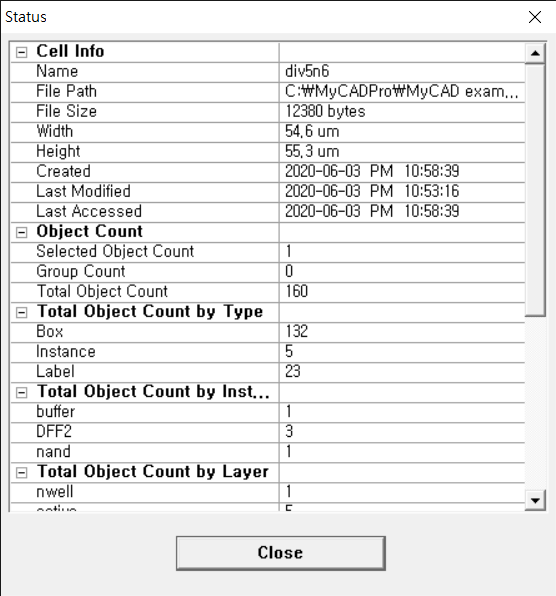
SEL=0, DIV 5 동작



// Schematic 과 동일하게 1n 에서 peak to peak 4V 를 만족함을 볼 수 있습니다.

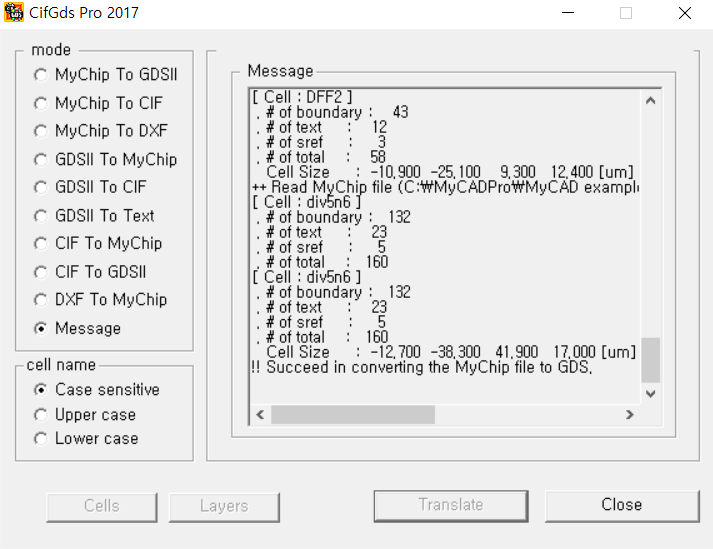
1. Layout AREA





**Layout area : 54.6um \* 55.3nm = 3019.38um**

1. GDSII



고찰 및 평가

// 프로젝트를 진행하며 많은 문제상황들과 에러들이 있었지만 하나하나 해결해 가며 회로설계에 대한 전반적인 이해와 경험을 할 수 있었습니다. 특히 점진적 설계를 통해 단계별로 설계를 한 것이 큰 도움이 되었습니다. 이전 단계 까지 에러가 없다는 확신이 있기에 오류나 문제상황을 마주했을 때 후보가 상당히 줄어들었습니다. 하지만 간혹 Tool 의 문제로 초기값을 찾지 못하거나 VDD 를 PULSE 로 주어야 하는 상황 등이 있었지만, 그 또한 schematic 이나 layout 의 구조를 수정하여 결국 해결하였습니다.

회로설계에 대한 전반적인 이해와 흥미를 가질 수 있었던 프로젝트였고, 매우 도움이 되었습니다.