



## آزمون میانترم درس طراحی کامپیوتری سیستم های دیجیتال

### طراحی پایپ لاین و مدار کنترل کننده ی محاسبه کننده سری مکلارن

سری مک لارن برای تقریب زدن  $\ln(1+x)$  برای  $x$  های بین  $-1$  تا  $1$  با فرمول زیر به دست می آید. هرچه تعداد بیشتری از جملات در سری مکلارن در محاسبه وارد شود، تقریب دقیق تری از مقدار  $\ln$  به دست خواهد آمد. در ادامه ی این سوال، منظور از دقت تعداد جملات در نظر گرفته شده است (مثلا دقت ۴ یعنی فرمول تا جمله  $x^4/4$  محاسبه شوند)

$$\ln(1+x) = x - \frac{x^2}{2} + \frac{x^3}{3} - \dots = \sum_{k=1}^n \frac{(-1)^{k+1} x^k}{k}$$

الف) برای محاسبه ی سری مکلارن یک مسیر داده (datapath) به صورت پایپ لاین و یک کنترل کننده (control path) به شرح زیر طراحی و رسم کنید:

- مسیر داده باید به صورت پایپ لاین ۴ مرحله ای باشد که بتواند تا دقت ۴ (جمله  $x^4$ ) را محاسبه نماید. در هر مرحله (stage) از پایپ لاین فقط مجاز به استفاده از ضرب کننده و جمع کننده و در صورت نیاز مالتی پلاکسر و گیت های پایه هستید. تمامی مرحله های پایپ لاین باید مشابه باشند (مجاز به طراحی متفاوت برای مرحله های متفاوت نیستید)
- کنترل کننده ای طراحی نمایید که بتواند از این مسیر داده استفاده کرده و فرمول مکلارن را برای هر دقت داده شده بین ۱ تا ۸ محاسبه نماید. قطعاً برای دقت بالاتر از ۴ باید دوبار از مسیر داده استفاده شود. برای دقت کمتر از ۴ هم از فقط بخشی از مسیر داده استفاده میشود.
- ورودی های این مدار عبارت است از:
  - $X$  (۸-بیتی): داده ورودی
  - $N$  (۳-بیتی): دقت مورد نظر
  - Reset: پاک کردن تمام رجیسترها و رفتن به حالت غیرفعال
  - Start: دستور آغاز عملیات
- خروجی ها عبارتند از:
  - $Y$  (۳۲-بیتی): مقدار خروجی فرمول
  - Valid: یک بودن این سیگنال نشان دهنده معتبر بودن خروجی جاری است
  - Ready: مدار آماده دریافت ورودی جدید  $X$  است
  - Overflow: یک بودن این سیگنال نشان دهنده معتبر نبودن خروجی جاری به دلیل سرریز (overflow) است
  - Error: یک بودن این سیگنال نشان دهنده این است که ورودی ها طبق روال مورد انتظار رفتار نکرده اند و سیستم نیاز به ریست شدن برای ادامه کار دارد

سیستم با ریست به حالت غیر فعال می رود و در این حالت با رسیدن سیگنال start وارد حالت عملیاتی می شود. در این حالت ابتدا ورودی N خوانده میشود (تا دقت تعیین شود). سپس به طور پیوسته ورودی X خوانده شده و محاسبه ها انجام میشود. در دقت های بیش از ۴ برخی از سیکل ها ورودی جدید خوانده نمی شود که این امر با صفر کردن سیگنال ready به اطلاع تولید کننده ورودی می رسد. در حالت غیرفعال و در مواقعی که مدار خروجی معتبری تولید نکرده است (مثلا وقتی که هنوز پایپ لاین پر نشده است) سیگنال valid صفر است تا نبود خروجی معتبر جدید روی سیگنال Y به اطلاع مصرف کننده خروجی این مدار برسد.

• برای این محاسبات، ورودی X ۸-بیتی است و عملگرها و رجیسترهای مدار ۳۲-بیتی هستند. در صورتی که محاسبات مربوط به یک ورودی در هر مرحله از پایپ لاین دچار سرریز شود، سیگنال overflow همراه با (و هنگام تولید) خروجی آن یک می شود تا عدم اعتبار خروجی اطلاع داده شود.

در صورتی که هر خطایی در روند اجرا رخ دهد (در صورت نیاز) سیستم به حالت خطا رفته و خروجی error یک میشود و تا ریست بعدی در این حالت باقی می ماند.

\*\* تمام موارد و مسایلی که در صورت سوال گفته نشده (مثلا نحوه خواندن ضرایب در مراحل پایپ لاین، نحوه تشخیص سرریز، و ...) جز انتخاب های طراحی است و باید توسط شما تعیین شود.