



Escola Politècnica Superior  
d'Enginyeria de Manresa

UNIVERSITAT POLITÈCNICA DE CATALUNYA

# PRÀCTICA 4: DISSENY UNITAT DE CONTROL

**Sergi Carol Boschi i Enric Lenard Uró**

Grau en Enginyeria de Sistemes TIC

**Arquitectura de Computadors**

Curs 2013-14, Grup 10, G12 de pràctiques

Realització de la pràctica: 28/04/2014

Lliurament del treball: 12/05/2014

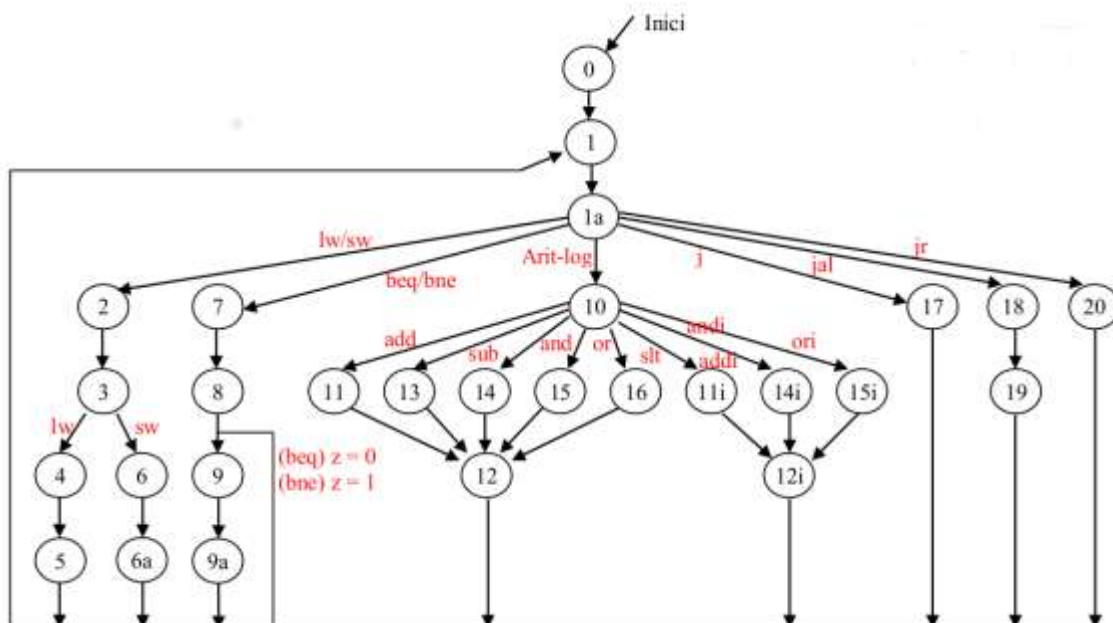
# Realització pràctica

En aquesta pràctica l'alumne ha de realitzar el disseny de la Unitat de Control (UC) pel processador que s'ha estudiat a classe. Com s'ha vist, la UC és la part del processador que dirigeix i coordina totes les operacions que realitza. La UC és un sistema seqüencial que dissenyarem com un Autòmat de Moore.

Els codis d'operació (co) i funció (func) són els següents per a les diferents instruccions que executa el processador:

Instrucció	c.o.						Funció					
	C5	C4	C3	C2	C1	C0	F5	F4	F3	F2	F1	F0
add	0	0	0	0	0	0	1	0	0	0	0	0
sub	0	0	0	0	0	0	1	0	0	0	1	0
and	0	0	0	0	0	0	1	0	0	1	0	0
or	0	0	0	0	0	0	1	0	0	1	0	1
slt	0	0	0	0	0	0	1	0	1	0	1	0
addi	0	0	1	0	0	0	x	x	x	x	x	x
andi	0	0	1	1	0	0	x	x	x	x	x	x
ori	0	0	1	1	0	1	x	x	x	x	x	x
lw	1	0	0	0	1	1	x	x	x	x	x	x
sw	1	0	1	0	1	1	x	x	x	x	x	x
beq	0	0	0	1	0	0	x	x	x	x	x	x
bne	0	0	0	1	0	1	x	x	x	x	x	x
J	0	0	0	0	1	0	x	x	x	x	x	x
jr	0	0	0	0	0	0	0	0	1	0	0	0
jal	0	0	0	0	1	1	x	x	x	x	x	x

A continuació tenim el recorregut que es realitzarà segons la instrucció que s'executi, passant pels estats corresponents.



En cadascuna de les fases o estats de la UC els senyals a activar són les següents:

Estat	l_sor1	l_sor2	e_reg	mux_dest	l_mem	e_mem	e_mar	l_mdr	e_mdr	e_ir	l_pc	e_pc	pc_sup	inc_pc	l_desp1	l_desp2	l_exsign	l_acc	e_acc	Tancar	op_alu
1	0	0	0	XX	1	0	1	0	1	0	1	0	0	0	0	0	0	0	0	0	XXX
1a	0	0	0	XX	0	0	0	1	0	1	0	0	0	1	0	0	0	0	0	0	XXX
2	0	0	0	XX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	XXX
3	1	0	0	XX	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	010
4	0	0	0	XX	1	0	1	0	1	0	0	0	0	0	0	0	0	1	0	1	XXX
5	0	0	1	00	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	XXX
6	0	1	0	XX	0	1	1	0	1	0	0	0	0	0	0	0	0	1	0	1	XXX
6a	0	1	0	XX	0	1	1	0	0	0	0	0	0	0	0	0	0	1	0	1	XXX
7	0	0	0	XX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	XXX
8	1	1	0	XX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	110
9	0	0	0	XX	0	0	0	0	0	0	1	0	0	0	1	0	0	1	1	0	010
9a	0	0	0	XX	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	0	000
10	0	0	0	XX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	XXX
11	1	1	0	XX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	010
11i	1	0	0	XX	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	010
12	0	0	1	01	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	XXX
12i	0	0	1	00	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	XXX
13	1	1	0	XX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	110
14	1	1	0	XX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	000
14i	1	0	0	XX	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	000
15	1	1	0	XX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	001
15i	1	0	0	XX	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	001
16	1	1	0	XX	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	111
17	0	0	0	XX	0	0	0	0	0	0	1	1	1	0	0	1	0	1	1	0	010
18	0	0	1	10	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	XXX
19	0	0	0	XX	0	0	0	0	0	0	1	1	1	0	0	1	0	1	1	0	010
20	1	0	0	XX	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	XXX

## UNITAT DE CONTROL (UC)

Dissenyem el codi de programa que realitza el funcionament desitjat, creant les entrades i sortides necessàries.

Primer realitzem el disseny corresponent al circuit de transició entre estats. Per a cada estat caldrà indicar la transició a l'estat següent en funció de les entrades.

Posteriorment realitzem el disseny corresponent al circuit de sortides. Per a cada estat caldrà indicar el valor de les sortides.

**ADJUNTAT DOCUMENT PDF AMB EL CODI**

## TEST BENCH UC

A continuació comprovem mitjançant la simulació que el disseny funciona correctament. Per a això realitzem un conjunt de simulacions comportamentals, on comprovarem el funcionament quan cridem les funcions *add*, *lw* i *jal*.

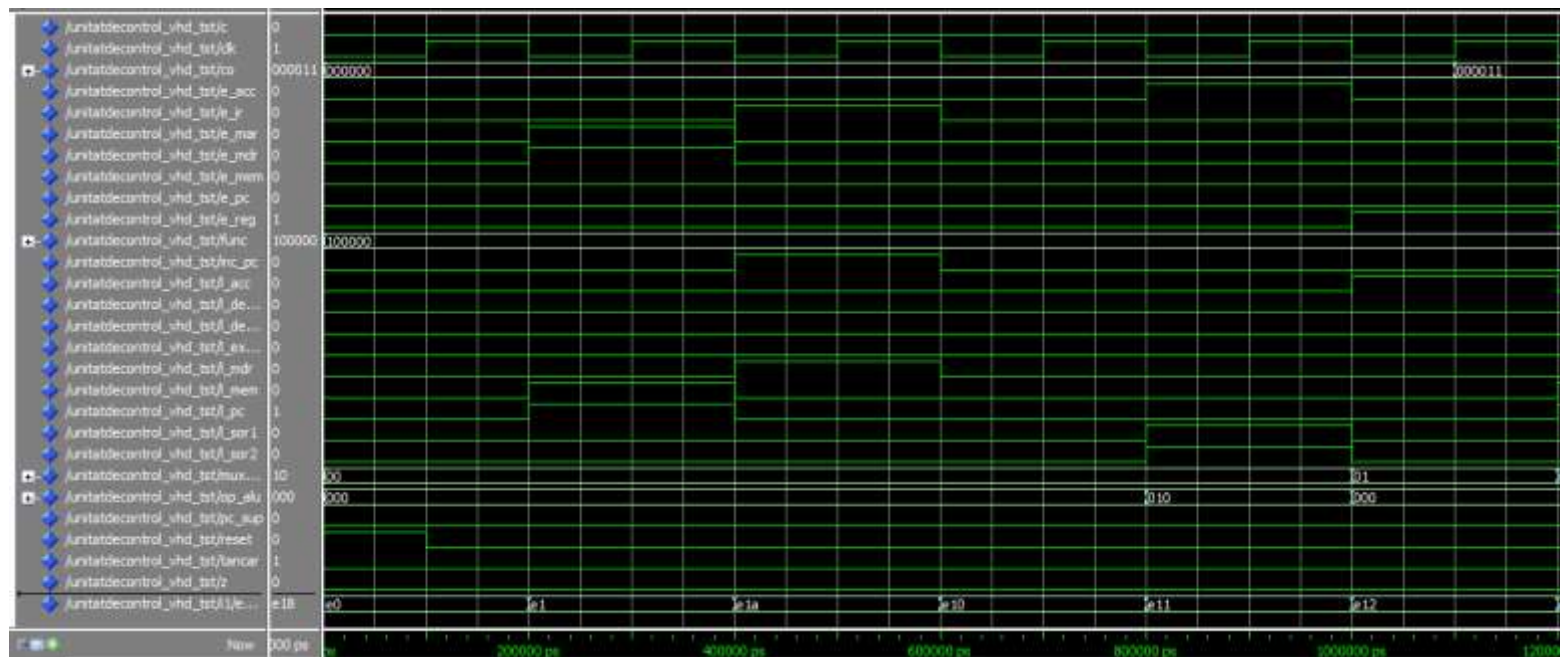
```
125 init : PROCESS
126   -- variable declarations
127   BEGIN
128       -- code that executes only once
129   WAIT;
130   END PROCESS init;
131
132 clock: process
133   begin
134
135
136   clk <= '0';
137   wait for 100 ns;
138   clk <= '1';
139   wait for 100 ns;
140
141   end process clock;
142 always : PROCESS
143   BEGIN
144       reset <= '1';
145       co <= "000000";
146       func <= "100000";
147       z <= '0';
148       c <= '0';
149       wait for 200 ns;
150       reset <= '0';
151       wait for 1000 ns;
152       co <= "000011";
153       wait for 1000 ns;
154       co <= "100011";
155       wait for 100 ns;
156
157   -- optional sensitivity list
158   -- (          )
159   -- variable declarations
160
161       -- code executes for every event on sensitivity list
162   WAIT;
163   END PROCESS always;
164   END UnitatDeControl_arch;
165
```

Un cop tenim el programa de prova, on cridem les funcions *add*, *jal* i *lw* modificant el codi creem una gràfica que ens mostra el resultat visualment.

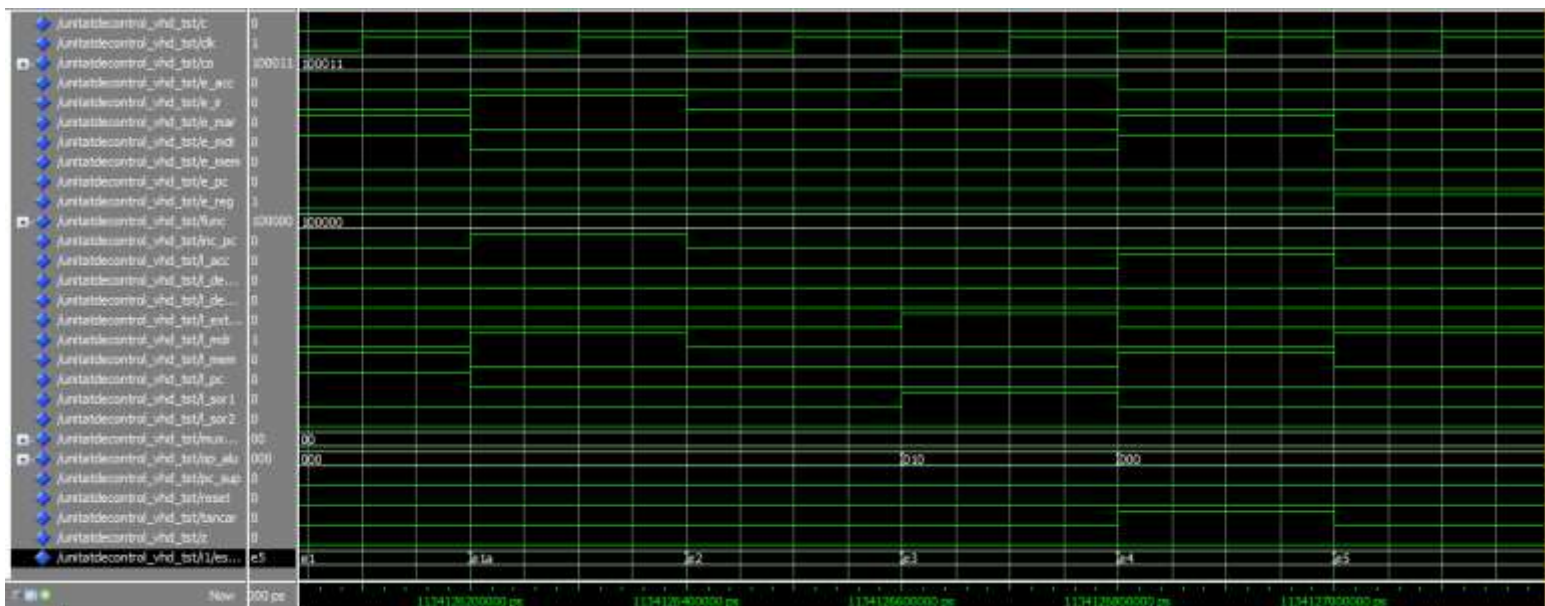
## SIMULACIÓ GRÀFICA UC

Per a poder seguir millor l'execució de cada instrucció visualitzem també a la simulació l'estat en què es troba en cada moment la UC.

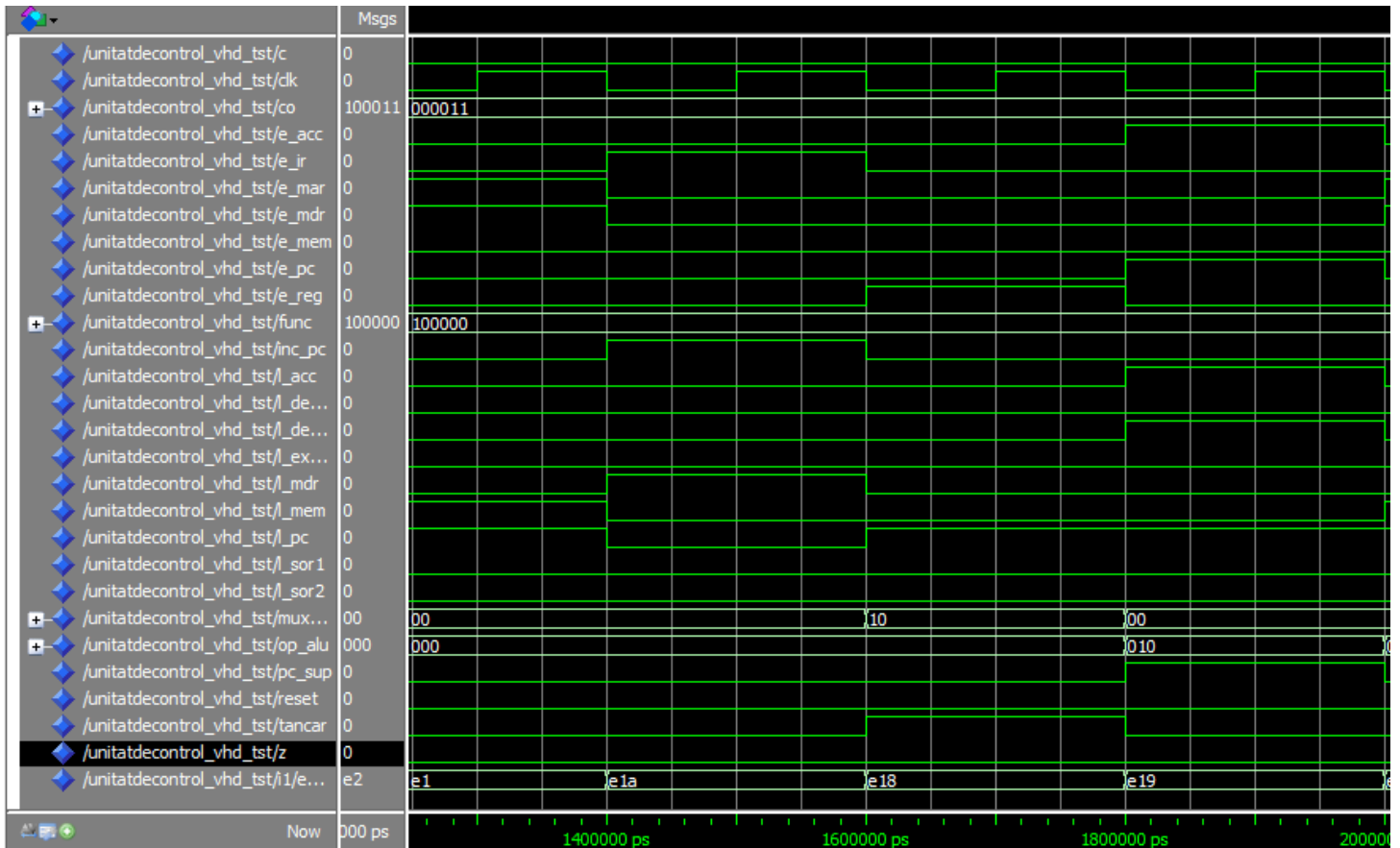
### - Grafica ADD



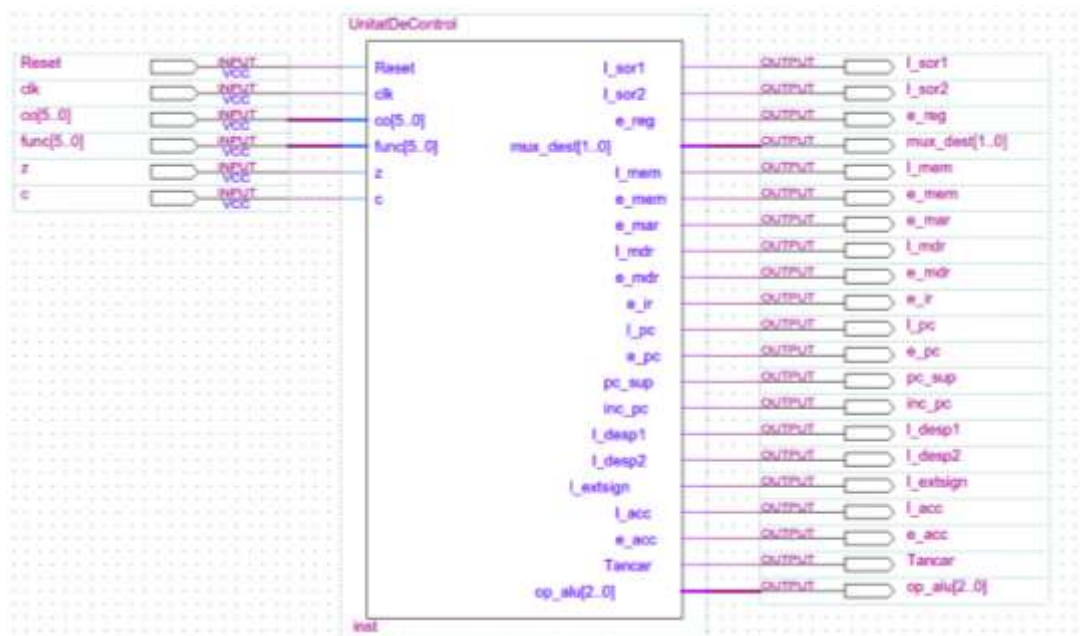
### - Grafica LW



## - Grafica JAL



## SIMBOL UC

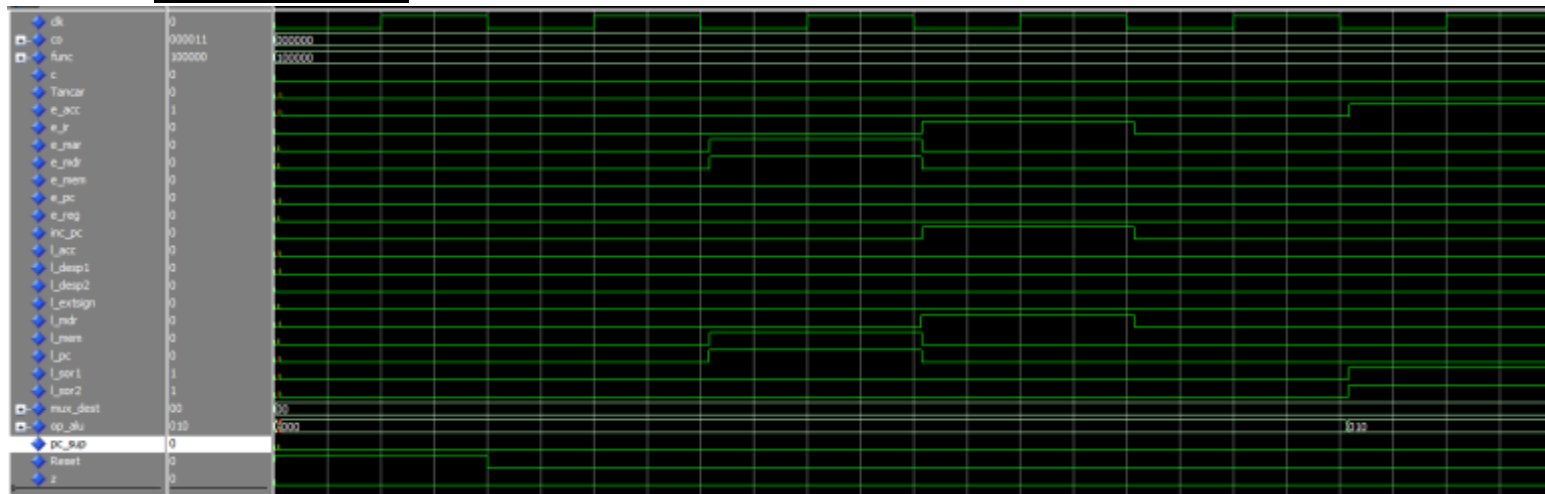


Un cop tenim creat el símbol de la unitat de control podem realitzar la gràfica en cas real, tenint en compte el retard que aporten les portes lògiques.

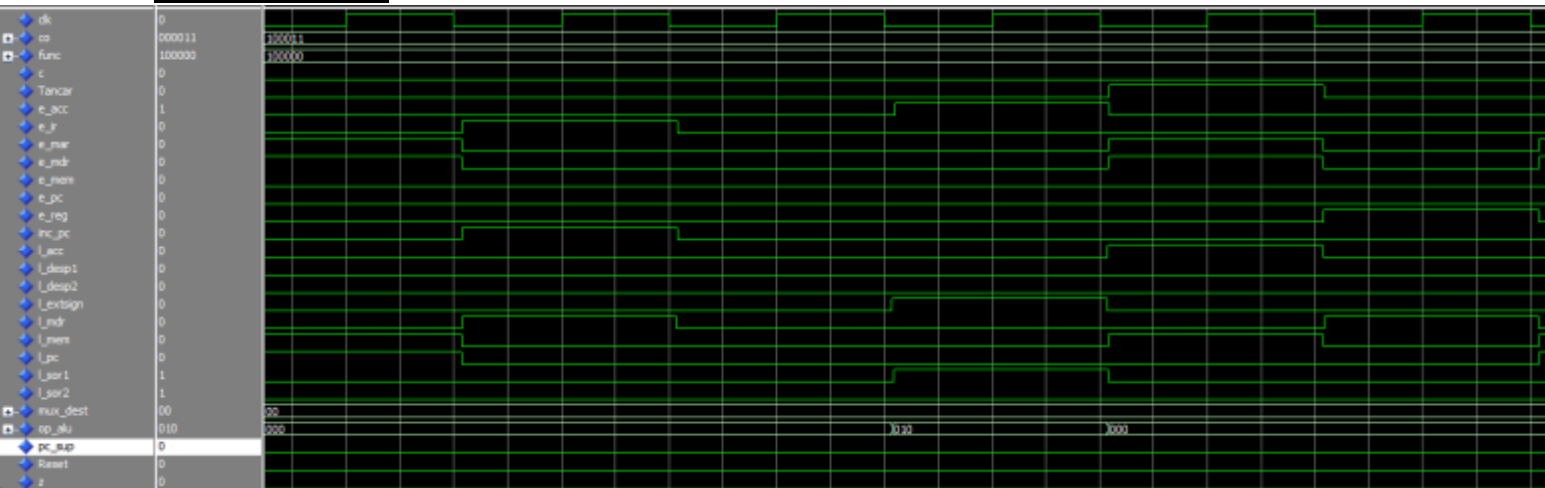


## SIMULACIÓ GRÀFICA REAL UC

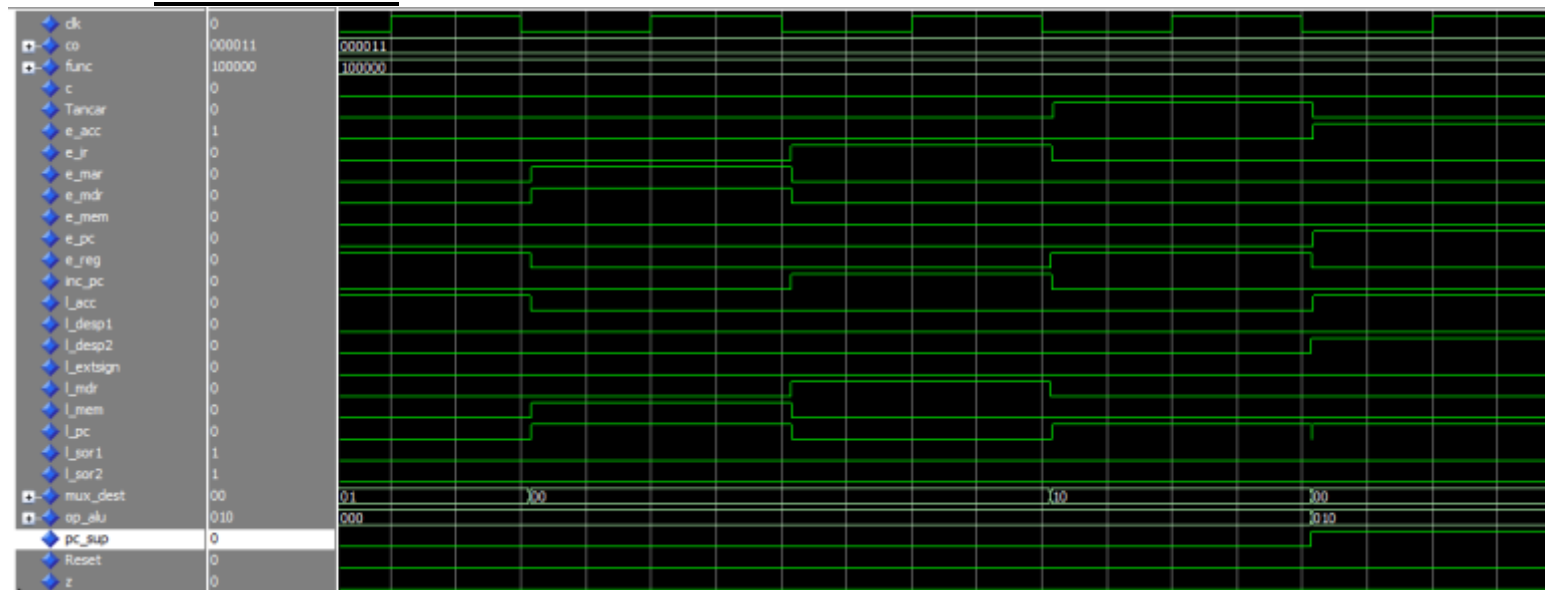
### - Grafica real ADD



### - Grafica real LW



### - Grafica real JAL



Com podem observar obtenim retards causats per les portes que es van acumulant al llarg de les transicions però no tenen molt efecte degut al temps que tenim d'execució.

## TAULA ESTATS UC

Omplim la taula amb els 5 primers estats que s'utilitzen i indiquem les senyals que s'activen en cada un dells, diferenciant les funcions *add*, *jal* i *lw*.

	ADD					JAL					LW				
Etapa	E1	E1a	E10	E11	E12	E1	E1a	E18	E19	E1	E1	E1a	E2	E3	E4
<u>l_pc</u>	1					1				1	1				
<u>inc_pc</u>		1					1					1			
<u>e_pc</u>									1						
<u>l_extsig</u>														1	
<u>l_desp1</u>															
<u>l_desp2</u>									1						
<u>e_ir</u>		1					1					1			
<u>mux_desp</u>	00	00	00	00	01	00	00	10	00	00	00	00	00	00	00
<u>e_reg</u>					1			1							
<u>l_sor1</u>				1										1	
<u>l_sor2</u>				1											
<u>e_acc</u>				1					1						
<u>l_acc</u>					1									1	1
<u>pc_sup</u>									1						
<u>op_alu</u>	000	000	000	010	000	000	000	000	010	000	000	000	000	010	000
Tancar								1							1
<u>e_mar</u>	1					1				1	1				1
<u>e_mdr</u>	1					1				1	1				1
<u>l_mdr</u>		1					1					1			