

1 D4 - TEKKOM B

COUNTER ASINKRON



Nama	:	Septian Bagus Jumanoro
Kelas	:	1 – D4 Teknik Komputer B
NRP	:	3221600039
Dosen	:	Reni Soelistijorini B.Eng, MT
Mata Kuliah	:	Praktikum Rangkaian Logika 1
Hari/Tgl. Praktikum	:	Senin, 22 November 2021



PERCOBAAN 12

COUNTER ASINKRON

12.1. TUJUAN :

Setelah melaksanakan percobaan ini mahasiswa diharapkan mampu :

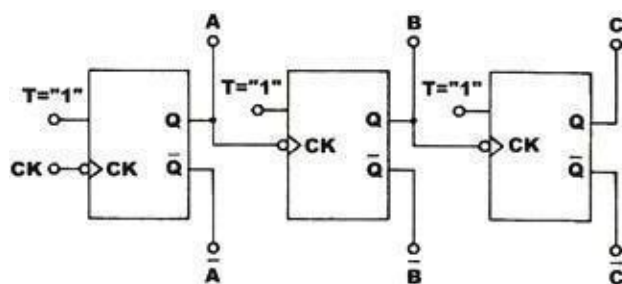
- Membuat Rangkaian dasar Counter Asinkron 3-bit
- Membuat Timing Diagram Counter
- Membuat Counter Asinkron MOD-n
- Membuat Up-Down Counter Asinkron

12.2. PERALATAN :

- Modul Trainer KL-31001 Digital Logic Lab
- Modul KL-33009 / KL-33010
- Oscilloscope

12.3. DASAR TEORI :

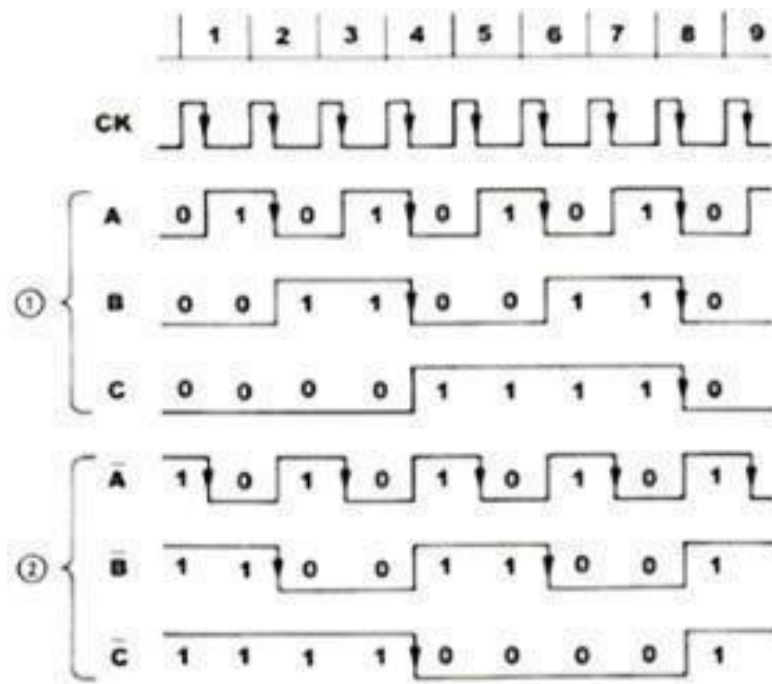
Counter dibangun dengan flip-flop dan gerbang logika dasar. Dari percobaan sebelumnya, kita menemukan bahwa T flip-flop menggantikan letak outputnya diantara biner "0" dan "1" ketika input $T=1$ dan $CK=1$.



Gambar 12.1: Rangkaian counter

Perhatikan Gambar 12.1 dimana tiga T flip-flop dihubungkan secara seri. Output Q dari flip-flop di depan digunakan sebagai input CK untuk setiap flip-flop berikutnya. Asumsikan jumlah flip-flop yang tersambung secara seri adalah "n" dan terdapat "n"

input, maka output dari flip-flop terakhir adalah $n/2^n$. Sehingga gelombang output seperti pada Gambar 12.2.



Gambar 12.2: Timing diagram pada rangkaian counter

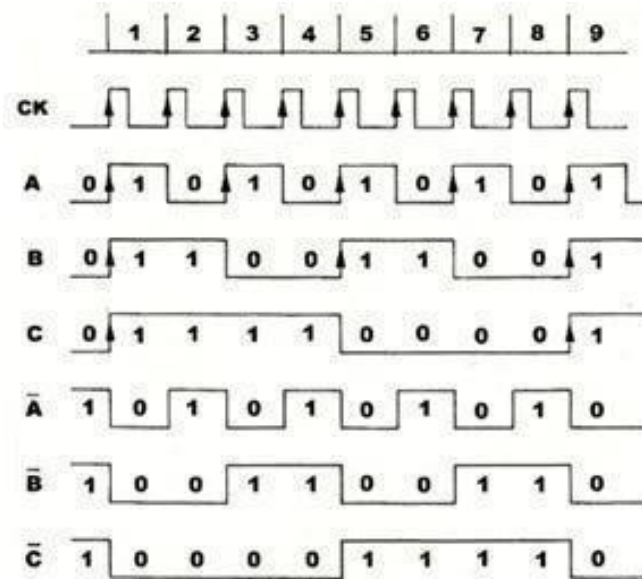
Dari Gambar 12.2 dapat kita lihat bahwa output normal A, B, C terhitung “up” saat output complement A, B, C terhitung “down”, jadi CK ditrigger pada sisi negatif.

A memiliki dua kali siklus dan setengah frekuensi CKB

memiliki dua kali siklus dan setengah frekuensi A C

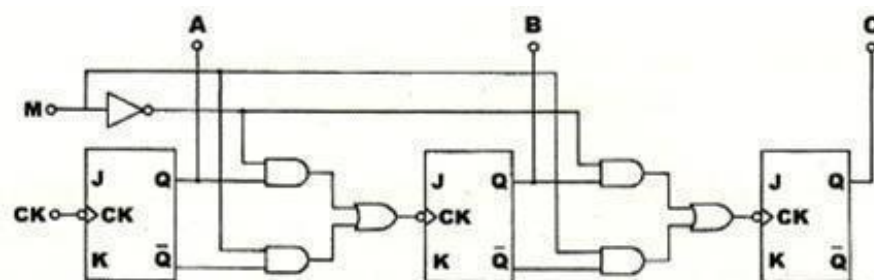
memiliki dua kali siklus dan setengah frekuensi B

Jika CK ditrigger pada sisi positif, gelombang outputnya akan terlihat seperti pada Gambar 12.3. Terlihat dengan jelas A, B, dan C terhitung “up”. Rangkaian pada Gambar 12.1 akan terhitung “up” ketika CK terhubung dengan Q. Ketika CK terhubung dengan \bar{Q} , rangkaian akan terhitung “down”.



Gambar 12.3: Timing diagram pada rangkaian counter

JK flip flop adalah flip flop universal yang biasanya digunakan dalam percobaan untuk membangun counter dasar. Rangkaian pada Gambar 12.4 adalah up/down counter yang dibangun dengan JK flip-flop yang dihubungkan secara seri .

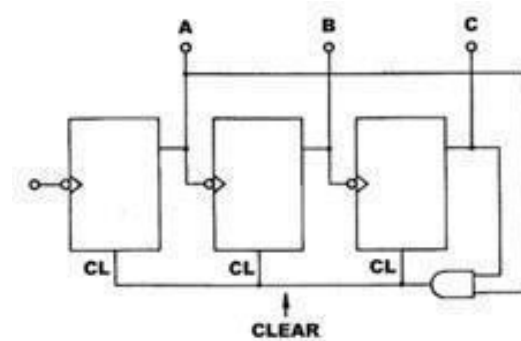


Gambar 12.4: Rangkaian counter dari J-K flip-flop

Ketika $M=0$, CK terhubung dengan Q dan rangkaian akan terhitung "UP" Ketika $M=1$, CK terhubung dengan \bar{Q} dan rangkaian akan terhitung "DOWN"

Koneksi serial, seperti Gambar 12.4 berdasar dari "Asynchronous Counting". Dengan tujuan untuk mendapatkan efek "dibagi sejumlah n", outputnya harus terhubung dengan pin "CLEAR".

Gambar 12.5 menunjukkan rangkaian “dibagi-oleh-5”. Kita dapat melihat dari tabel kebenaran (Tabel 12.1) bahwa kondisi “0” dan “5” setara, membentuk sebuah loop yang disebut rangkaian “dibagi-oleh-5”.



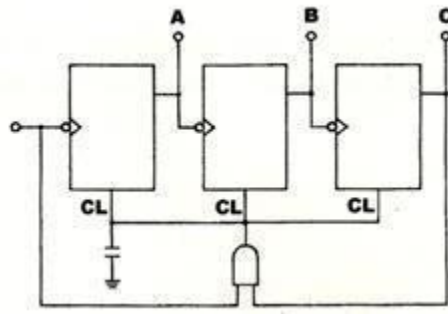
Gambar 12.5: Rangkaian counter “dibagi-oleh-5”

Tabel 12.1: Tabel counter

STATE		C	B	A
0		0	0	0
1		0	0	1
2		0	1	0
3		0	1	1
4		1	0	0
5		0	0	0
6		0	0	1

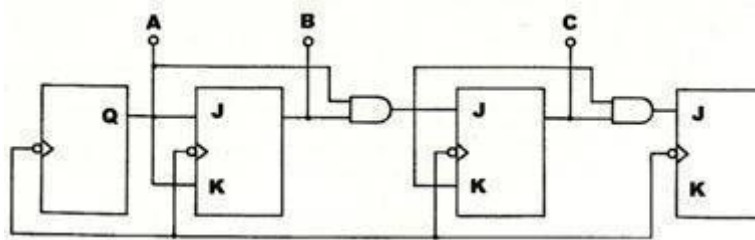
Dalam Gambar 12.5, A dan C terhubung dengan “CL” melalui gerbang AND. Karena kondisi “5” adalah 101, ketika CBA=101 counter direset.

Sebuah kapasitor ditambahkan pada CL untuk memperpanjang fungsi “CLEAR”. Kapasitor mempertahankan kondisi “1” dan menjaga flip-flop dalam mode “CLEAR” ketika CK turun. Di sisi negatif CK, counter masih disable.



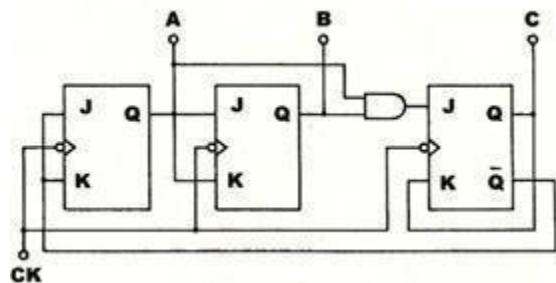
Gambar 12.6: Rangkaian counter “dibagi-oleh-5”

Koneksi serial antara rangkaian dibagi-oleh-2 dan dibagi-oleh-5 membentuk sebuah counter BCD. Sebuah 1 Hz timing signal dapat dibangkitkan ketika counter industrial seperti rangkaian dibagi-oleh-10 atau dibagi-oleh-6 digunakan dalam hubungan dengan power AC 60 Hz. Jika semua CK dihubungkan bersama, sebuah counter sinkron terbentuk. Kecepatan operasinya jauh lebih cepat dibandingkan dengan counter asinkron yang dihubungkan secara serial, tetapi mendesain counter non 2^n dengan counter sinkron jauh lebih kompleks. Gambar 12.7 menunjukkan counter 4 bit “dibagi-oleh-16”.



Gambar 12.7: Rangkaian counter 4-bit “dibagi-oleh-16”.

Gambar 12.8 menunjukkan rangkaian counter sinkron dibagi-oleh-5. Strukturnya lebih kompleks daripada counter asinkron.

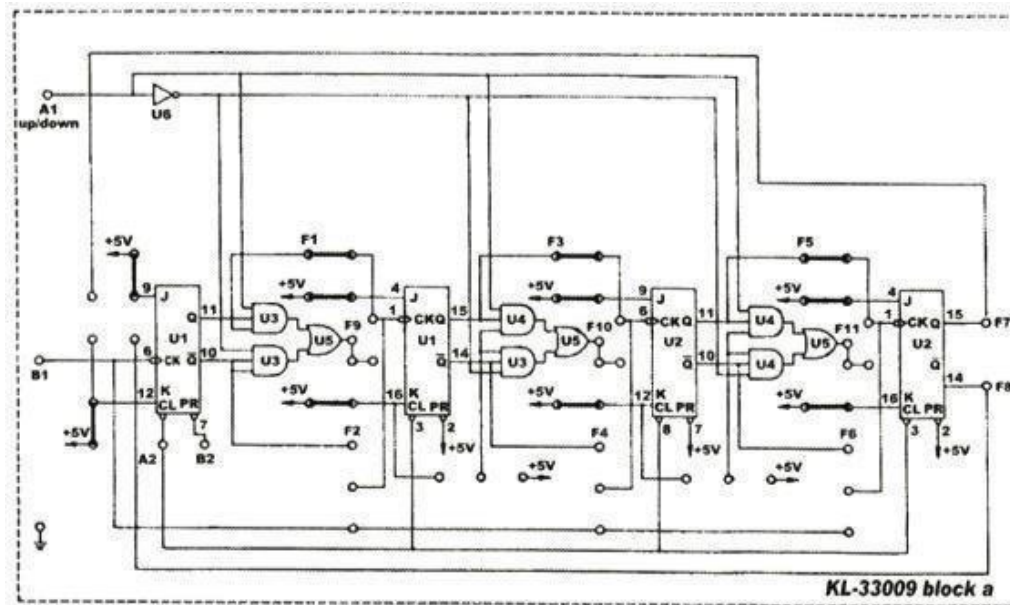


Gambar 12.8: Synchronous counter “dibagi-oleh-5”.

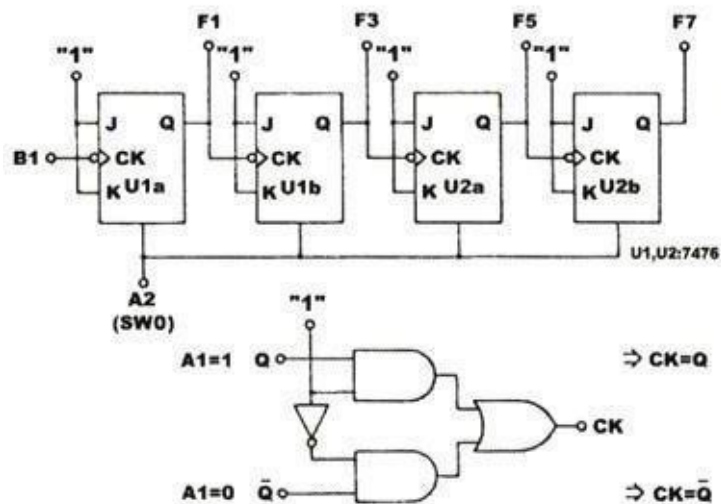
12.4 Prosedur Percobaan

12.4.1. Counter Asynchronous Up Biner

1. Pasang connection clip sesuai Gambar 12.9 untuk membangun rangkaian pada Gambar 12.10.



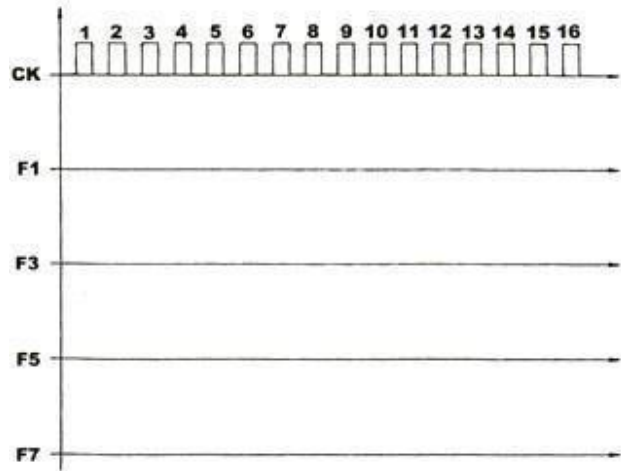
Gambar 12.9: Modul KL-33009 Blok a



Gambar 12.10: Rangkaian ekivalen

2. Hubungkan A2 (clear) ke SW0; A1 ke +5v; output F1, F3, F5, F7 ke L1~L4 berturut-turut dan B1 (CK) ke Clock Generator, atur frekuensi output pada 1 kHz.

3. Atur SW0 ke "1" pada awalnya agar output clear; kemudian atur SW0 ke "0" untuk memulai counting. Ukur CK dan output dengan osiloskop, catat output pada Gambar 12.11

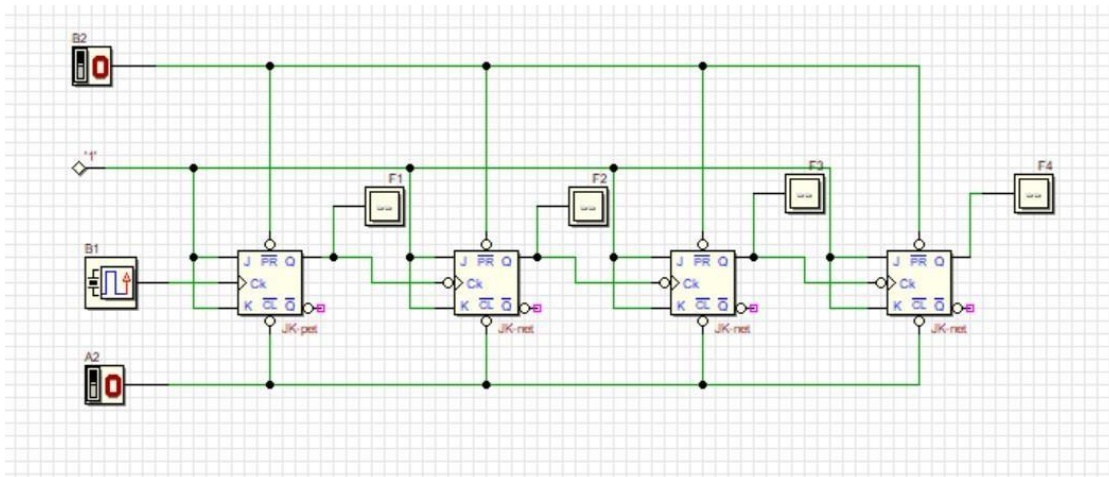


Gambar 12.11: Grafik hasil percobaan

4. Apa yang terjadi jika SW0 diatur pada "1" selama proses counting?

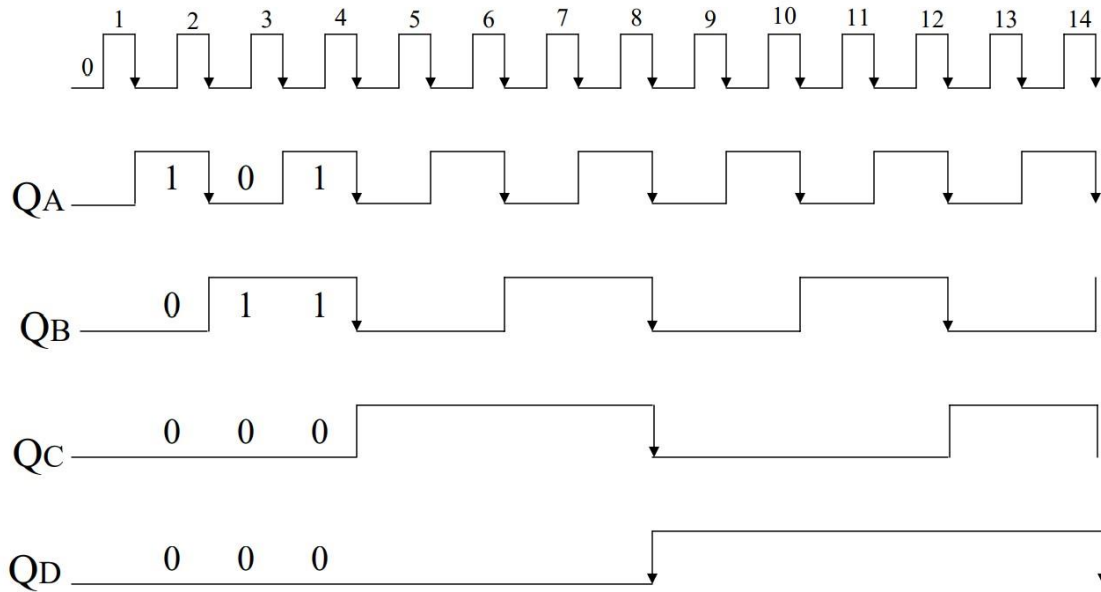
Hasil Percobaan

Rangkaian up counter asinkron:



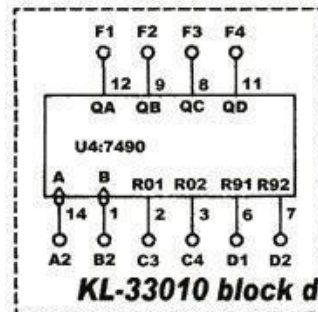
Petunjuk Praktikum Rangkaian Logika 1

Gelombang up counter asinkron:

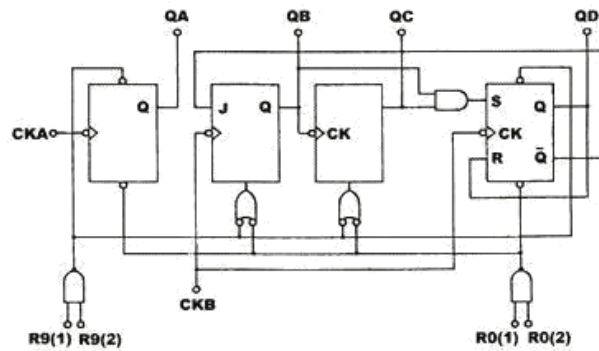


12.4.2. Counter Asynchronous Decade Up

1. U4 (7490) pada modul KL-33010 blok d, ditunjukkan pada Gambar 12.12, akan digunakan dalam percobaan ini. Blok diagram fungsional dari U4 ditunjukkan pada Gambar 12.13.

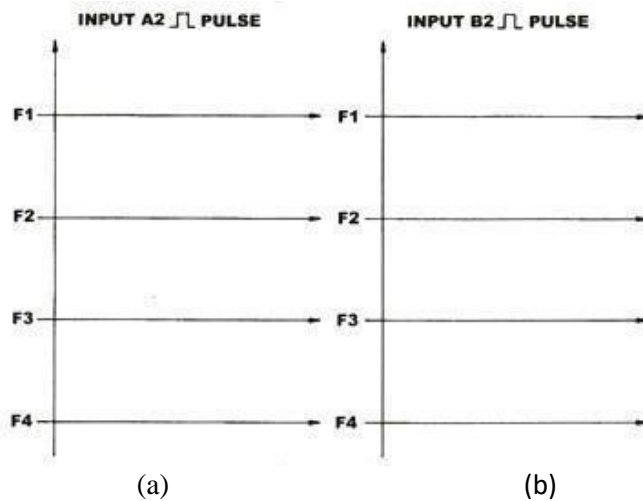


Gambar 12.12: Modul KL-33010 Block d



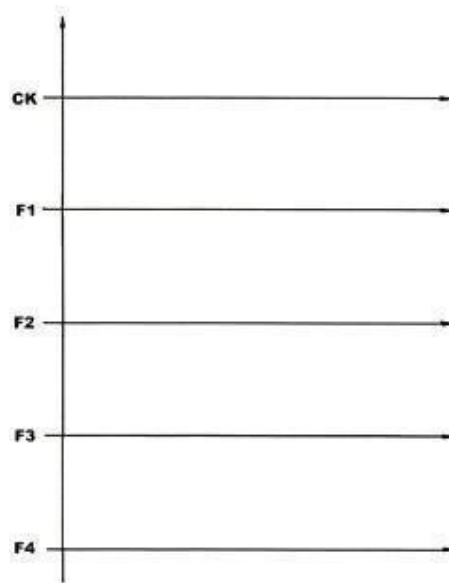
Gambar 12.13: Rangkaian ekivalen

2. Hubungkan C3, C4 ke SW0 dan SW1; D1, D2 ke SW2 dan SW3; F1~F4 ke L1~L4; A2 ke output SWA Q; B2 ke output SWB Q.
3. (A) Hubungkan C3, C4, D1, D2 ke ground dan A2 ke pulse SWA Q. Ukur dan catat gelombang output dalam Gambar 12.14(a).
(B) Hubungkan C3, C4, D1, D2 ke ground dan B2 ke pulse SWB Q. Ukur dan catat gelombang output dalam Gambar 12.14(b).



Gambar 12.14: Grafik hasil percobaan

4. Hubungkan F1 ke B2; A2 ke pulse 1 kHz. Ukur dan catat A2 (CK), F1, F2, F3, F4 dalam Gambar 12.15.

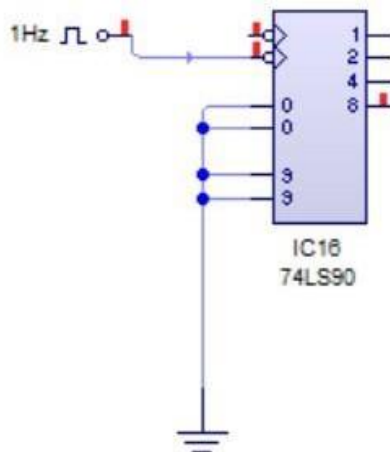


Gambar 12.15: Grafik hasil percobaan

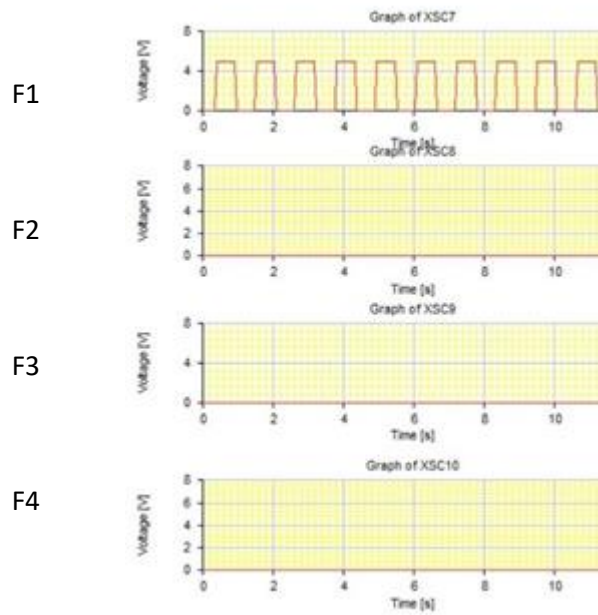
5. Hubungkan C3, C4 pada +5V; D1, D2 pada ground. Bagaimana outputnya?
6. Hubungkan D1, D2 pada +5V; C3, C4 pada ground. Bagaimana outputnya?

Hasil Percobaan

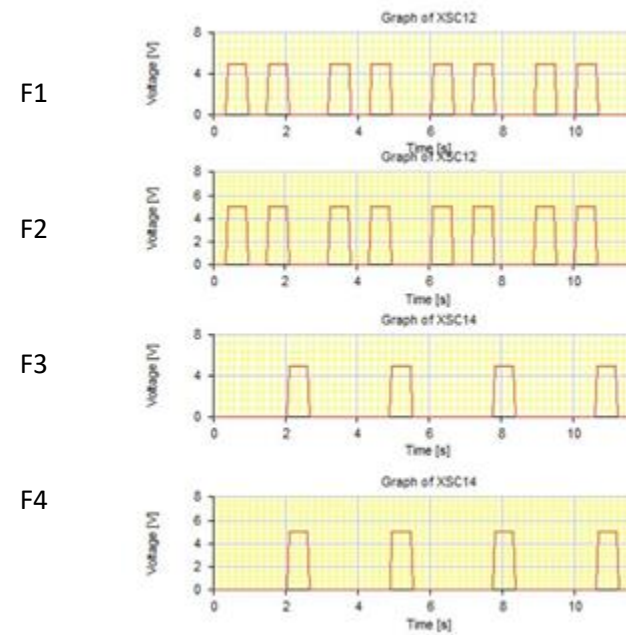
Rangkaian counter asynchronous decade up



Gambar gelombang rangkaian input A

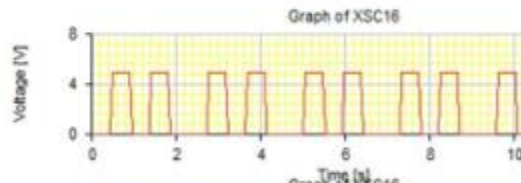


Gambar gelombang rangkaian input B

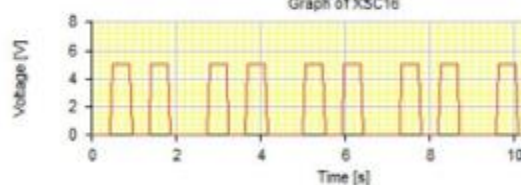


Gambar gelombang menggunakan clock A2

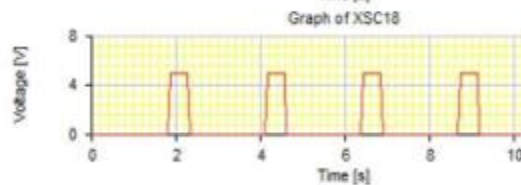
F1



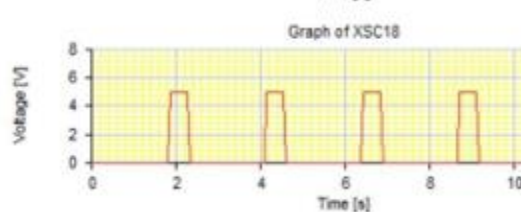
F2



F3

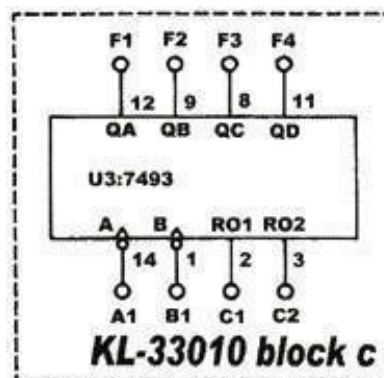


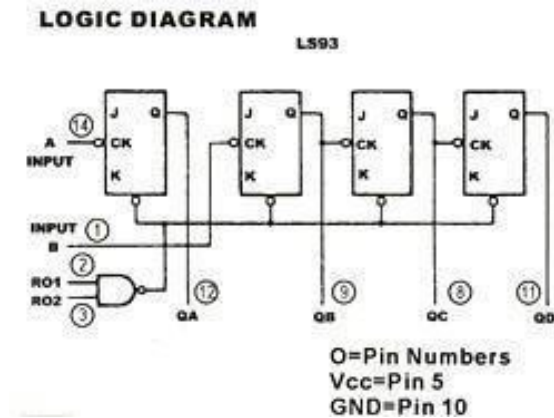
F4



12.4.3. Counter Asynchronous Up “Dibagi oleh N”

1. U3 (&493) pada modul KL-33010 Blok c, ditunjukkan pada Gambar 12.16 akan digunakan pada percobaan ini. Blok diagram fungsional dari U3 ditunjukkan pada Gambar 12.17.



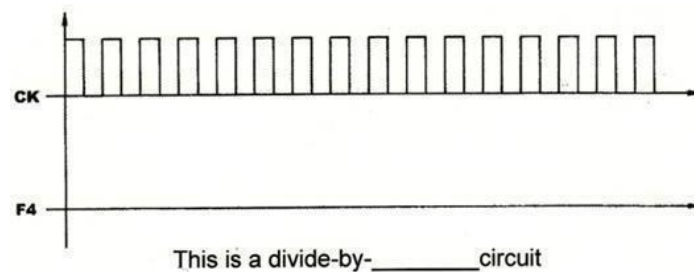


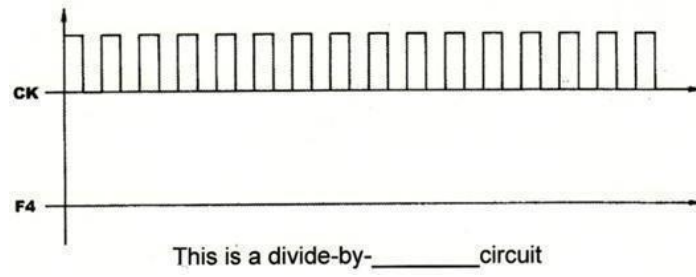
Gambar 12.17: Rangkaian ekivalen

2. Hubungkan B1(CK) ke output Clock Generator dan hubungkan output F2, F3, F4 ke L2, L3, L4.
3. Hubungkan input C1 dan C2(clear) ke salah satu dari dua output F2, F3, F4 seperti yang ditunjukkan pada Tabel 6-2. Amati dan catat kondisi F2, F3, F4 pada dalam Tabel 12-2. Ukur CK dan F4 dengan osiloskop dan gambar gelombang output. Tentukan tipe counter apakah yang ditunjukkan pada setiap koneksi.

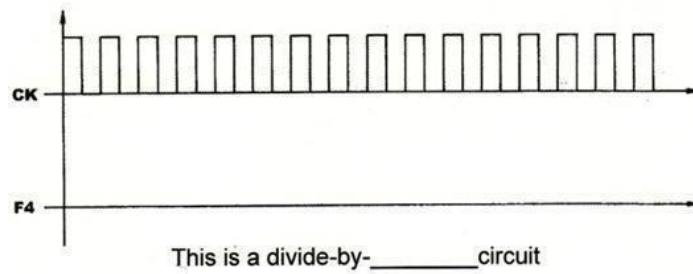
Tabel 12.2: Tabel hasil percobaan

C1-C2		F2	F3	F4
CONNECT	F2			
CONNECT	F3			
CONNECT	F4			
CONNECT	F2 F3			
CONNECT	F2 F4			
CONNECT	F3 F4			

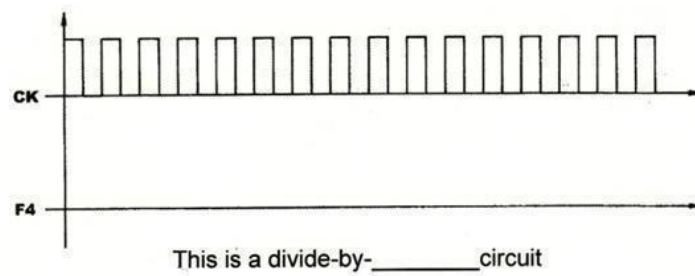




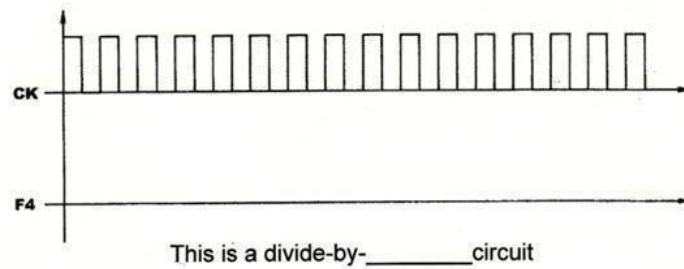
Gambar 12.19: Gambar Signal (2)

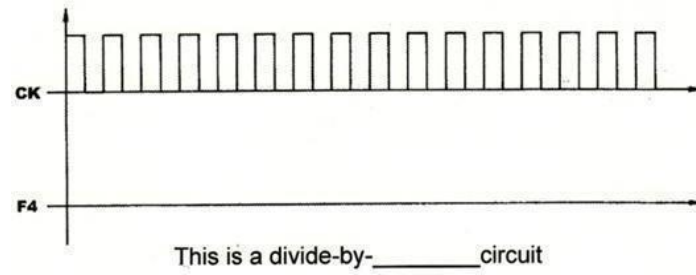


Gambar 12.20: Gambar Signal (3)



Gambar 12.21: Gambar Signal (4)

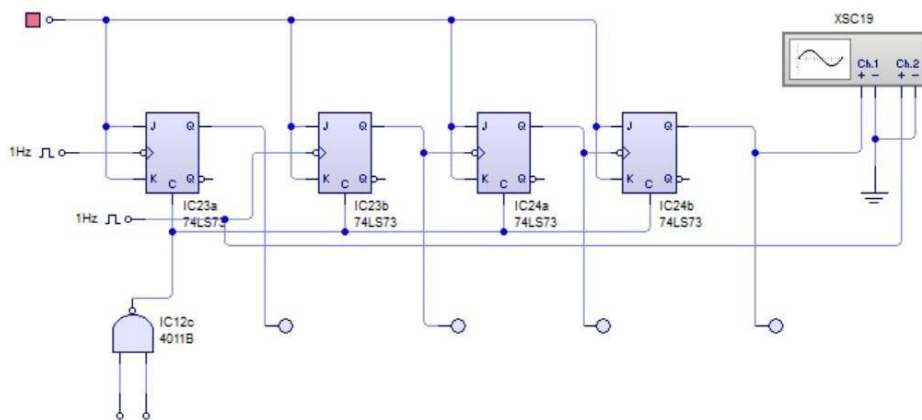




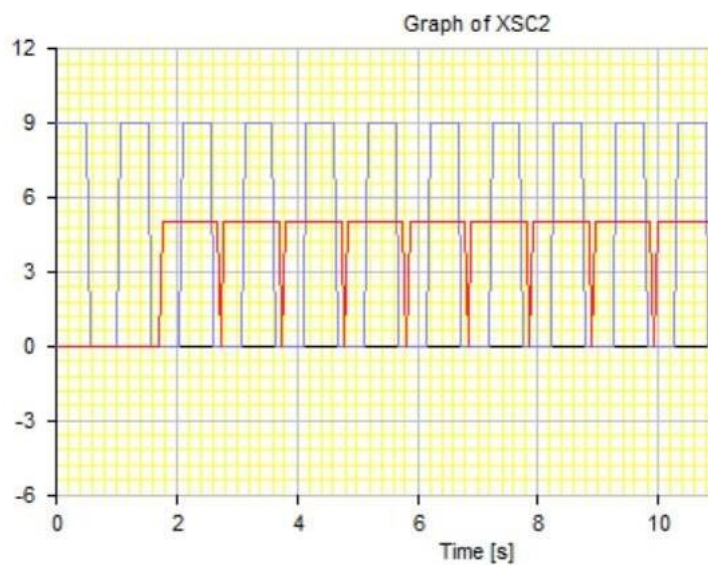
Gambar 12.23: Gambar Signal (6)

Hasil Percobaan

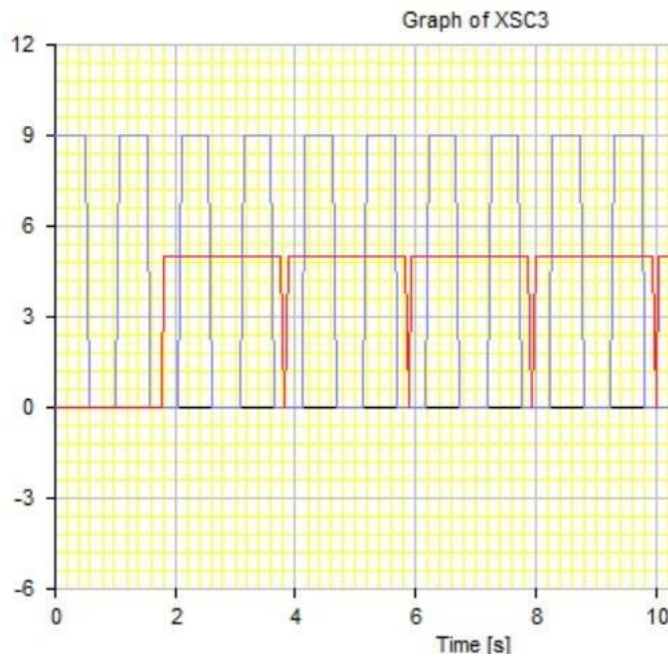
Rangkaian counter asinkron MOD N



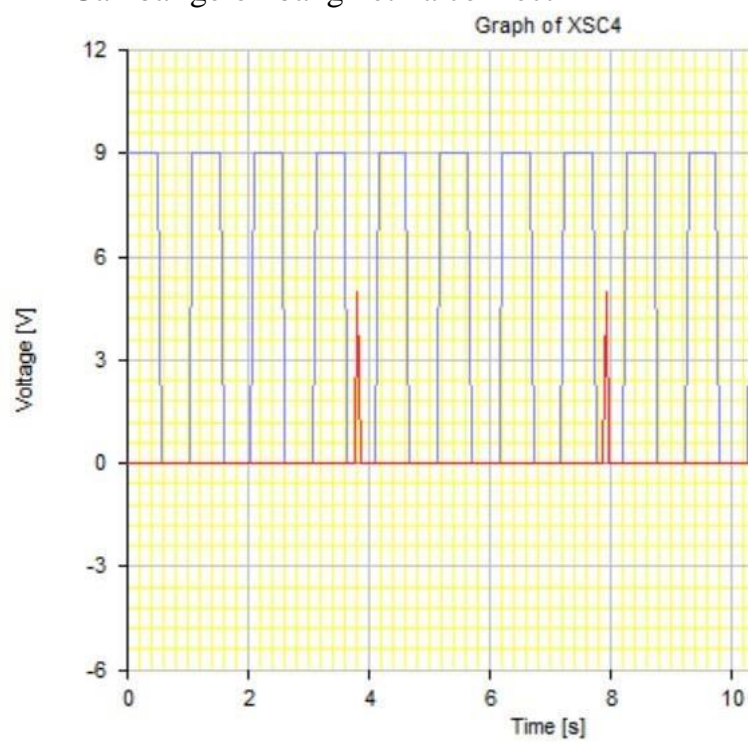
Gambar gelombang ketika connect F2



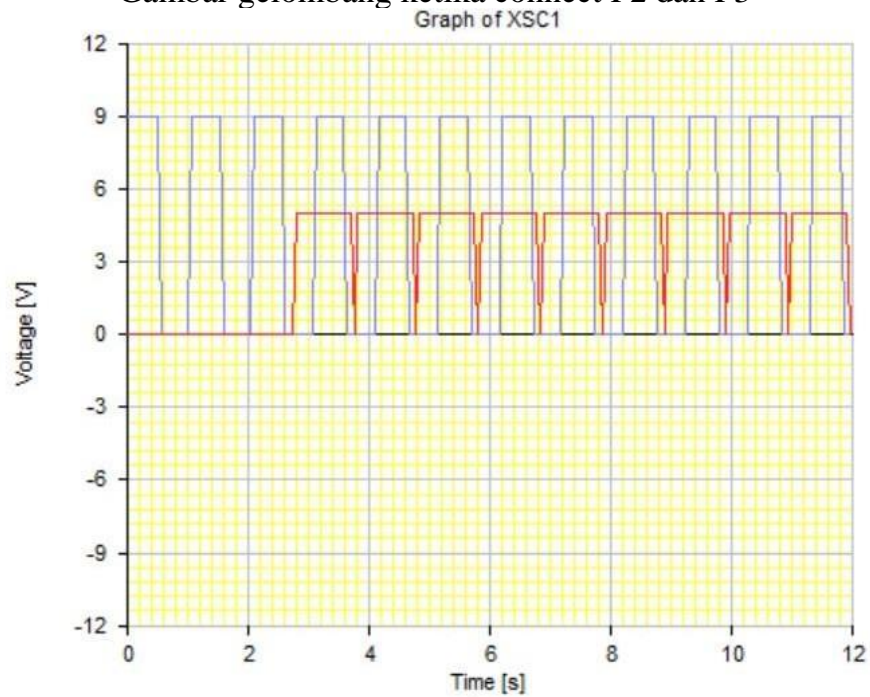
Gambar gelombang ketika connect F3



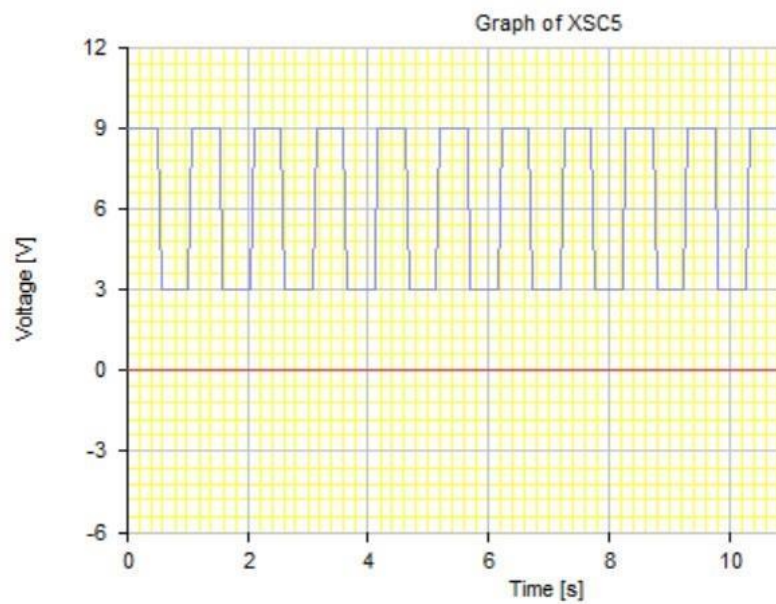
Gambar gelombang ketika connect F4



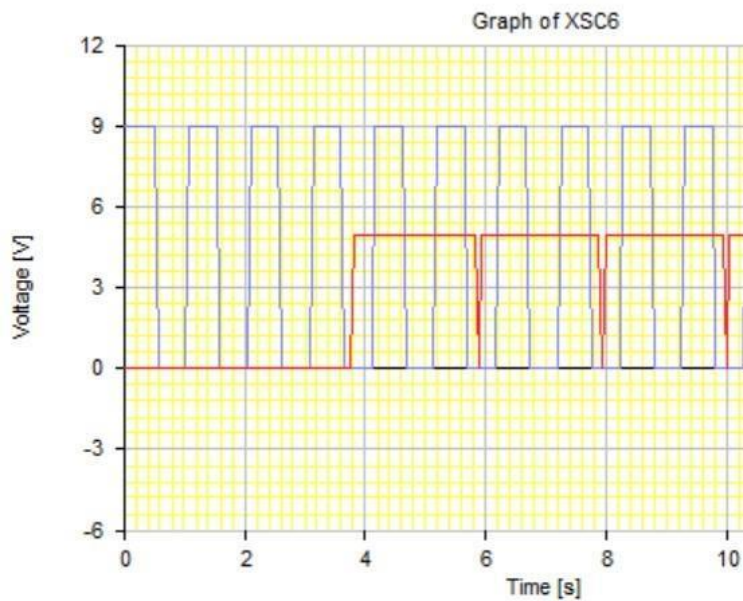
Gambar gelombang ketika connect F2 dan F3



Gambar gelombang ketika connect F2 dan F4

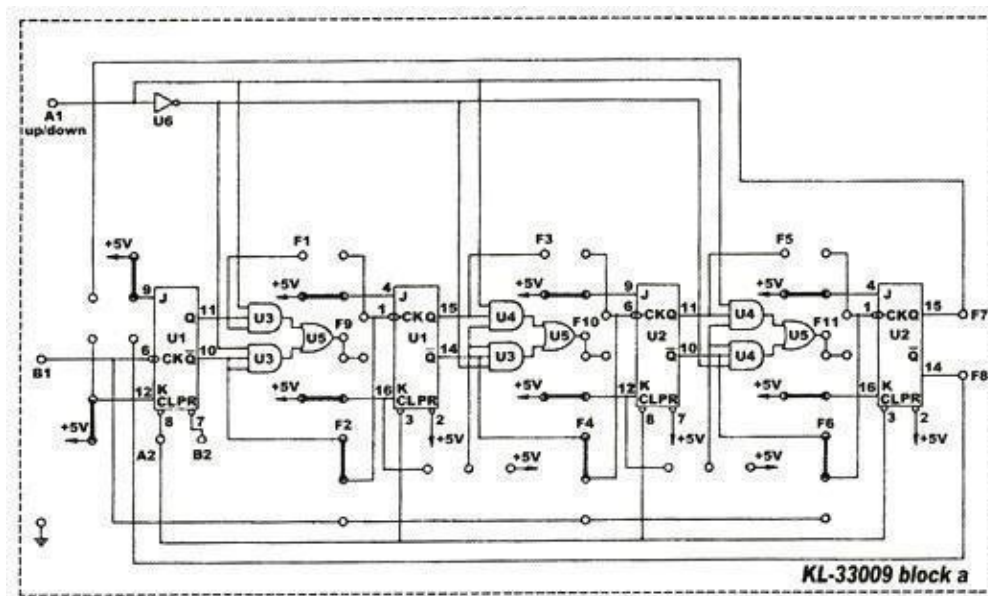


Gambar gelombang ketika connect F3 dan F4

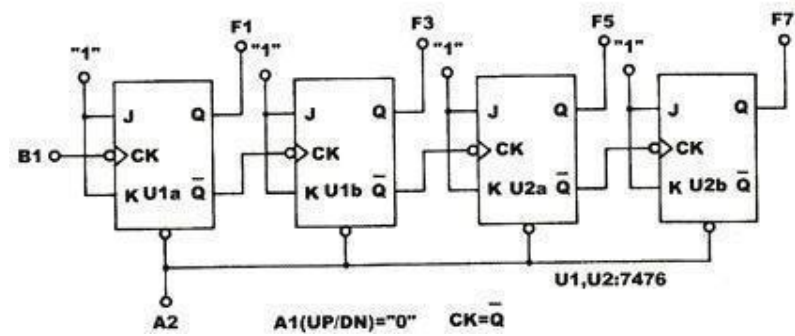


12.4.4. Counter Asynchronous Binary Down

1. Hubungkan connection clips sesuai dengan Gambar 12-24 untuk membangun rangkaian Gambar 12.25:

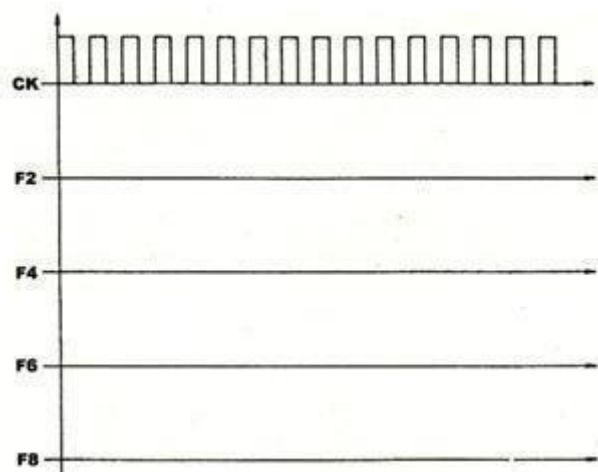


Gambar 12.24: Modul KL-33009 Blok a



Gambar 12.25. Rangkaian ekivalen

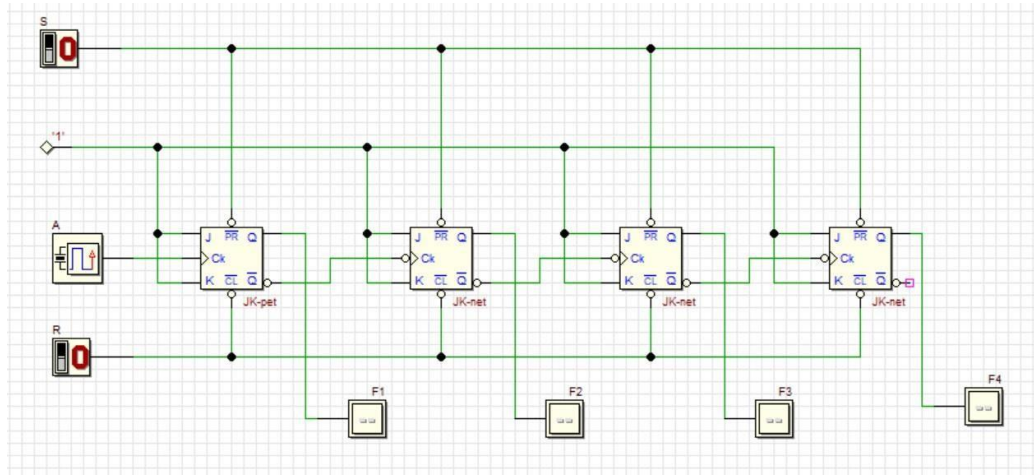
2. Hubungkan A2(Clear) ke SW0 = 5v; A1 ke +5v; B1(CK) ke 1 kHz output dari clock generator. Hubungkan F2, F4, F6, F8 ke L5- L8.
3. Ukur outputnya dengan oscilloscope. Gambarkan gelombang outputnya dalam Gambar 12.26.



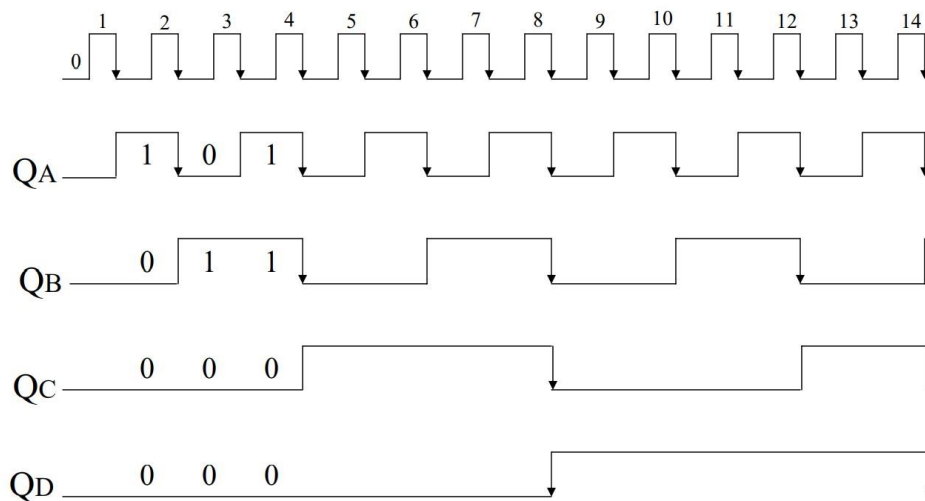
Gambar 12.26: Grafik hasil percobaan

Hasil Percobaan

Rangkaian counter asinkron down



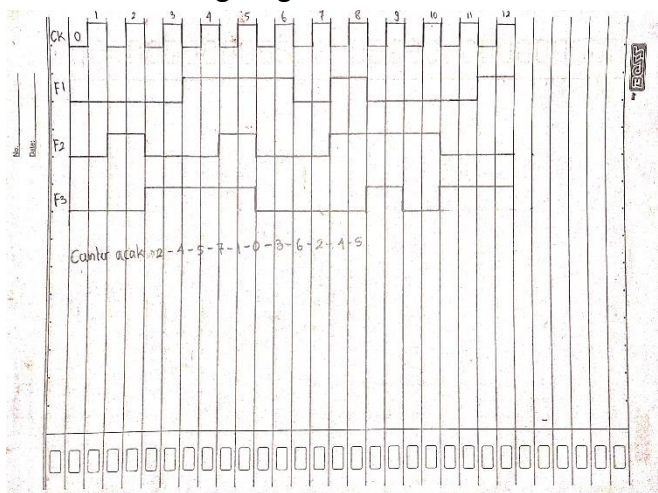
Gambar gelombang rangkaian counter asinkron down



12.5. TUGAS

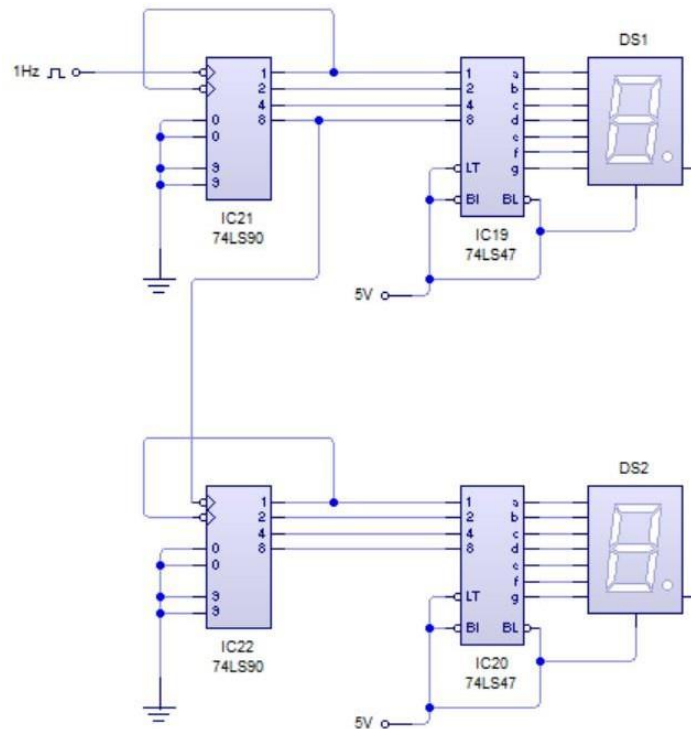
- Sebuah Counter mempunyai urutan acak sebagai berikut : 2-4-5-7-1-0-3-6-2-4-5-... Gambarkan timing Diagramnya.

Gambar timing diagram



2. Jika Counter Asinkron akan digunakan untuk membuat stop watch yang menghitung 00 s/d 99 kembali lagi ke 00, bagaimana cara mendisainnya ?

Rangkaian counter 00/99



KESIMPULAN

Berdasarkan praktikum tersebut dapat disimpulkan bahwa untuk merangkai counter asinkron 3 bit dapat menggunakan jika flip-flop yang nantinya setiap output Q nanti akan di jadikan clock untuk flip-flop selanjutnya. Untuk nilai j dan k disetel atau diberi input 1 untuk semua flip-flop. Pada flip-flop pertama dapat diberikan trigger untuk sebagai clock. Rangkaian ini dapat menghitung mencapai 0-7 bilangan dikarenakan hanya mempunyai 3 bit atau 3 flip-flop.

Untuk membuat timing diagram counter dapat menggunakan oscilloscope untuk mengetahui gelombang di setiap outputnya. Cara membuatnya dengan memanfaatkan penggunaan operasi aljabar boolean. output Q dari dari flip-flop nanti akan di-NAND kan dan hasilnya akan dihubungkan ke R_D . Jadi nanti bila output Q biner dari salah satu atau dari beberapa flip-flop yang bernilai 1 maka nantinya rangkaian counter tersebut akan kembali menghitung dari 0.

Up-Down counter asinkron adalah rangkaian counter yang dapat mencacah bilangan

maju dan mundur. Untuk merangkainya sendiri dapat menambahkan rangkaian untuk mengatur perhitungan maju atau menghitung mundur. Rangkaian ini terdiri dari 2 buah AND yang inputnya dari kontrol sebagai pengatur kondisi up atau down dan Q, Q' dari flip-flop. Selanjutnya hasil dari kedua AND tersebut akan di OR kan hasilnya nanti akan sebagai clock pada flip-flop selanjutnya.