

1 D4 - TEKKOM B

FLIP – FLOP



Nama	:	Septian Bagus Jumanoro
Kelas	:	1 – D4 Teknik Komputer B
NRP	:	3221600039
Dosen	:	Reni Soelistijorini, B.Eng., M.T.
Mata Kuliah	:	Praktikum Rangkaian Logika
Hari/Tgl. Praktikum	:	Senin, 08 November 2021



PERCOBAAN 10 FLIP FLOP

10.1. TUJUAN :

- Melakukan analisa rangkaian sekuensial dengan SR Flip-flop
- Mendisain rangkaian sekuensial dengan SR flip-flop
- Membuat rangkaian Master Slave JK-FF
- Menggunakan input-input Asinkron pada JK-FF
- Membuat D-FF dan T-FF dari JK-FF dan SR-FF

10.2. PERALATAN :

- Modul Trainer KL-31001 Digital Logic Lab
- Modul KL-33002
- Modul KL-33008

10.3. TEORI :

10.3.1. Analisa Rangkaian Sekuensial

Menganalisa rangkaian adalah mengamati cara kerja sebuah rangkaian untuk mendapatkan hasilnya. Untuk menganalisa sebuah rangkaian sekuensial diperlukan langkah-langkah sebagai berikut :

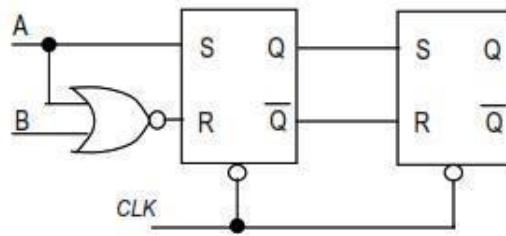
1. Tentukan persamaan logika untuk input-input Flip-flopnya.
2. Untuk jenis SR-FF, yakinkan bahwa persamaan logika input S.R = 0, jika tidak, hentikan analisa ini (tidak sesuai dengan sifat SR-FF, dimana nilai input S dan R keduanya tidak pernah = "1").
3. Tentukan persamaan Next State untuk output masing-masing flip-flop yang dianalisa :

$$Z(t + \Delta) = S(t) + \overline{R}(t)Z(t)$$

Untuk SR Flip-flop dengan gerbang NAND

$$Z(t + \Delta) = \overline{R}(t).[S(t) + Z(t)]$$

Untuk SR Flip-flop dengan gerbang NOR



Gambar 10.1. Contoh Rangkaian Sekuensial dari SR-FF

10.3.2. Sintesa Rangkaian Sekuensial

Untuk mendisain sebuah rangkaian sekuensial yang dapat memberikan respons tertentu sesuai dengan yang kita kehendaki, maka dilakukan proses sintesa rangkaian. Pada proses sintesa rangkaian, yang diketahui adalah perubahan kondisi dari satu kondisi awal ke kondisi berikutnya. Proses sintesa berkebalikan dengan proses analisa, oleh karena itu diperlukan Tabel Eksitasi, yang merupakan tabel kebalikan dari Tabel State. Pada Tabel Eksitasi, nilai output sekarang (*Present Output*) dan output berikutnya (*Next Output*) sudah diketahui. Nilai *Present Input* dicari dari hubungan kedua nilai output tadi. Tabel Eksitasi dari SR- flip-flop seperti ditunjukkan pada Tabel 10.1

Tabel 10.1. Tabel Eksitasi SR-FF

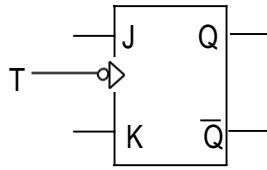
<i>PS</i>	<i>NS</i>	<i>Eksitasi</i>	
Q(t)	Q(t+Δ)	S(t)	R(t)
0	0	0	d
0	1	1	0
1	0	0	1
1	1	d	0

Untuk melakukan proses sintesa rangkaian, ikuti langkah–langkah sebagai berikut :

1. Dapatkan bentuk Tabel PS/NS dari kasus yang diketahui (bisa dalam bentuk soal cerita, maupun persamaan next state)
2. Buat Tabel Eksitasi sesuai dengan jenis Flip-flop yang akan digunakan.
3. Buat K-map untuk masing-masing input Flip-flop.
4. Cari Persamaan Logika dari input Flip-flop sesuai hasil dari K-Map.
5. Buat gambar rangkaian dan jalankan.

10.3.3. JK-FLIP-FLOP

Sebuah JK-FF adalah SR-FF yang telah dimodifikasi sedemikian rupa. Pada SR-FF, jika kedua input S dan R-nya sama-sama bernilai “1”, flip-flop tidak mampu merespons kondisi output berikutnya (pelajari lagi sifat SR-FF). Sebuah JK-FF dibentuk dari SR-FF dengan tambahan gerbang AND pada sisi input SR-nya. Dengan tambahan tersebut, apabila input J dan K keduanya bernilai “1” akan membuat kondisi output berikutnya menjadi kebalikan dari kondisi output sebelumnya. Keadaan ini dinamakan *Toggle*.

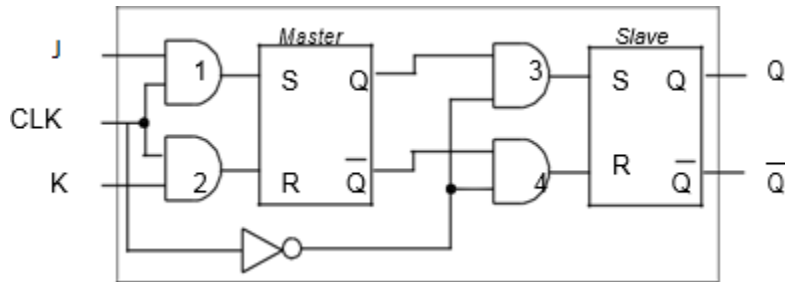


Gambar 10.2. Simbol Logika JK-FF dengan *negative-edge trigger*

Tabel 10.2. Tabel State JK-FF

Clock	Present Input		Present Output	Next Output
T	J	K	Q	Qn
1	0	0	0	Hold "0" saja atau "1" saja
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	
0	0	0	0	Hold
0	0	0	1	
0	0	1	0	
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	Toggle
0	1	1	1	

Sebuah *Master-Slave* JK-FF dibentuk dari dua buah SR-FF, dimana operasi dari kedua SR-FF tersebut dilakukan secara bergantian, dengan memberikan input *Clock* yang berlawanan pada kedua SR-FF tersebut. *Master-Slave* JK-FF ditunjukkan pada gambar 10.3.



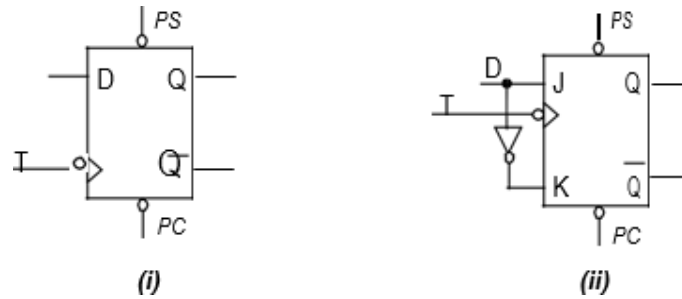
Gambar 10.3. Sebuah Master-Slave JK-FF disusun dari SR-FF

Prinsip dasar dari *Master-Slave* JK-FF adalah sebagai berikut : jika *Clock* diberi input “1”, gerbang AND 1 dan 2 akan aktif, SR-FF ke-1 (*Master*) akan menerima data yang dimasukkan melalui input J dan K, sementara gerbang AND 3 dan 4 tidak aktif (menghasilkan output = “0”), sehingga SR-FF ke-2 (*Slave*) tidak ada respons (kondisinya sama dengan kondisi sebelumnya). Sebaliknya jika *Clock* diberi input “0”, gerbang 3 dan 4 aktif, *Slave* akan mengeluarkan output di Q dan Q’, sementara *Master* tidak me-respons input, karena gerbang AND 1 dan 2 tidak aktif.

10.3.4. D-FLIP FLOP (Delay/Data Flip-Flop)

Sebuah D-FF terdiri dari sebuah input D dan dua buah output Q dan Q’. D-FF digunakan sebagai Flip-flop pengunci data. Prinsip kerja dari D-FF adalah sebagai berikut : berapapun nilai yang diberikan pada input D akan dikeluarkan dengan nilai yang sama pada output Q. D-FF diaplikasikan pada rangkaian-rangkaian yang memerlukan penyimpanan data sementara sebelum diproses berikutnya. Salah satu contoh IC D-FF adalah 74LS75, yang mempunyai input Asinkron.

D-FF juga dapat dibuat dari JK-FF, dengan mengambil sifat Set dan Reset dari JK-FF tersebut. Rangkaian D-FF ditunjukkan pada Gambar 10.4.



Gambar 10.4. D-Flip Flop

(i) Simbol Logika D-FF 74LS75 (ii) D-FF dari JK-FF

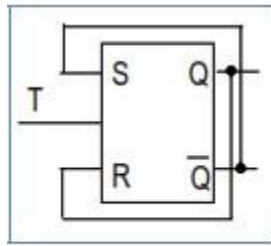
Tabel 10.3. Tabel State D-FF

Clock	Present Input	Present Output	Next Output
T	D	Q	Qn
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	Hold
1	0	1	
1	1	0	
1	1	1	

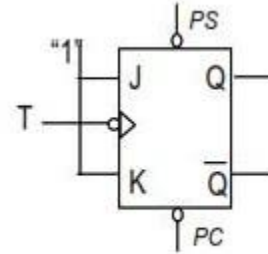
10.3.5. T-FLIP-FLOP (Toggle Flip-Flop)

Sebuah T-FF dapat dibentuk dari SR-FF maupun dari JK-FF, karena pada kenyataan, IC T-FF tidak tersedia di pasaran. T-FF biasanya digunakan untuk rangkaian yang memerlukan kondisi output berikut yang selalu berlawanan dengan kondisi sebelumnya, misalkan pada rangkaian pembagi frekuensi (*Frequency Divider*).

Rangkaian T-FF dibentuk dari SR-FF dengan memanfaatkan hubungan *Set* dan *Reset* serta output Q dan Q' yang diumpan balik ke input S dan R. Sedangkan rangkaian T-FF yang dibentuk dari JK-FF hanya perlu menambahkan nilai "1" pada input-input J dan K (ingat sifat *Toggle* dari JK-FF)



(i)



(ii)

Gambar 10.5. Rangkaian T-Flip-Flop

(i) Dari SR-FF(ii) Dari JK-FF

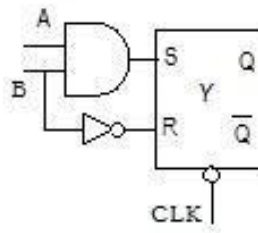
Tabel 10.4. Tabel State dari T-FF

Clock	Present Output	Next Output
T	Q	Qn
0	0	1
0	1	0
1	0	Hold
1	1	

10.4. PROSEDUR PERCOBAAN

10.4.1. Analisa Rangkaian Sekuensial

1. Pada Trainer, buatlah rangkaian seperti yang ditunjukkan pada Gambar 10.6.



Gambar 10.6. Percobaan Analisa Rangkaian menggunakan SR-FF

2. Sebelum menjalankan rangkaian, periksakan dulu ke dosen / asisten .
3. Buat Tabel PS/NS sebagai hasil pengamatan.
4. Bandingkan hasilnya apabila menggunakan persamaan Next-State untuk SR-FF.

10.4.2. Sintesa Rangkaian Sekuensial (dengan RS FF)

1. Disain sebuah rangkaian sekuensial yang terdiri dari 1 buah SR-FF dimana flip-flop tersebut mempunyai persamaan next-state sebagai berikut :

$$X(t + \Delta) = \bar{A}(t) + A(t) X(t)$$

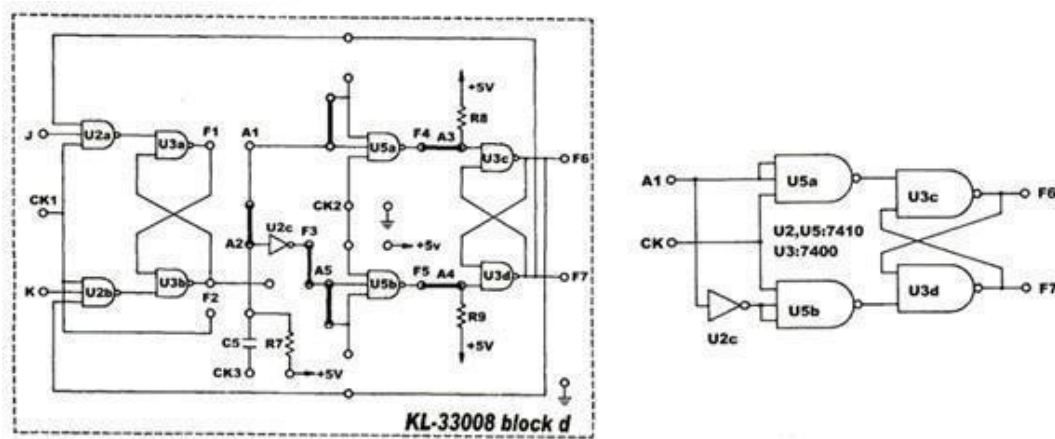
2. Carilah nilai eksitasinya sesuai langkah-langkah yang telah dijelaskan sebelumnya.
3. Gambarkan hasilnya dan rangkai di trainer.
3. Catat hasilnya pada Tabel PS/NS.

10.4.3. Master-Slave JK-FF

1. Buat rangkaian *Master Slave* JK-FF dari SR-FF seperti pada gambar 3.3.
2. Berikan nilai pada input J dan K melalui *switch* input yang tersedia.
3. Berikan input *manual Clock* .
4. Amati hasilnya dan catat dalam Tabel PS/NS.

10.4.4. Membangun D flip-flop dengan R-S flip-flop

1. Hubungkan connection clip sesuai dengan Gambar 4.4(a) untuk membangun rangkaian D flip-flop dari Gambar 10.7(b)



Gambar 10.7. (a) Modul KL-33008 Block d; (b) Rangkaian ekivalen

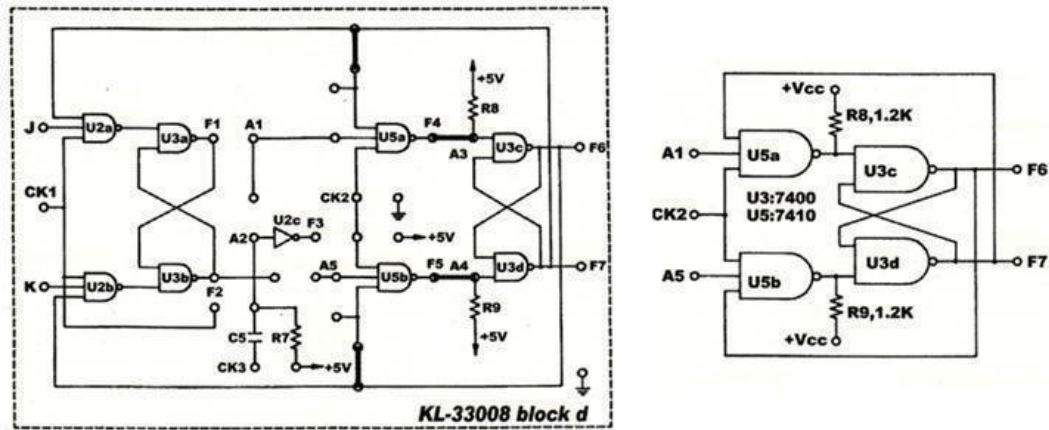
4. Hubungkan A1 ke SW1; CK2 ke output SWA A dan F6 ke L1.
5. Ikuti input yang ada pada Tabel 10.5. Amati dan catat kondisi outputnya.

Tabel 10.5: Tabel hasil percobaan

CK	A1		F6
0	0		
0	1		
	0		
	1		

10.4.5. Membangun T flip-flop dengan D flip-flop

1. Hubungkan connection clip sesuai dengan Gambar 10.8(a) untuk membangun rangkaian T flip-flop dari Gambar 4.5(b). Hubungkan CK2 ke output SWB B; A1 ke SW0; A5 ke SW1; F6 ke L1.



Gambar 10.8: (a) Modul KL-33008 Block D; (b) Rangkaian ekivalen

2. Ikuti input pada Tabel 10.6. Amati dan catat kondisi outputnya.

Tabel 10.6: Tabel hasil percobaan

CK2	A5	A1		F6
	0	0		
	0	1		
	1	0		
	1	1		

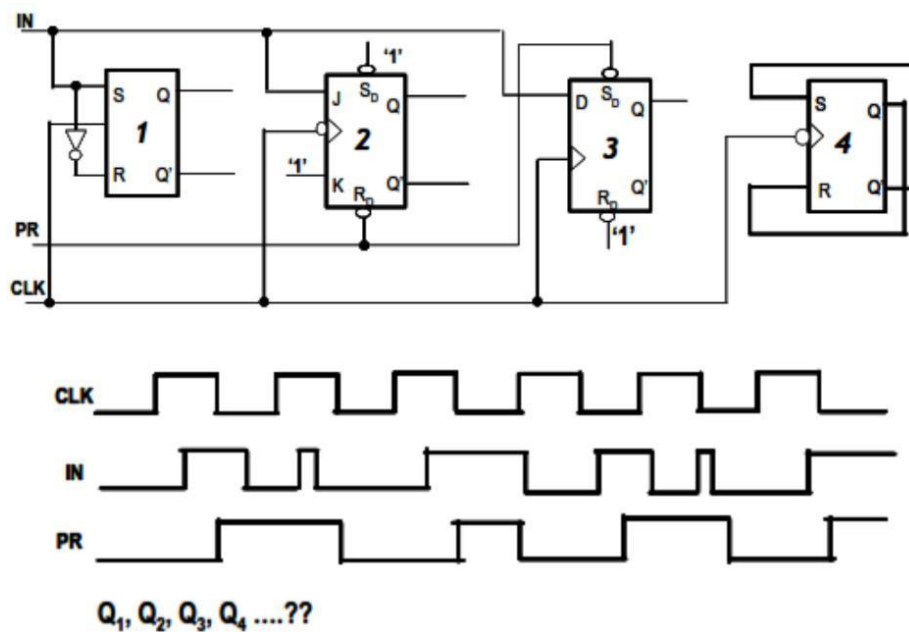
3.5. TUGAS

- Disain sebuah rangkaian sekuensial dari SR Flip-flop yang memiliki persamaan next state sebagai berikut :

$$a. W(t + \Delta) = \overline{B(t) + Y(t)}$$

$$b. Y(t + \Delta) = W(t) \cdot \overline{X(t)}$$

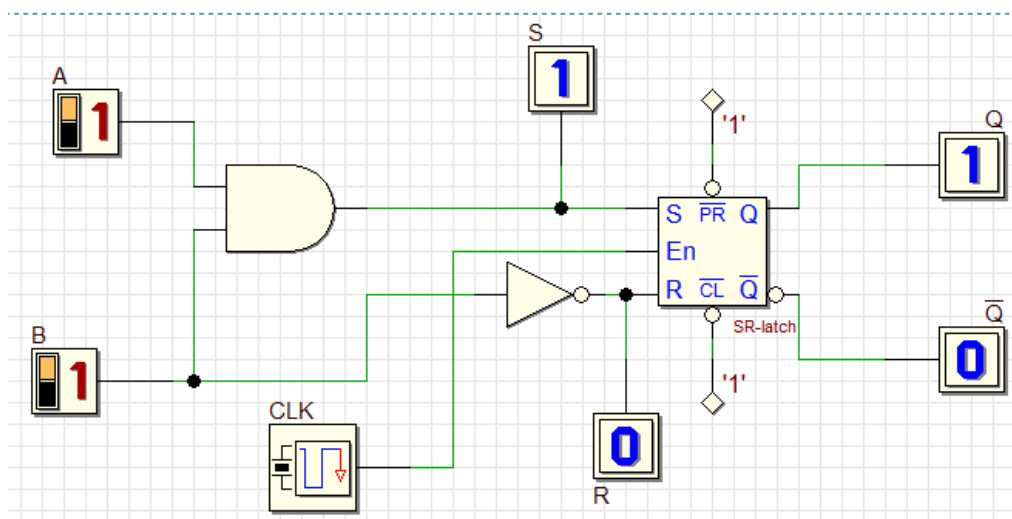
- Carilah bentuk gelombang output dari masing-masing flip-flop di bawah ini.



HASIL PERCOBAAN

A. PROSEDUR

- Rangkaian Sekuensial

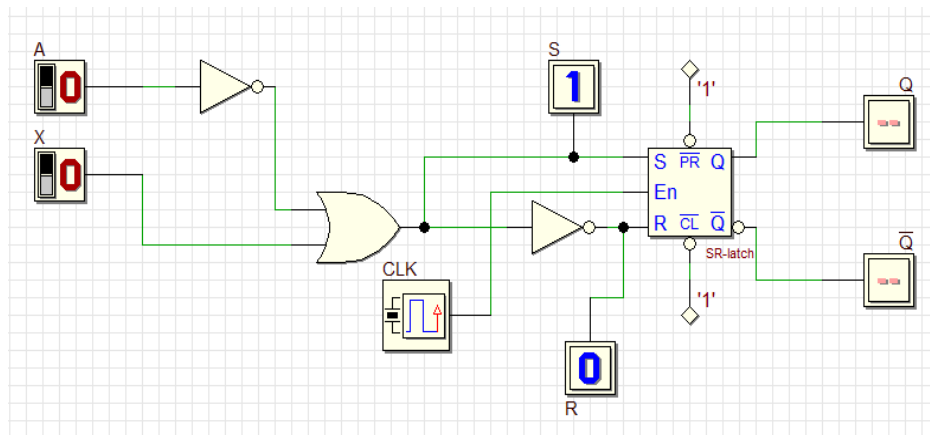


Present State			Next State	
Input			Output	
CLK	A(t)	B(t)	Q(t+Δ)	!Q(t+Δ)
0	0	0	Q	!Q
0	0	1	Q	!Q
0	1	0	Q	!Q
0	1	1	Q	!Q
1	0	0	0	1
1	0	1	Q	!Q
1	1	0	0	1
1	1	1	1	0

Present State			Next State	
Input			Output	
CLK	A(t)	B(t)	Q(t+Δ)	!Q(t+Δ)
0	0	0	Q	!Q
0	0	1	Q	!Q
0	1	0	Q	!Q
0	1	1	Q	!Q
1	0	0	0	1
1	0	1	Q	!Q
1	1	0	0	1
1	1	1	1	0

2. Sintesa Rangkaian Sekuensial RS FF

Present State		Next State
Input	Output	Output
A(t)	X(t)	X(t+Δ)
0	0	1
0	1	1
1	0	0
1	1	1



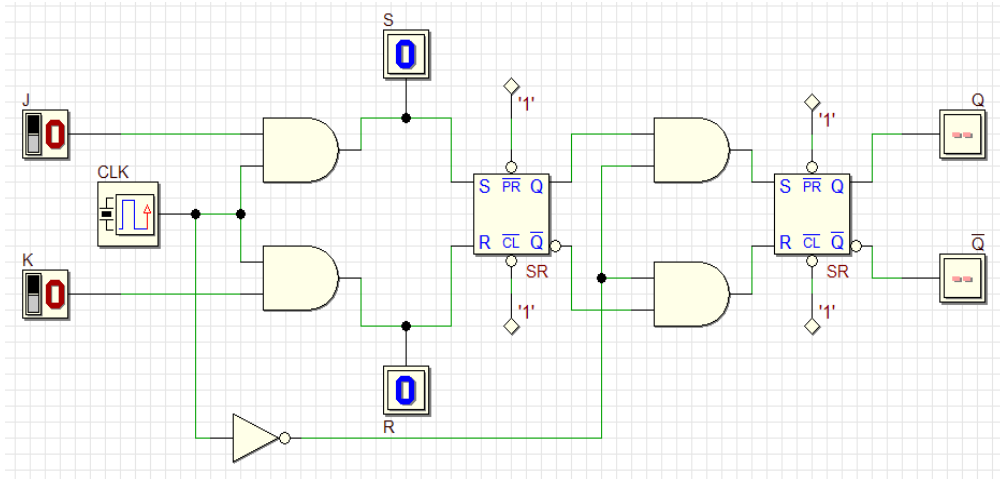
Output		Nilai Eksitasi
Present	Next	
X(t)	X(t+Δ)	A(t)
0	1	0
1	1	0
0	0	1
1	1	1

State Equation:

$$X(t+\Delta) = A'(t) X'(t) + A'(t) X(t) + A(t) X(t)$$

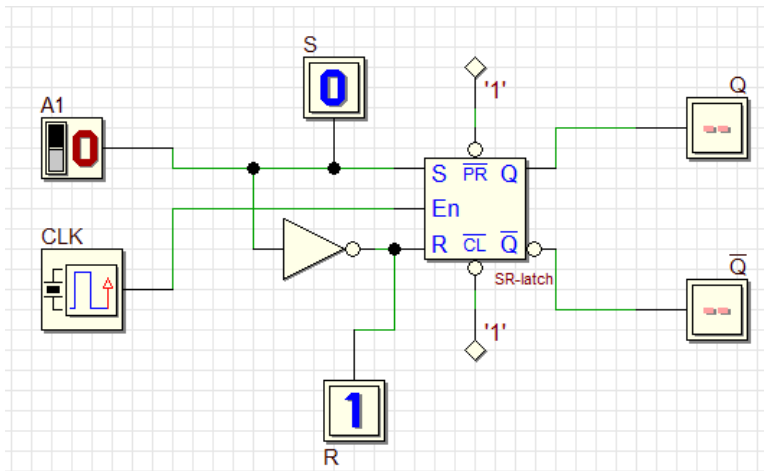
$$= A'(t) X(t)$$

3. Master Slave JK – FF



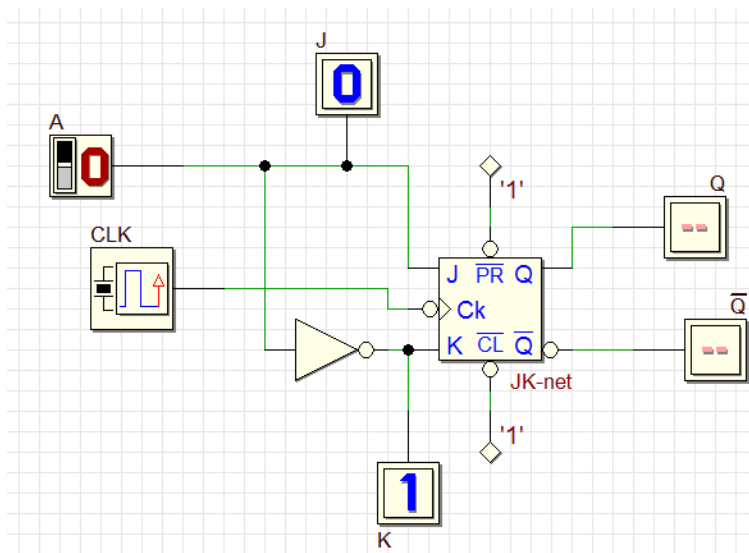
CLK	Present			Next Output Q
	Input		Output	
	J	K	Q	
1	0	0	0	0
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	
0	0	0	0	-
0	0	0	1	
0	0	1	0	0
0	0	1	1	
0	1	0	0	1
0	1	0	1	
0	1	1	0	-
0	1	1	1	

4. Membangun D – Flip Flop RS – Flip Flop



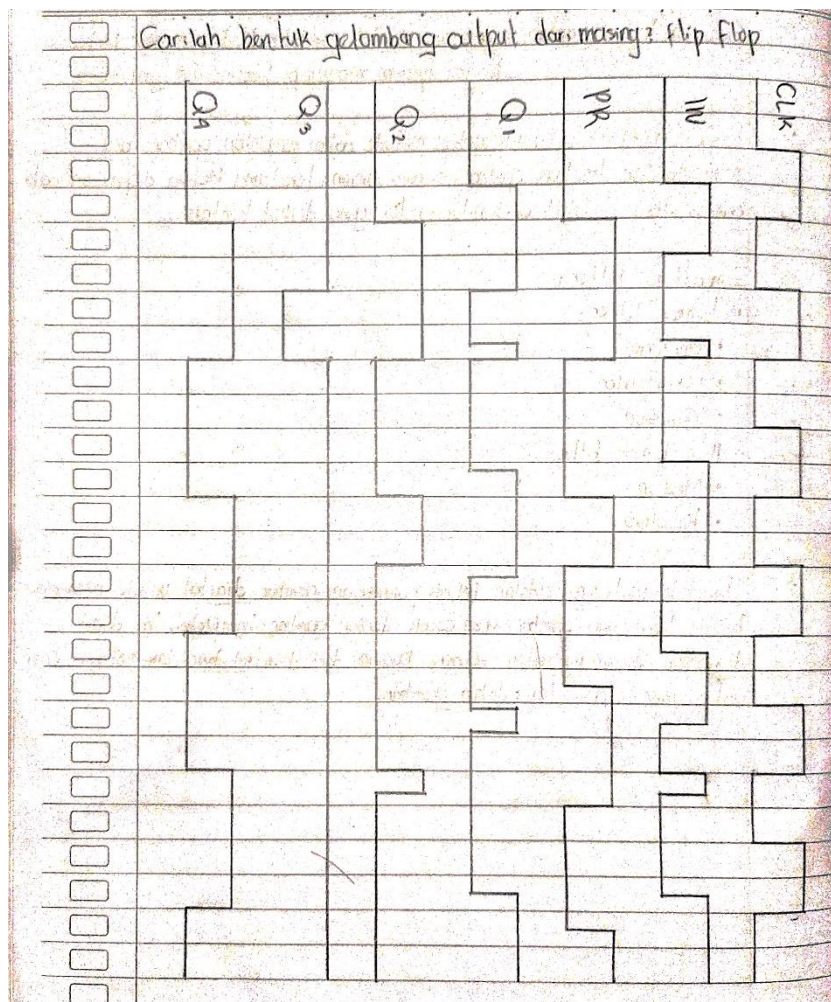
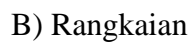
Present state		Next State
Input		Output
CLK	$A1_{(t)}$	$Q_{(t+\Delta)}$
0	0	Q
0	1	Q
1	0	0
1	1	1

5. Rangkaian T – Flip Flop



CLK	Present Output	Next Output
	Q	Q
0	0	0
0	1	1
1	0	0
1	1	1

1. A) Rangkaian



C. KESIMPULAN

Berdasarkan percobaan tersebut dapat disimpulkan bahwa saat membuat rangkaian sekuensial dengan SR-FF dapat diketahui persamaannya dengan membuat tabel kebenaran dan eksitasinya. Setelah itu dari eksitasinya dapat dirangkai persamaan dan rangkain sekuensialnya. Untuk membuat rangkaian Master Slave JK-FF dapat menggunakan 2 rangkaian JK-FF dengan clock JK-FF yang outputnya nanti akan sebagai input dari JK-FF yang ke 2 dan clock untuk JK-FF ke 2 akan di Notkan. Untuk membangun D – Flip Flop dengan RS Flip Flop dapat menggunakan 1 clock dan SR Latch dimana input dari A1 menuju pin R di Notkan. Untuk membangun T – Flip Flop dapat menggunakan clock dan JK pet dimana input menuju pin K di Notkan