

# 1 D4 - TEKKOM B

## MULTIPLEXER DEMULTIPLEXER



Nama	:	Septian Bagus Jumanoro
Kelas	:	1 – D4 Teknik Komputer B
NRP	:	3221600039
Dosen	:	Reni Soelistijorini, B.Eng.,M.T.
Mata Kuliah	:	Praktikum Rangkaian Logika 1
Hari/Tgl. Praktikum	:	Senin, 18 Oktober 2021

## PERCOBAAN 6

### MULTIPLEXER DEMULTIPLEXER

#### A. TUJUAN:

- Memahami prinsip kerja rangkaian Multiplexer-Demultiplexer
- Membuat rangkaian Multiplexer dan Demultiplexer dari gerbang logika

#### B. PERALATAN

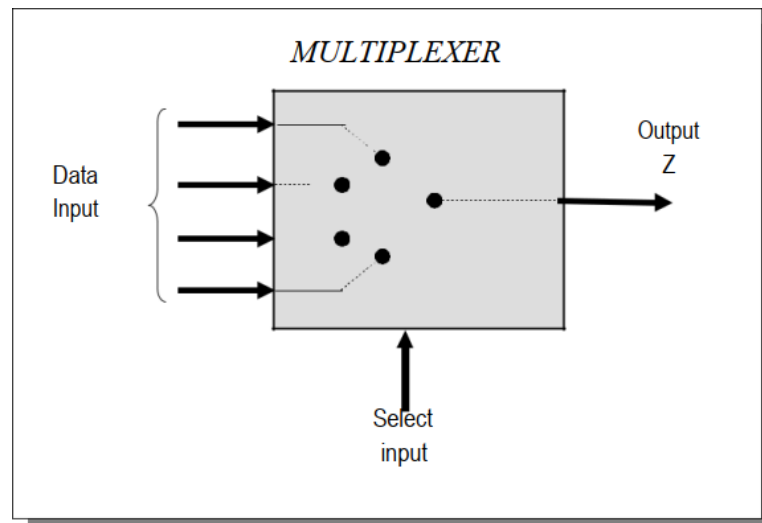
Logic Circuit Trainer KL

#### C. TEORI:

##### 1. MULTIPLEXER

Sebuah Multiplexer adalah rangkaian logika yang menerima beberapa input data digital dan menyeleksi salah satu dari input tersebut pada saat tertentu, untuk dikeluarkan pada sisi output

Seleksi data-data input dilakukan oleh *selector line*, yang juga merupakan input dari multiplexer tersebut. Blok diagram sebuah multiplexer ditunjukkan pada Gambar 8.1



Gambar 8.1. Blok Diagram *Multiplexer*

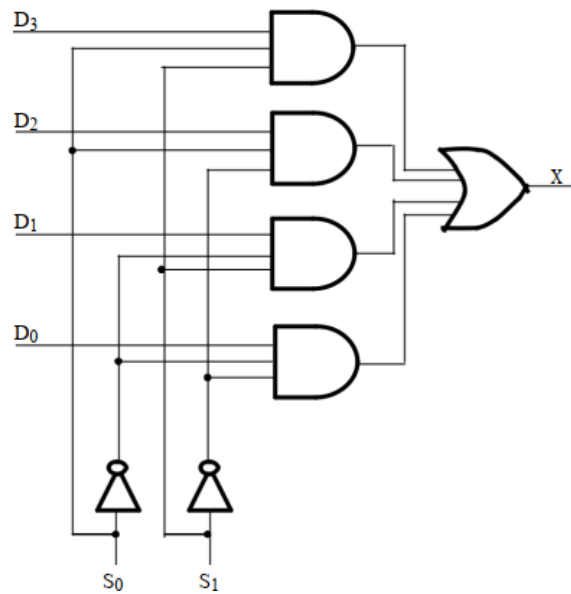
Jumlah data input maksimum pada multiplexer adalah  $2^{\text{jumlah Select line}}$

Tabel Kebenaran sebuah Multiplexer ditunjukkan pada Tabel 8.1

*Tabel 8.1. Tabel Kebenaran Multiplexer dengan 2 Select line*

INPUT						OUTPUT	
S <sub>0</sub>	S <sub>1</sub>	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	X	Ket
0	0	0	x	x	x	0	D <sub>0</sub>
0	0	1	x	x	x	1	
0	1	x	0	x	x	0	D <sub>1</sub>
0	1	x	1	x	x	1	
1	0	x	x	0	x	0	D <sub>2</sub>
1	0	x	x	1	x	1	
1	1	x	x	x	0	0	D <sub>3</sub>
1	1	x	x	x	1	1	

Rangkaian Multiplexer ditunjukkan pada Gambar 8.2

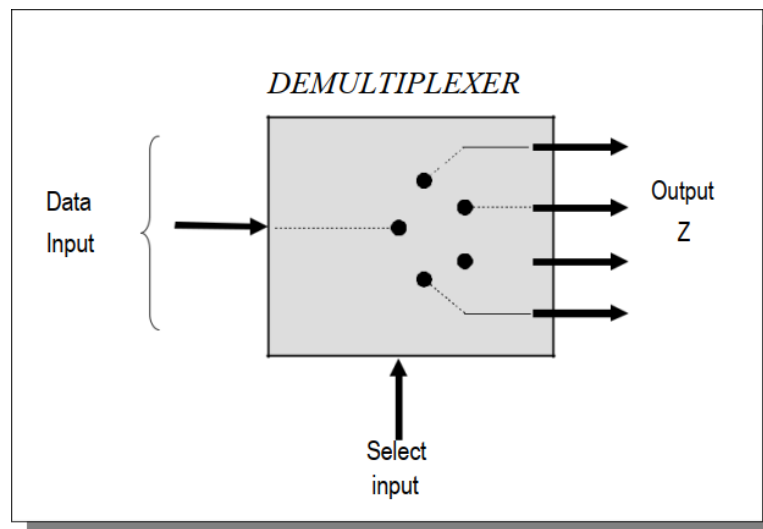


Gambar 8.2. Rangkaian Multiplexer 4x1

## 2. DEMULTIPLEXER

Sebuah Demultiplexer adalah rangkaian logika yang menerima satu input data dan mendistribusikan input tersebut ke beberapa output yang tersedia.

Seleksi data-data input dilakukan oleh selector line, yang juga merupakan input dari demultiplexer tersebut. Blok diagram sebuah demultiplexer ditunjukkan pada Gambar 8.3



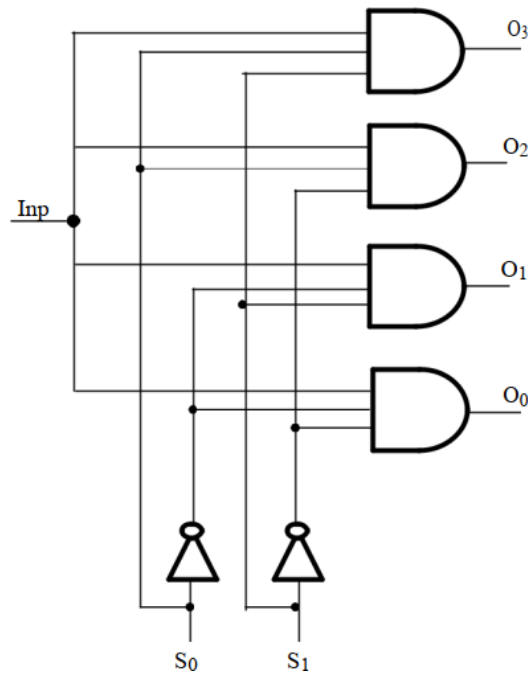
Gambar 8.3. Blok Diagram Demultiplexer

Tabel Kebenaran sebuah Demultiplexer ditunjukkan pada Tabel 8.2.

*Tabel 8.2. Tabel Kebenaran Demultiplexer dengan 2 Select line*

INPUT			OUTPUT			
S <sub>0</sub>	S <sub>1</sub>	Inp	O <sub>0</sub>	O <sub>1</sub>	O <sub>2</sub>	O <sub>3</sub>
0	0	0	0	x	x	x
0	0	1	1	x	x	x
0	1	0	x	0	x	x
0	1	1	x	1	x	x
1	0	0	x	x	0	x
1	0	1	x	x	1	x
1	1	0	x	x	x	0
1	1	1	x	x	x	1

Rangkaian Demultiplexer ditunjukkan pada Gambar 8.4.

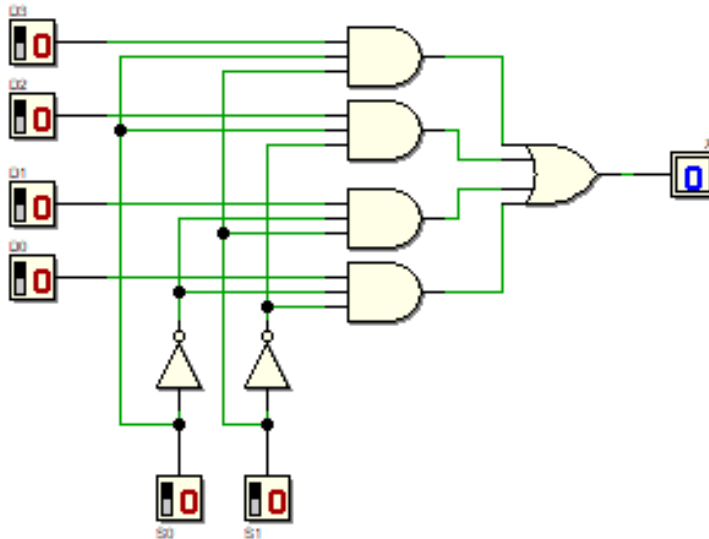


Gambar 8.4. Rangkaian Demultiplexer 1x4

## D. PROSEDUR

1. Buat Rangkaian Multiplexer 4x1 seperti Gambar 8.2. Tuliskan hasilnya pada Tabel Kebenaran. Bandingkan Tabel Kebenaran yang anda buat dengan Tabel 8.1.

Rangkaian multiplexer 4x1:



Tabel Kebenaran Rangkaian 8.2

INPUT						OUTPUT	
S <sub>0</sub>	S <sub>1</sub>	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	X	KET
0	0	0	X	X	X	0	D <sub>0</sub>
0	0	1	X	X	X	1	
0	1	X	0	X	X	0	D <sub>1</sub>
0	1	X	1	X	X	1	
1	0	X	X	0	X	0	D <sub>2</sub>
1	0	X	X	1	X	1	
1	1	X	X	X	0	0	D <sub>3</sub>
1	1	X	X	X	1	1	

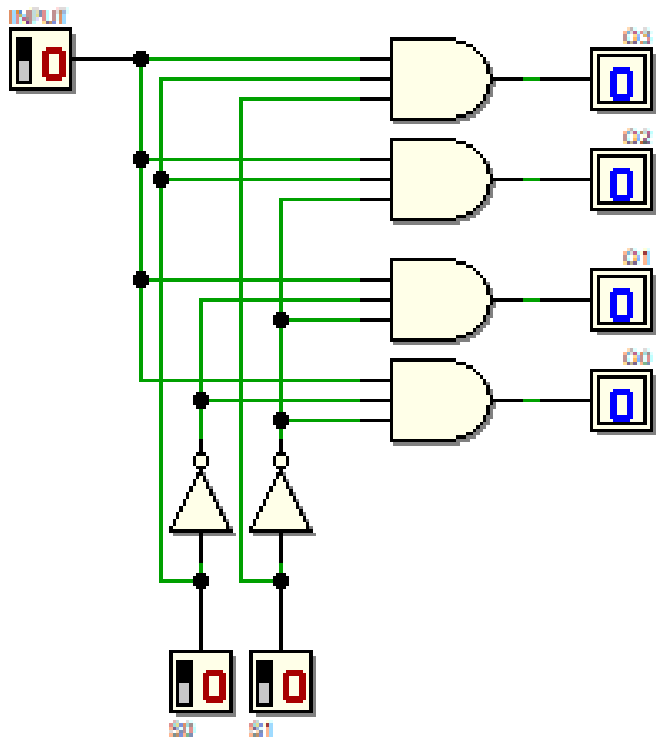
Tabel Kebenaran Rangkaian 8.1

INPUT						OUTPUT	
S <sub>0</sub>	S <sub>1</sub>	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	X	KET
0	0	0	X	X	X	0	D <sub>0</sub>
0	0	1	X	X	X	1	
0	1	X	0	X	X	0	D <sub>1</sub>
0	1	X	1	X	X	1	
1	0	X	X	0	X	0	D <sub>2</sub>
1	0	X	X	1	X	1	
1	1	X	X	X	0	0	D <sub>3</sub>
1	1	X	X	X	1	1	

Berdasarkan kedua tabel kebenaran tersebut dapat diketahui bahwa keduanya memiliki input dan output yang sama

2. Buat Rangkaian Demultiplexer 1x4 seperti Gambar 8.4. Tuliskan hasilnya pada Tabel Kebenaran. Bandingkan Tabel Kebenaran yang anda buat dengan Tabel 8.2.

Rangkaian Demultiplexer 1x4:



Tabel Kebenaran 8.4

INPUT			OUTPUT			
S <sub>0</sub>	S <sub>1</sub>	INPUT	O <sub>0</sub>	O <sub>1</sub>	O <sub>2</sub>	O <sub>3</sub>
0	0	0	0	0	0	0
0	0	1	1	0	0	0
0	1	0	0	0	0	0
0	1	1	0	1	0	0
1	0	0	0	0	0	0
1	0	1	0	0	1	0
1	1	0	0	0	0	0
1	1	1	0	0	0	1

Tabel Kebenaran 8.2

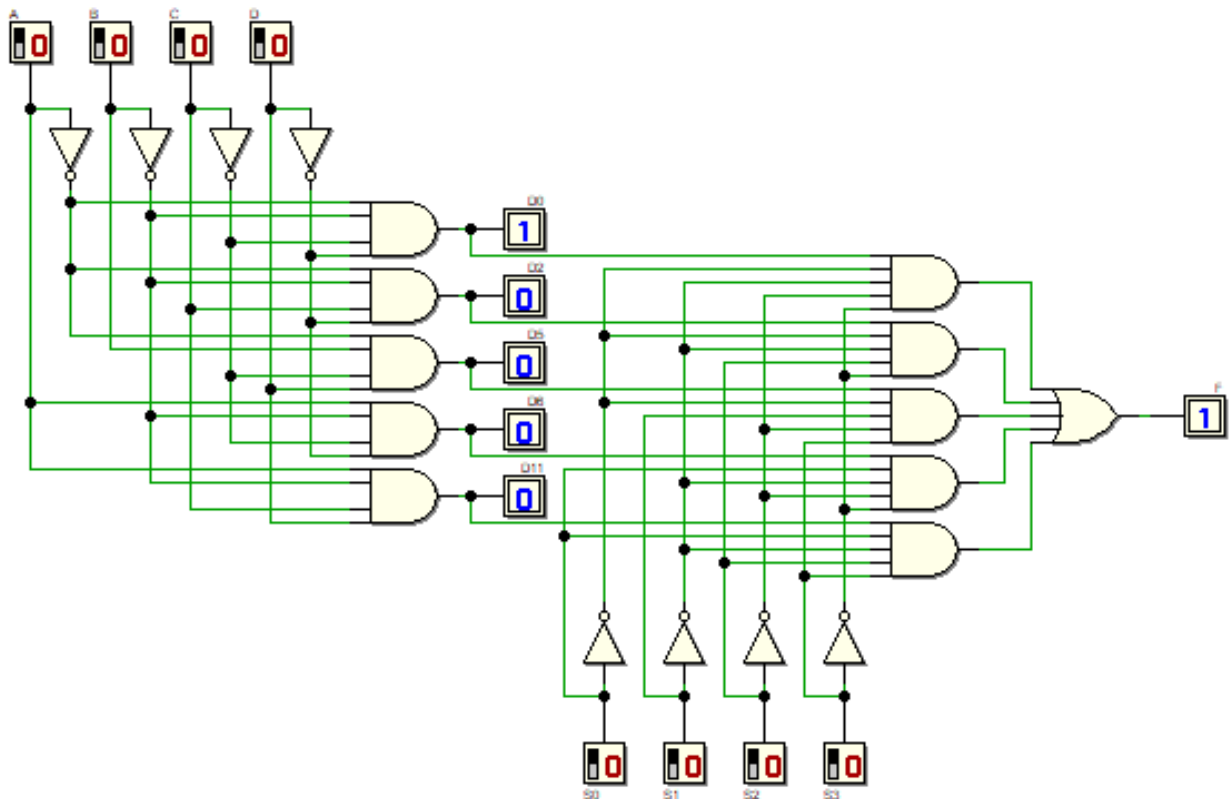
TABEL KEBENARAN 8.2							
INPUT						OUTPUT	
S <sub>0</sub>	S <sub>1</sub>	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	X	KET
0	0	0	X	X	X	0	D <sub>0</sub>
0	0	1	X	X	X	1	
0	1	X	0	X	X	0	D <sub>1</sub>
0	1	X	1	X	X	1	
1	0	X	X	0	X	0	D <sub>2</sub>
1	0	X	X	1	X	1	
1	1	X	X	X	0	0	D <sub>3</sub>
1	1	X	X	X	1	1	

Berdasarkan tabel kebenaran 8.4 hanya memiliki 1 input lalu di AND kan dengan  $S_0$  dan  $S_1$ , yang menghasilkan output 1 dari salah satu  $O_0, O_1, O_2, O_3$ . Sebaliknya untuk tabel kebenaran 8.2 memiliki input  $D_0, D_1, D_2, D_3$  lalu di AND kan dengan  $S_0$  dan  $S_1$  yang menghasilkan output berdasarkan  $S_0, S_1$  dan salah satu dari  $D_0, D_1, D_2, D_3$ .

### E. TUGAS

Buat rangkaian Multiplexer yang dapat memilih output dari fungsi yang dinyatakan dalam persamaan SOP :  $F(a, b, c, d) = \Sigma(0, 2, 5, 8, 11)$

$$F = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + A\bar{B}\bar{C}\bar{D} + A\bar{B}C\bar{D}$$



### F. KESIMPULAN

Berdasarkan praktikum dapat disimpulkan bahwa rangkaian logika dapat dirubah menjadi Multiplexer yaitu suatu rangkaian yang menerima beberapa input data digital dan menyeleksi salah satu dari input tersebut pada saat tertentu, untuk dikeluarkan pada sisi output. Juga dapat dirubah menjadi Demultiplexer yaitu suatu rangkaian logika yang menerima satu input data dan mendistribusikan input tersebut ke beberapa output yang tersedia.