

1 D4 - TEKKOM B

SHIFT REGISTER



Nama	:	Septian Bagus Jumanoro
Kelas	:	1 – D4 Teknik Komputer B
NRP	:	3221600039
Dosen	:	Reni Soelistijorini B.Eng.,MT.
Mata Kuliah	:	Praktikum Rangkaian Logika 1
Hari/Tgl. Praktikum	:	Senin, 06 Desember 2021



PERCOBAAN 13

SHIFT REGISTER

13.1. TUJUAN :

- Memahami prinsip kerja Shift Register secara umum
- Membuat Recirculating Register

13.2. PERALATAN :

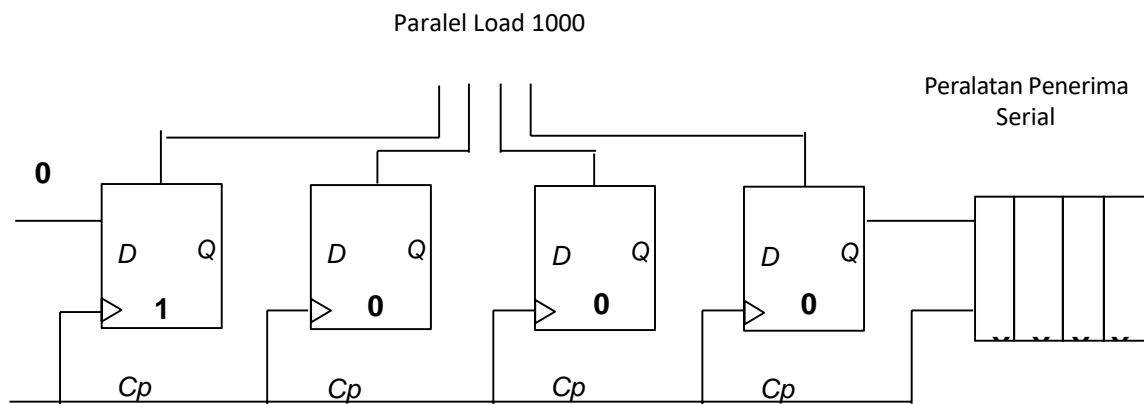
- Modul Trainer KL-31001 Digital Logic Lab
- Modul KL-33009
- Oscilloscope

13.3. DASAR TEORI :

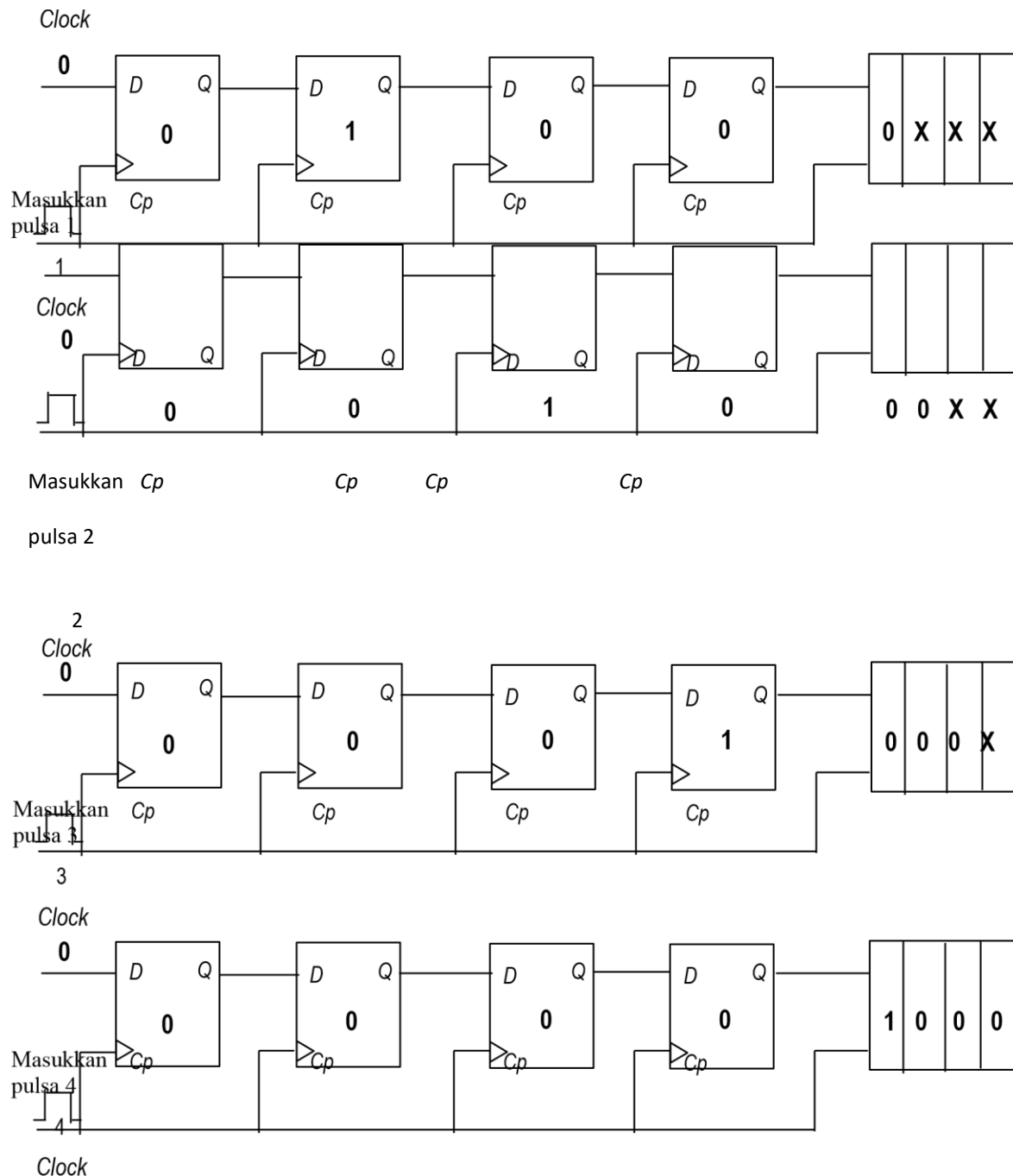
Di dalam sistim digital, register digunakan sebagai tempat menyimpan sementara sebuah grup bit data. Bit-bit data (“1” atau “0”) yang sedang berjalan di dalam sebuah sistim digital, kadang-kadang perlu dihentikan, disalin dipindahkan atau hanya digeser ke kiri atau ke kanan satu atau lebih posisi.

Shift Register mampu menjalankan fungsi-fungsi di atas serta menyimpan bit-bit data. Sebagian besar shift Register dapat menangani perpindahan secara paralel maupun serial, serta dapat mengubah dari sistim serial ke paralel atau sebaliknya.

Rangkaian dasar Shift Register dapat dibuat dari beberapa Flip-flop sejenis, yang dihubungkan seperti pada Gambar 13.1. Gambar tersebut menunjukkan Shift Register 4-bit yang menerima 4 bit data paralel dan menggesernya 4 posisi ke kanan menuju peralatan digital yang lain. Pewaktuan dari proses penggeseran ini dilakukan oleh input clock. Pergeseran satu posisi ke kanan dilakukan setiap satu input clock.



1 0 0 0



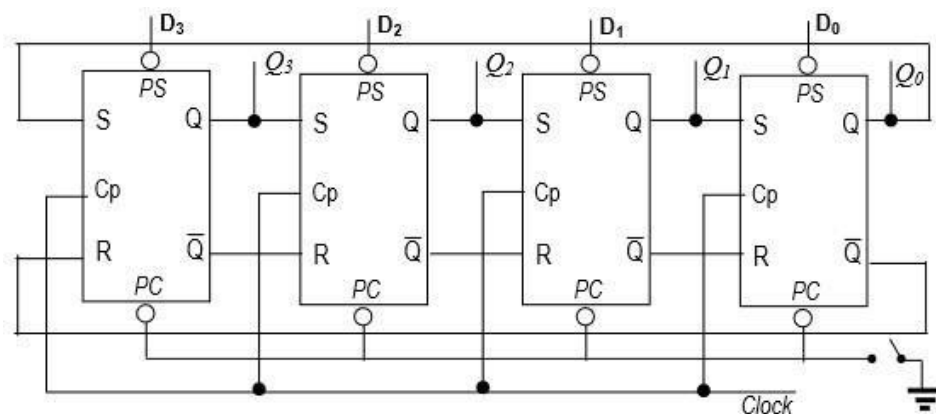
Gambar 13.1. Shift Register 4-bit yang digunakan untuk konversi Paralel to Serial Gambar 13.1 menjelaskan sebagai berikut : Sebuah grup terdiri dari 4 buah D Flip- flop. Langkah pertama adalah membebani register di atas dengan 1-0-0-0. “Paralel Load” berarti membebani ke-empat flip-flop dalam waktu yang bersamaan. Pembebanan diberikan melalui input S_D pada masing-masing flip-flop.

Selanjutnya, clock pertama menyebabkan seluruh bit menggeser satu posisi ke kanan, karena input dari masing-masing flip-flop mendapatkan output dari flip-flop sebelumnya. Setiap penekanan clock menyebabkan penggeseran satu posisi ke kanan. Pada pulsa ke empat, seluruh bit sudah tergeser ke peralatan penerima data serial, sesuai dengan data awal yang diberikan. Koneksi antara ke-empat flip-flop di atas bisa berupa kabel transmisi serial (serial data, clock dan ground).

Ada 4 macam konversi yang bisa dilakukan menggunakan Shift Register, yaitu Paralel Input Paralel Output (PIPO), Serial Input Serial Output (SISO), Paralel Input Serial Output (PISO) dan Serial Input Paralel Output (SIPO). Ada pula Recirculating Register, yang menggeser data secara sirkulasi.

13.3.1. RING SHIFT COUNTER

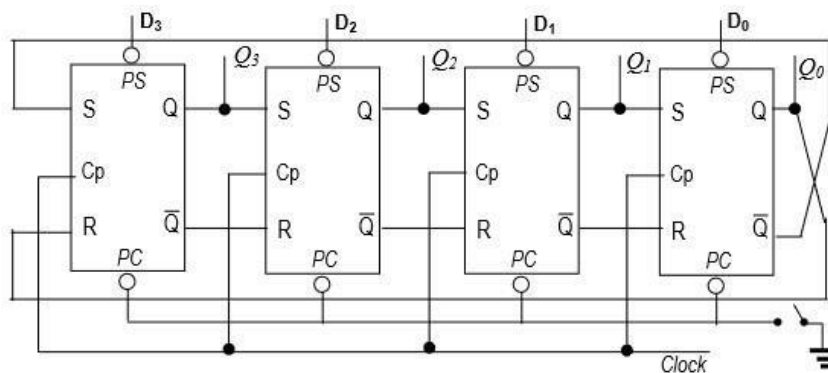
Recirculating data output flip-flop paling akhir ke input flip-flop paling awal dapat dilakukan dengan memberikan output Q_0' pada R_3 dan Q_0 pada S_3 , seperti pada Gambar 13.2. Dengan koneksi semacam Ring ini data-data yang telah dibebankan sebelumnya tidak pernah hilang. Sejumlah n bit data yang sama akan muncul kembali setelah pergeseran sebesar n kali.



Gambar 13.2. Rangkaian Ring Shift Counter 4 bit

13.3.2. JOHNSON SHIFT COUNTER

Sama seperti Ring Shift Counter, Johnson Shift Counter juga merupakan Recirculating Shift Register. Bedanya adalah pada Johnson Shift Counter, output dari flip-flop paling akhir Q_0' diumpanbalikkan ke input flip-flop paling awal S_3 . Begitu pula output Q_0 diumpan balikkan ke input R_3 . Hal ini seperti terlihat pada Gambar 13.3. Karena ada persilangan pada output flip-flop terakhir, maka nilai input-input flip-flop paling awal berkebalikan dengan nilai output flip-flop paling akhir.

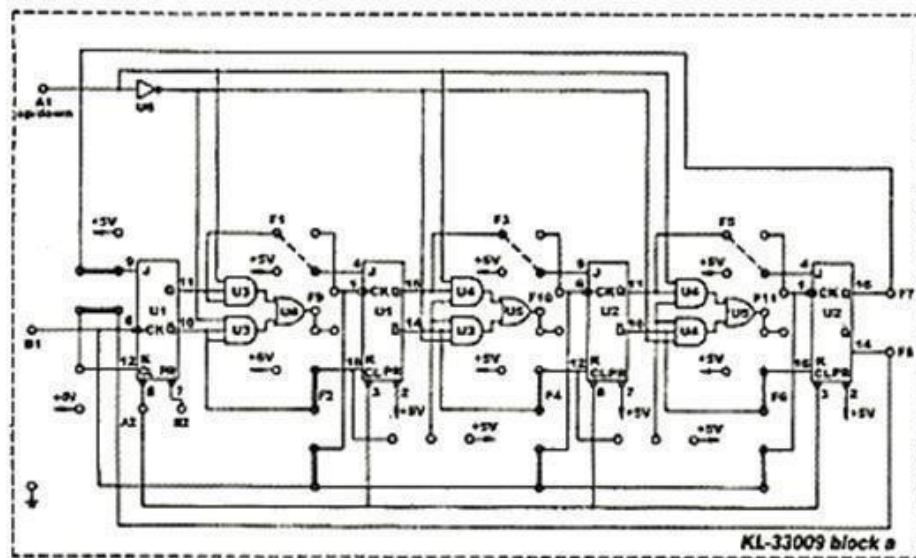


Gambar 13.3. Rangkaian Johnson Shift Counter 4 bit

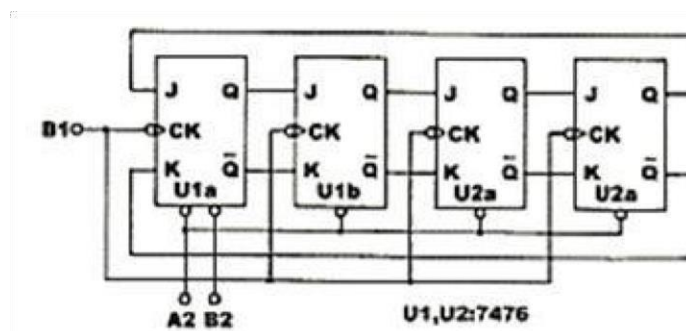
13.4. PROSEDUR PERCOBAAN

13.4.1: Ring Counter

1. Masukkan connection clip berdasarkan Gambar 13.4 untuk membuat rangkaian pada Gambar 13.5. Hubungkan output F1, F3, F5, F7 ke L1~L4 berurutan.

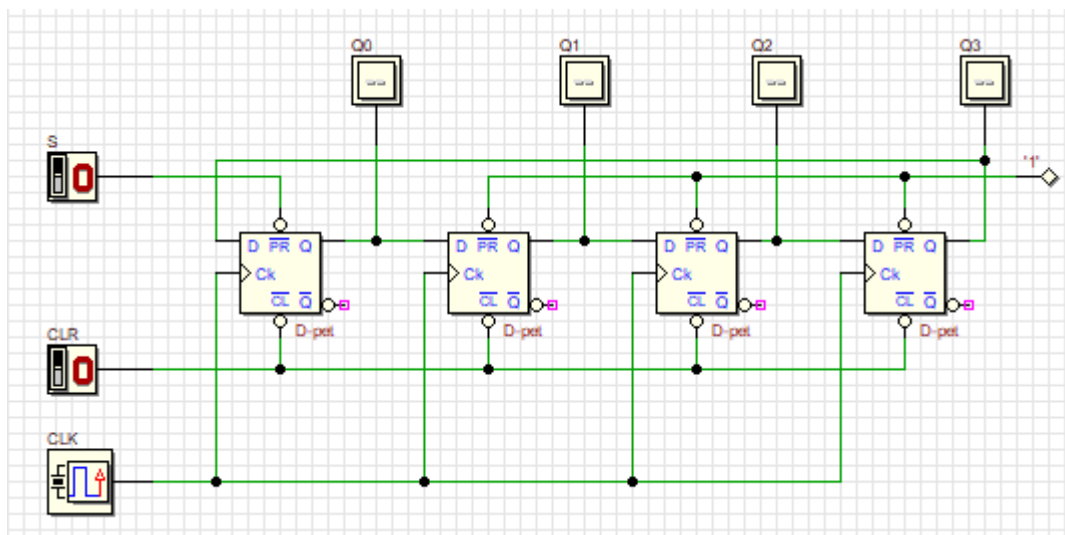


Gambar 13.4: Modul KL-33009 Block a



Gambar 13.5: Rangkaian ekivalen

➤ Gambar Rangkaian



2. Hubungkan input A2 ke SWA \bar{A} output; B2 (preset) ke SWB \bar{B} output; CK ke 1Hz.
Kirim pulsa ke A2 lalu B2. Catat tampilan output pada Tabel 13.1.

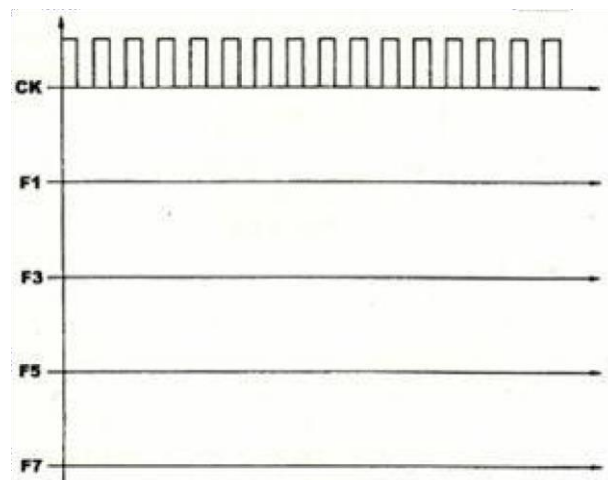
Tabel 13.1. Tabel percobaan

CK	F7	F5	F3	F1
0				
1				
2				
3				
4				
5				
6				
7				
8				
9				

➤ Tabel Kebenaran

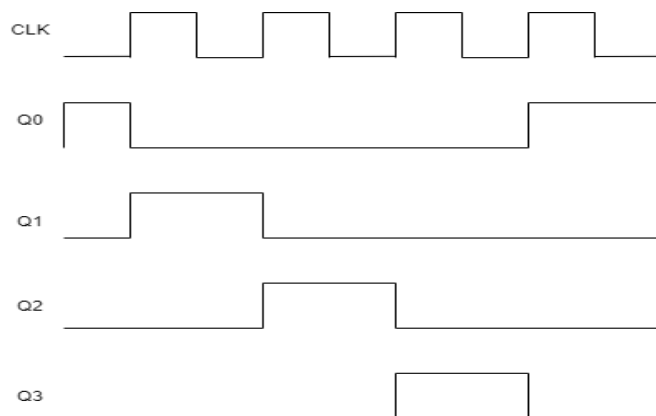
Input			Output			
CLK	PR	CL	Q ₀	Q ₁	Q ₂	Q ₃
0	0	1	1	0	0	0
1	1	1	0	1	0	0
2	1	1	0	0	1	0
3	1	1	0	0	0	1
4	1	1	1	0	0	0

3. Hubungkan CK ke output dari CLOCK GEN, ukur dan gambarkan bentuk gelombang output pada Gambar 13.6.



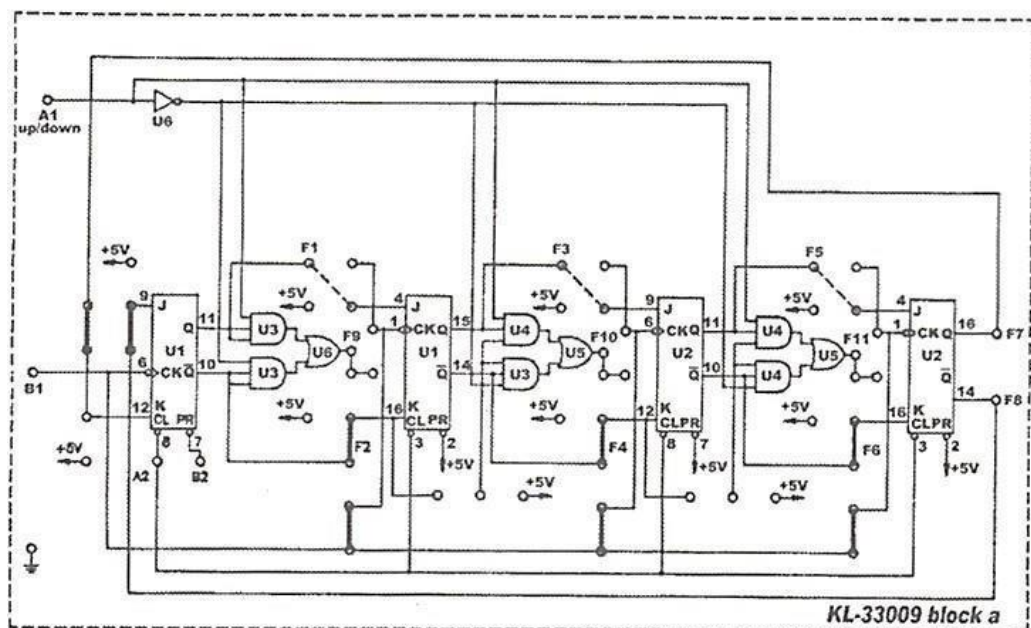
Gambar 13.6. Grafik hasil percobaan

➤ Timing Diagram

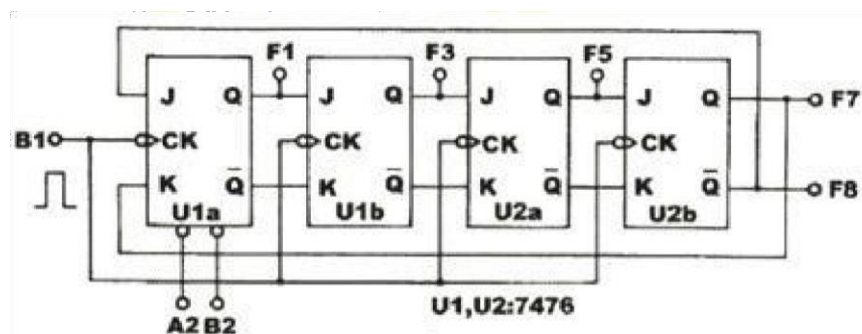


13.4.2. Johnson's Counter

1. Hubungkan connection clip berdasarkan Gambar 13.7 untuk membuat rangkaian pada Gambar 13.8. Hubungkan J dan K dari U1a ke F8 dan F7 secara berurutan.

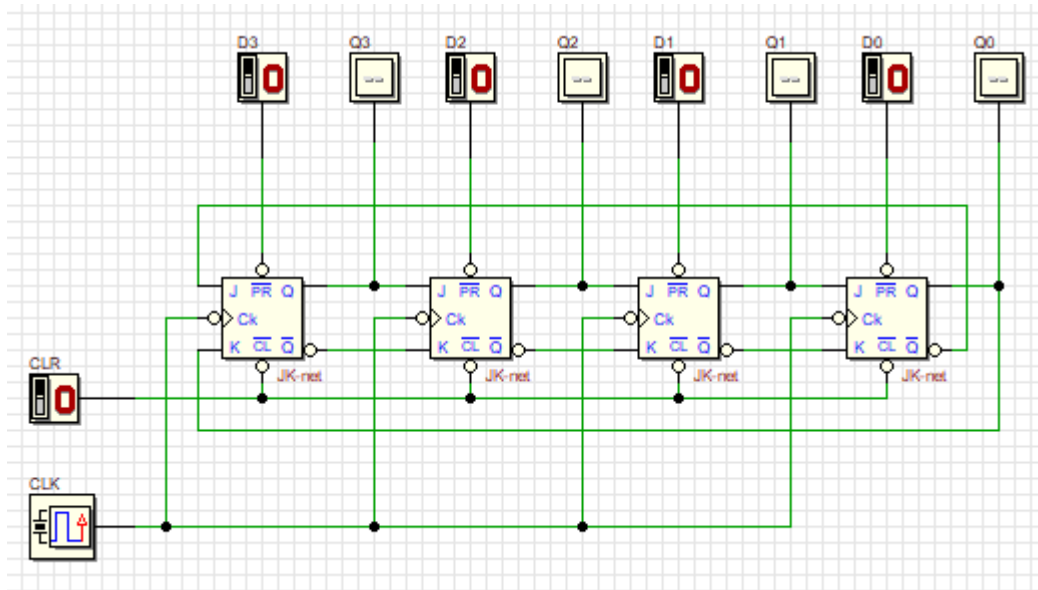


Gambar 13.7. Modul KL-33009 Block a



Gambar 13.8. Rangkaian ekivalen

➤ Gambar Rangkaian



- Hubungkan A2 (Clear) SWA \bar{A} output; B1 (CK) ke SWB ; B2 (Preset) ke "1"; output F1, F3, F5, F7 ke L1~L4 secara berurutan. Kirim pulsa dari SWA untuk meng-clear counter. Masukkansinyal CK dari SWB dan catat tampilan outputnya pada Tabel 13.2.

➤ Tabel Kebenaran

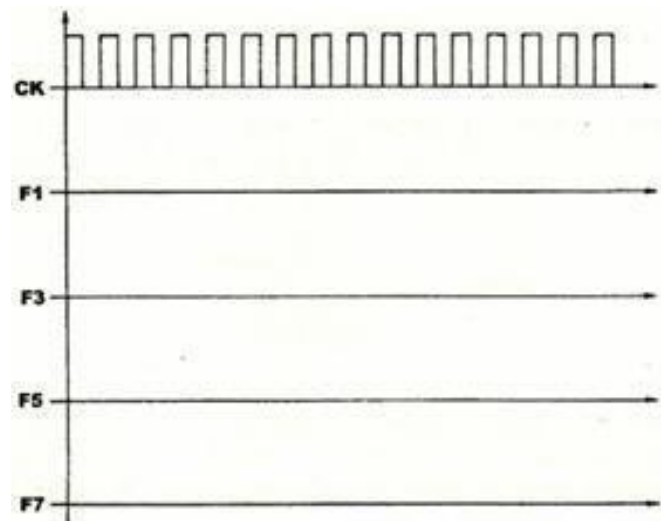
Input			Output			
CLK	PR	CL	Q ₃	Q ₂	Q ₁	Q ₀
0	0	1	1	0	0	0
1	1	1	1	1	0	0
2	1	1	1	1	1	0
3	1	1	1	1	1	1
4	1	1	0	1	1	1
5	1	1	0	0	1	1
6	1	1	0	0	0	1
7	1	1	0	0	0	0
8	1	1	1	0	0	0

- Hubungkan CK ke output CLOCK GEN, ukur dan gambarkan bentuk gelombang output pada Gambar 13.9.

Tabel 13.2. Tabel hasil percobaan

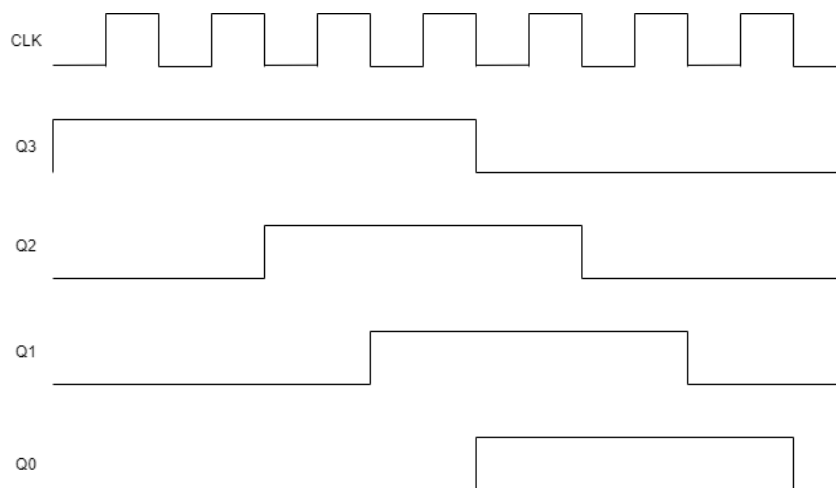
CK	F7	F5	F3	F1
0				
1				
2				
3				
4				
5				
6				
7				

8				
9				
10				
11				
12				
13				
14				
15				



Gambar 13.9. Grafik hasil percobaan

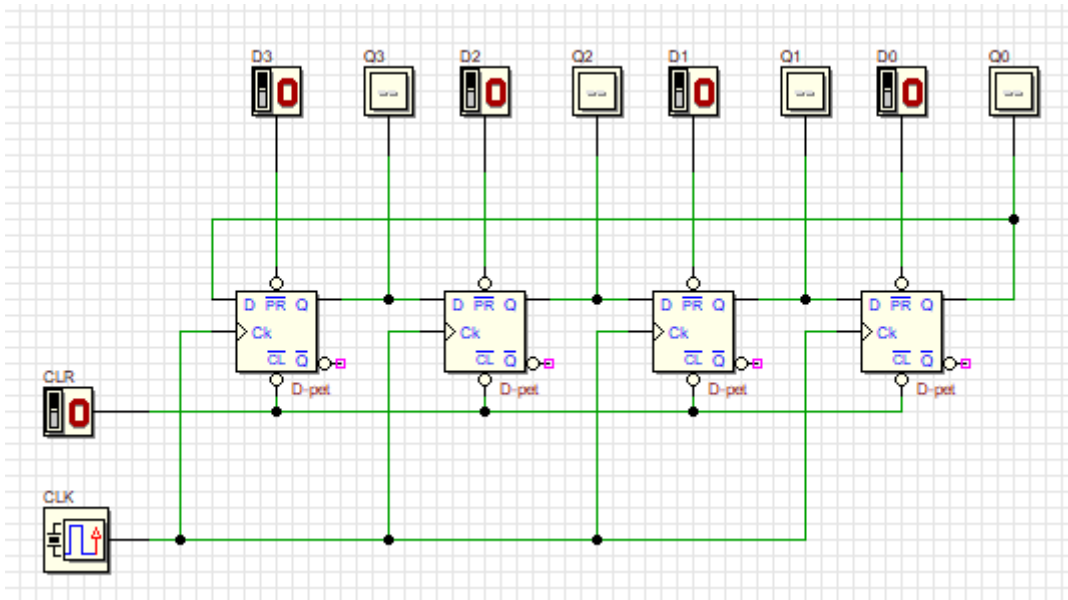
➤ Timing Diagram



13.5. TUGAS

1. Pada Gambar 13.2, jika $D_3D_2D_1D_0 = 0100$ dan input $S_3 = 1$, berapa nilai $Q_3Q_2Q_1Q_0$ setelah clock ke-2 ? Setelah clock ke-4 ?

➤ Gambar Rangkaian

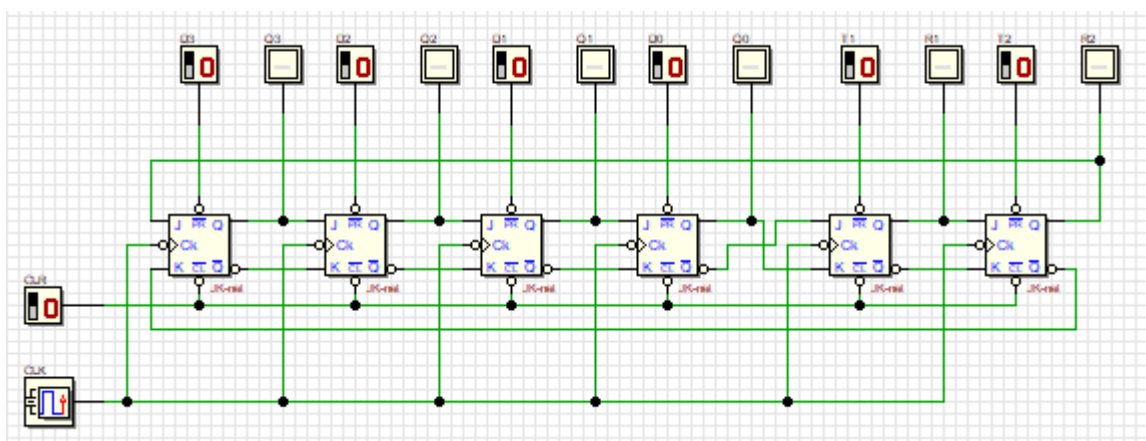


➤ Tabel Kebenaran

Input						Output			
CLK	D ₃	D ₂	D ₁	D ₀	CL	Q ₃	Q ₂	Q ₁	Q ₀
0	0	1	0	0	1	1	0	1	1
1	1	1	1	1	1	1	1	0	1
2	1	1	1	1	1	1	1	1	0
3	1	1	1	1	1	0	1	1	1
4	1	1	1	1	1	1	0	1	1
5	1	1	1	1	1	1	1	0	1
6	1	1	1	1	1	1	1	1	0

2. Jika Rangkaian pada gambar 13.3. ditambahkan 2 buah Flip-flop lagi, dan data awal dibuat 1100, berapa nilai $Q_3Q_2Q_1Q_0$ setelah clock ke-2 ? Setelah clock ke-4 ?

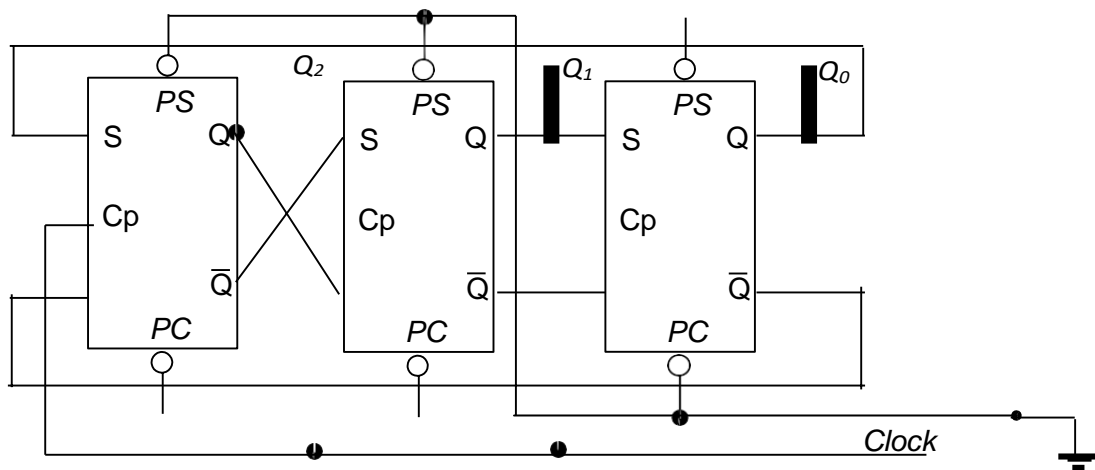
➤ Gambar Rangkaian



➤ Tabel Kebenaran

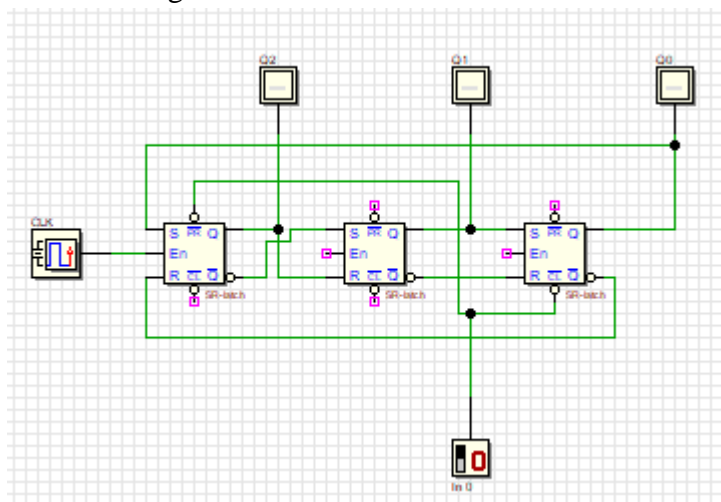
Input								Output					
CLK	D ₃	D ₂	D ₁	D ₀	CL	T ₁	T ₂	Q ₃	Q ₂	Q ₁	Q ₀	R ₁	R ₂
0	1	1	0	0	1	1	1	0	0	1	1	1	1
1	1	1	1	1	1	1	1	1	0	0	1	0	1
2	1	1	1	1	1	1	1	1	1	0	0	0	0
3	1	1	1	1	1	1	1	0	1	1	0	1	0
4	1	1	1	1	1	1	1	0	0	1	1	1	1
5	1	1	1	1	1	1	1	1	0	0	1	0	1
6	1	1	1	1	1	1	1	1	1	0	0	0	0

3. Sketsalah bentuk gelombang output dari Q₀, Q₁ dan Q₂ pada tujuh pulsa clock pertama untuk rangkaian Gambar 13.10.



Gambar 13.10. Rangkaian untuk tugas 3.

➤ Gambar Rangkaian



13.6 KESIMPULAN

Berdasarkan praktikum dapat disimpulkan bahwa Shift Register terbentuk dari beberapa rangkaian flip flop yang dihubungkan secara seri dengan input enable atau input clock. Lalu untuk output yang dikeluarkan pada output yang pertama ini akan bergeser secara bersamaan atau sinkron ke rangkaian flipflop berikutnya.