

Digital Circuit

10/19/2018

Date

No

$$Y(A, B, C) =$$

1. 将 $\Sigma(1, 2, 4)$ 化为 Σ 形式并化简

$$= \Sigma(0, 3, 5, 6, 7) = \underbrace{(A+B+C)}_{\text{直接排四}} (A+B+C)' (A+B+C)' (A+B+C)' (A+B+C)' (A+B+C)' (A+B+C)'$$

5 项不同

10/23/2018

1. Karnaugh图

$$Y = (A'D' + C'D + CD) \oplus (AC'D' + ABC + A'D + CD)$$

①: 两个 Karnaugh 图的式子与异或 \Leftrightarrow 两个图进行异或运算

$$Y_1 =$$

CD \ AB	00	01	11	10
00	1	1	0	1
01	1	1	0	1
11	0	1	0	1
10	0	1	0	1

$$Y_2 =$$

CD \ AB	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	1	0	1	1
10	1	0	1	0

$$Y_3 = Y_1 \oplus Y_2$$

CD \ AB	00	01	11	10
00	1	0	1	1
01	1	0	1	1
11	1	1	1	0
10	1	1	1	1

注意: 并非按行异或

将这两个相邻2格只作一个

②

可化简:

$$S = 2/4/8 \text{ 找圈开}$$

(圈上找圈下, 圈左找圈右)
找圈开

要求: 每圈都包含1的个数
最大圈数

(只找6, 8, 4, 2)

③ 覆盖形式

$$F = A'C + AB' + AD + C'D'$$



11/22/2018

在图 P3.23(a) 所示电路中已知三极管导通时 $V_{BE} = 0.7\text{V}$, 饱和压降 $V_{CE(sat)} = 0.3\text{V}$, 饱和导通内阻 $R_{CE(sat)} = 20\Omega$, 三极管的电流放大系数 $\beta = 100$. OC 门 G_1 输出管截止时的漏电流约为 $50\mu\text{A}$, 导通时允许的最大负载电流为 16mA , 输出低电平 $\leq 0.3\text{V}$. $G_2 \sim G_5$ 均为 74 系列 TTL 电路, 其中 G_2 为反相器, G_3 和 G_4 是与非门, G_5 是或非门, 它们的输入特性如图 P3.23(b) 所示.

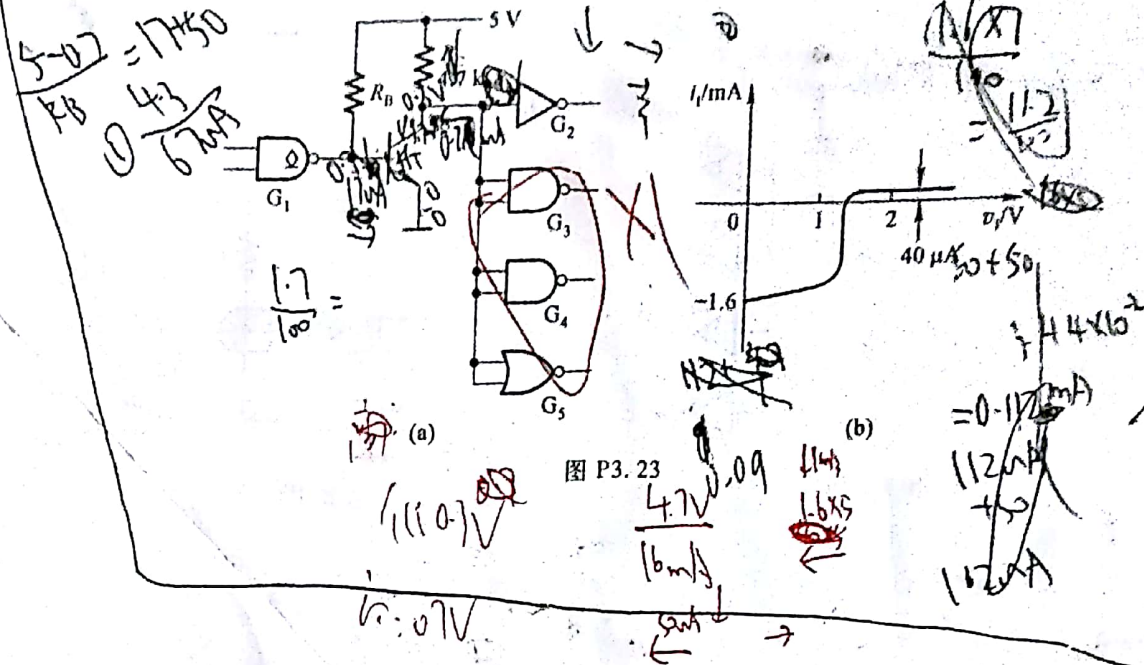
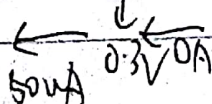


图 P3.23

解: ① 求低电平: 取最大值

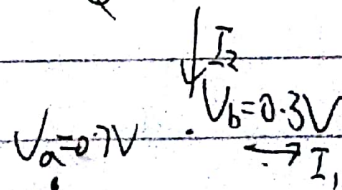
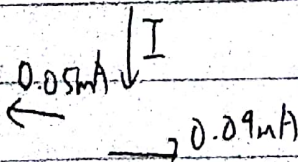


此时求最大值

$$R_{min} = \frac{5\text{V} - 0.3\text{V}}{I_{max}} = \frac{4.7\text{V}}{16\text{mA}} = 0.294\text{k}\Omega$$

② G_1 输出高电平: 求最大值

此时求最大值 (饱和导通):



$$R_{max} = \frac{4.7\text{V}}{0.14\text{mA}} = 33.7\text{k}\Omega$$

$$I_{B'} = I_2 - I_1 = 9\text{mA}$$

$$I_2 = \frac{4.7\text{V}}{7.1\text{k}\Omega} = 0.66\text{mA}$$

$$I_{B'} = 0.09\text{mA}$$

$$I_1 = (1 + (\beta + 1) \times 16\text{mA}) = -8\text{mA}$$

$$0.294\text{k}\Omega \leq R \leq 33.7\text{k}\Omega$$



题 3.13 试说明在下列情况下,用万用表测量图 P3.13 中的 v_o 端得到的电压各为多少;

- (1) v_i 悬空;
- (2) v_i 接低电平 (0.2 V);
- (3) v_i 接高电平 (3.2 V);
- (4) v_i 经 51 Ω 电阻接地;
- (5) v_i 经 10 k Ω 电阻接地。

图中的与非门为 74 系列的 TTL 电路,万用表使用 5V 量程,内阻为 20 k Ω /V。

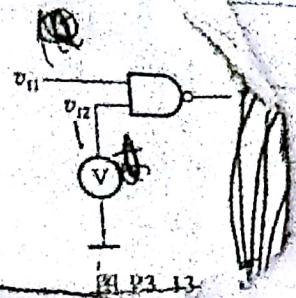


图 P3.13

题 3.14 若将上述中的与非门改为 74 系列 TTL 或非门,试问在上列五情况下测得的 v_o 各为多少?

输入: (mos: 是什么是什么)

TTL: 高电平输入

低电平: (悬空) 接 20 k Ω 大电阻 $\rightarrow V = 1.4V$ 高电平
(多输入同时输入) (是什么是什么)

5 非门: 另一端为 0 \rightarrow 自己低电平 (是什么是什么)

另一端为 1 $\rightarrow V = 1.4V$ 高电平

电阻无影响 (是什么是什么)

TTL, 20 k $\Omega \times 5V = 100 k\Omega$ 大电阻

1. (1) (3) (5): $V_{i1} = V_{i14}$

(2) (4): $V_{i1} = V_{i14}$

$V_{i2} = V_{i3} = V_{i5} = 1.4V$

$V_{i2} = R_1: 0.2V$

(4) 0V

2. 均为 1.4V



12/17/2018

分析图 P6.17 给出的计数器电路, 画出电路的状态转换图, 说明这是几进制计数器。74LS290 的电路见图 6.3.29。

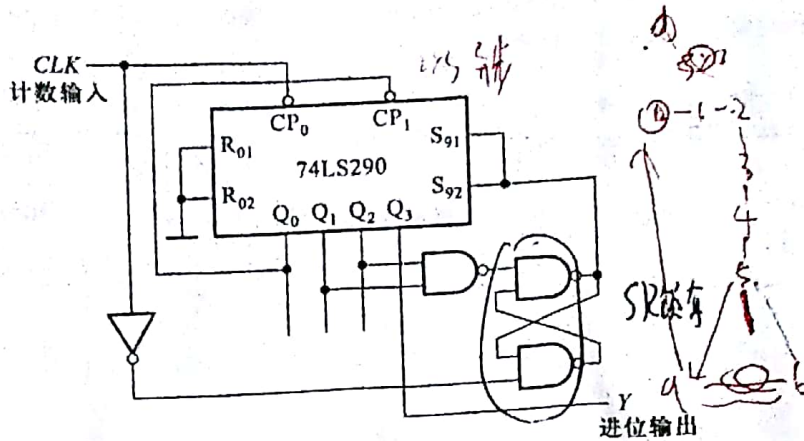


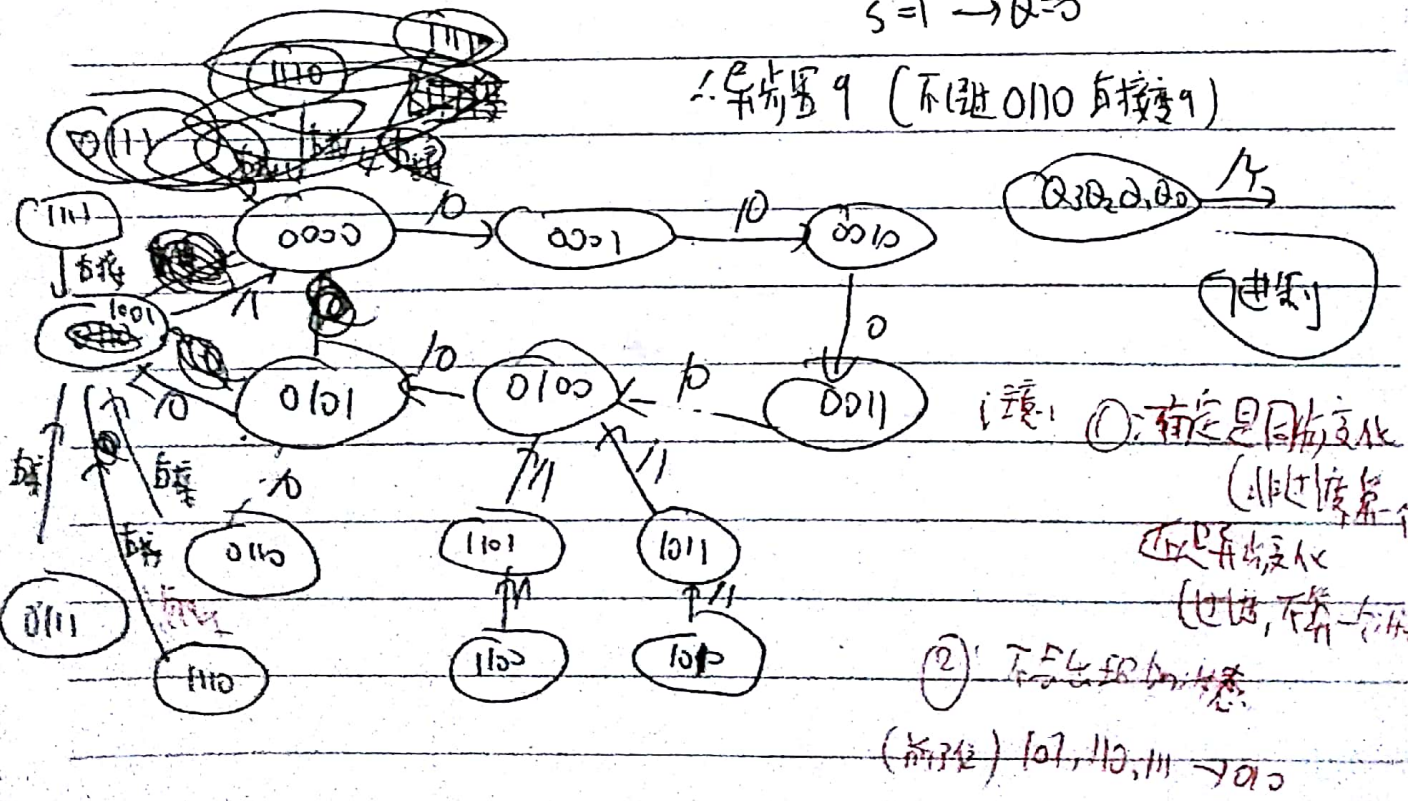
图 P6.17

①: $Q_0 \rightarrow CP_1$ (10进制)

②: (Q_2, Q_3) 与 CLK' 构成 SR 触发器, Q 置 9 停

当 $S'=1, R'=0$ 时 $Q=1$
 $S'=0, R'=1$ 时 $Q=0$
 $S'=1, R'=1$ 时 $Q=0$

∴ 异步置 9 (不进 0110 直接变 9)



1/3/2019

1. 脉冲触发 SR 触发器 ($V_{CC}=5V$)

Q 端接 LED, 灯

Q' 端接 LED, 灯

① 当 $S=0, R=0$ 时, Q 保持原状态

② 当 $S=1, R=0$ 时, Q 置 1

③ 当 $S=0, R=1$ 时, Q 置 0

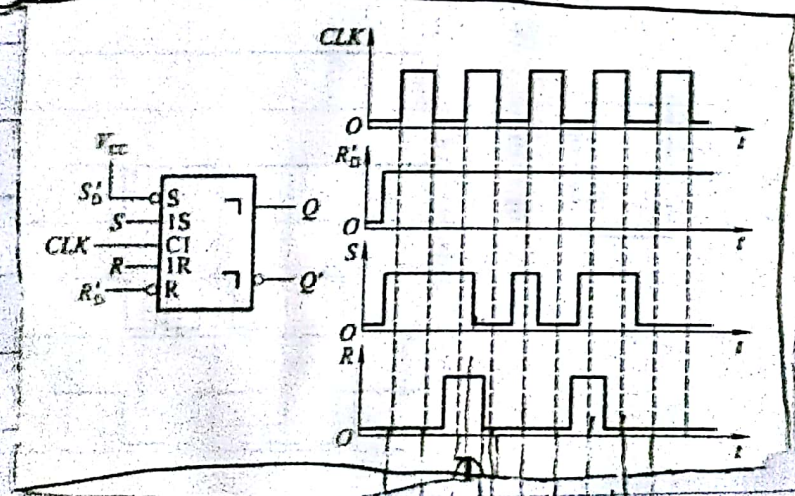
④ 当 $S=1, R=1$ 时, Q 不定

1/3/2019

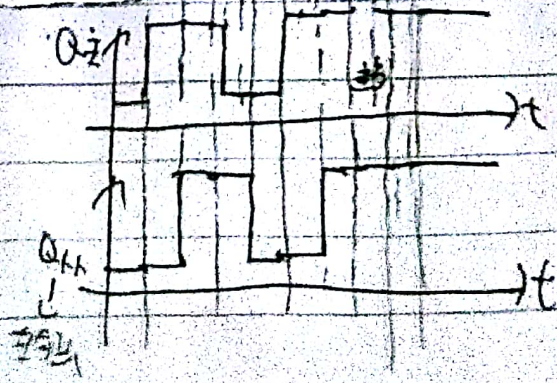
1. 脉冲触发

①: SR:

【题 5.14】若脉冲触发 SR 触发器的 CLK、S、R、R_D' 各输入端的电压波形如图 P5.14 所示, 而 S_D'=1, 试画出 Q、Q' 端对应的电压波形。

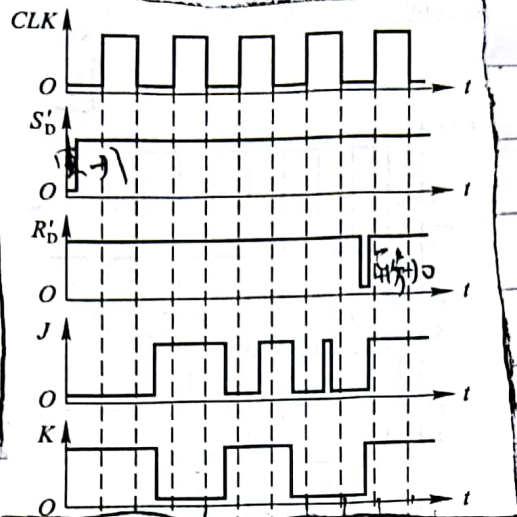


SR 脉冲:
主: SR 电平
从: D, T, 16
Q, Q' 50



② JK:

$$Q_{n+1} = S_D + R_D'Q_n$$



Date.

No.

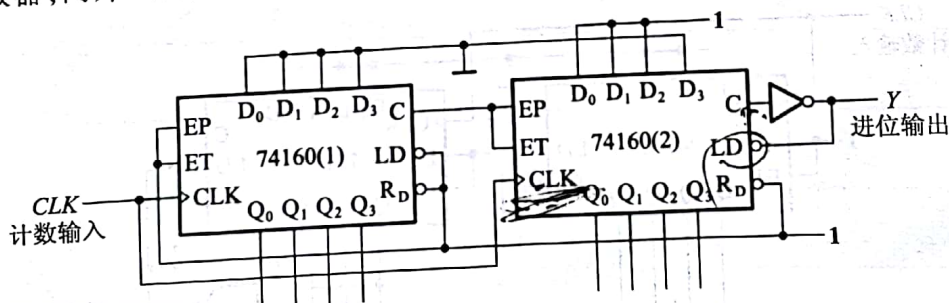
主: JK, 电平触发 (异步)

从: D, 边沿

11/5/2018

1/8/2019

【题 6.19】 图 P6.19 电路是由两片同步十进制计数器 74160 组成的计数器, 试分析这是多少进制的计数器, 两片之间是几进制。



8 4 2 1

十进制

十进制

$$EP = ET = 1$$

$$CLK =$$

当 ET = 1 时

只有当 D3 D2 D1 D0 = 9, C = 1

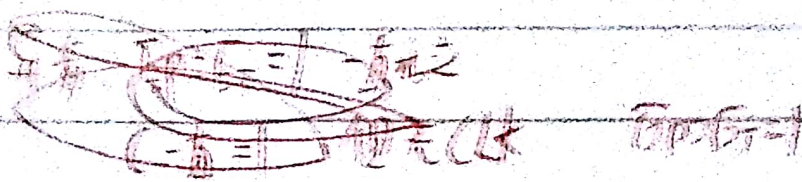
才会输出进位, 先 8-9

有 10 个值 (0-9)



由 扫描全能王 扫描创建

R1 结构, CLK:



CLK → 9.01 → 1.000000

(70.799, 3.000000)

