

Міністерство освіти і науки України  
Національний університет «Львівська політехніка»

Кафедра ЕОМ



Звіт

до лабораторної роботи № 1

з дисципліни «Моделювання комп'ютерних систем»  
на тему:

«Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.  
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA»

Варіант №14

Виконав:  
ст. гр. КІ-201  
Когут Д.А.  
Прийняв:  
ст. викладач  
каф. ЕОМ  
Козак Н. Б.

Львів 2024

Етапи роботи:

1. Інсталяція Xilinx ISE та додавання ліцензії.
2. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACK™ Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

### Виконання завдання

Згідно мого варіанту(14), я отримав таку таблицю істинності для дешифратора:

in_2	in_1	in_0	out_0	out_1	out_2	out_3
0	0	0	1	1	0	0
0	0	1	1	1	1	0
0	1	0	0	1	0	1
0	1	1	0	1	0	0
1	0	0	0	0	0	0
1	0	1	1	0	0	1
1	1	0	0	0	0	0
1	1	1	0	0	0	0

Мінімізуємо функції за допомогою карт Карно:

	/in_1	/in_1	in_1	in_1
	/in_0	in_0	in_0	/in_0
in_2	1	1	0	0
/in_2	0	1	0	0

$$\text{out}_0 = \text{/in}_2 * \text{/in}_1 \vee \text{/in}_1 * \text{in}_0$$

	/in_1	/in_1	in_1	in_1
	/in_0	in_0	in_0	/in_0
in_2	1	1	1	1
/in_2	0	0	0	0

$$\text{out}_1 = \text{/in}_2$$

	/in_1	/in_1	in_1	in_1
	/in_0	in_0	in_0	/in_0
in_2	0	1	0	0
/in_2	0	0	0	0

$$\text{out}_2 = \text{/in}_2 * \text{/in}_1 * \text{in}_0$$

	/in_1	/in_1	in_1	in_1
	/in_0	in_0	in_0	/in_0

in_2	0	0	0	1
/in_2	0	1	0	0

$$\text{out}_3 = \text{in}_2 * / \text{in}_1 * \text{in}_0 \vee / \text{in}_2 * \text{in}_1 * / \text{in}_0$$

На основі отриманих даних, я вирішив що для out\_1 і out\_3 краще використовувати LUT3, для інших – елементи базової логіки.

Реалізована схема подана на рисунку 1.

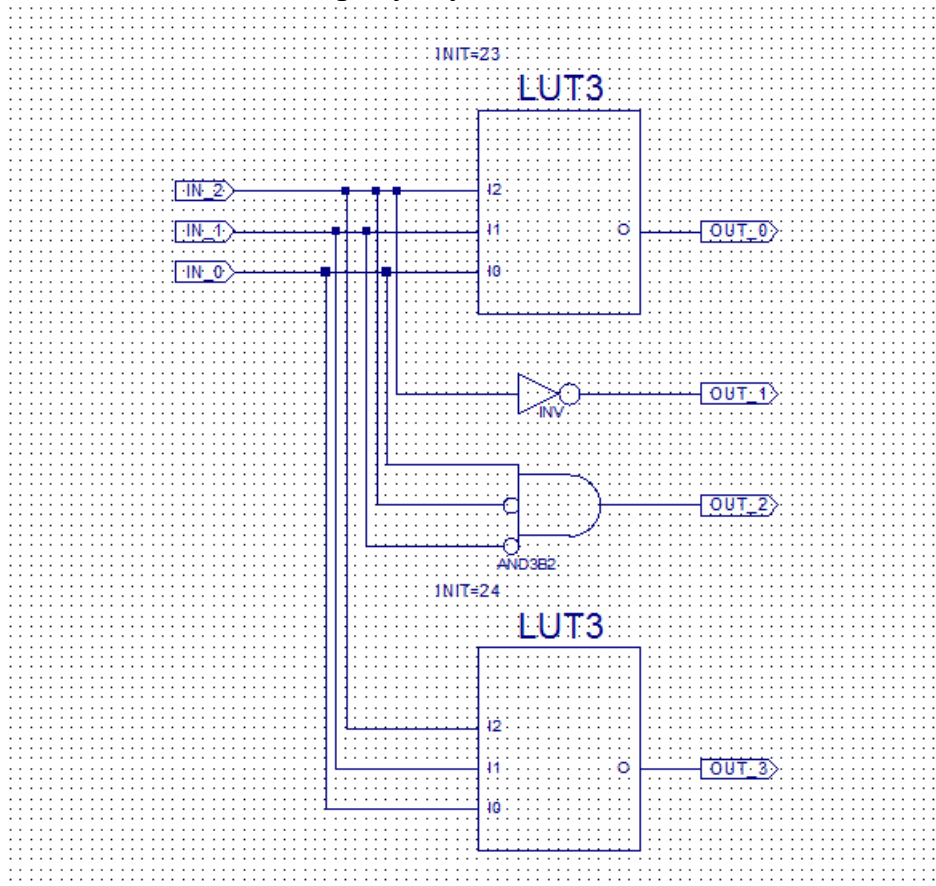


Рисунок 1. Реалізована схема

Для LUT3 вихід якого пов'язаний з out\_0 встановлений параметр INIT = 23  
Оскільки 0010 0011 = 0x23

Для LUT3 вихід якого пов'язаний з out\_3 встановлений параметр INIT = 24  
Оскільки 0010 0100 = 0x24

Часова діаграма, що відповідає даній схемі, представлена на рисунку 2

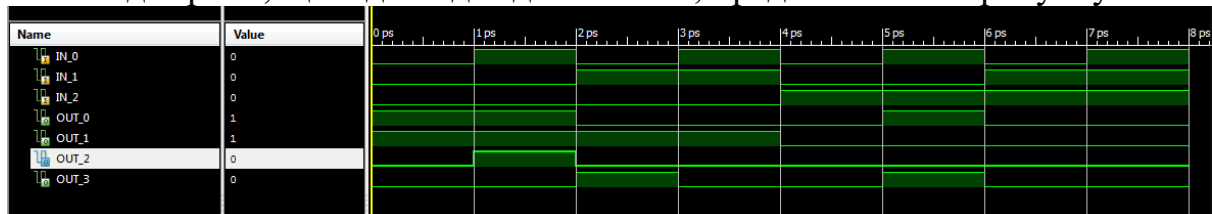


Рисунок 2. Часова діаграма

### **Висновок**

Виконуючи дану лабораторну роботу, я навчився використовувати ISE WebPACK™ Schematic Capture та моделювати його роботу за допомогою симулятора ISim, а також генерувати bit файл та тестувати його за допомогою стенда Elbert V2 – Spartan 3A FPGA.