**ANEXO I. Información de medidas**

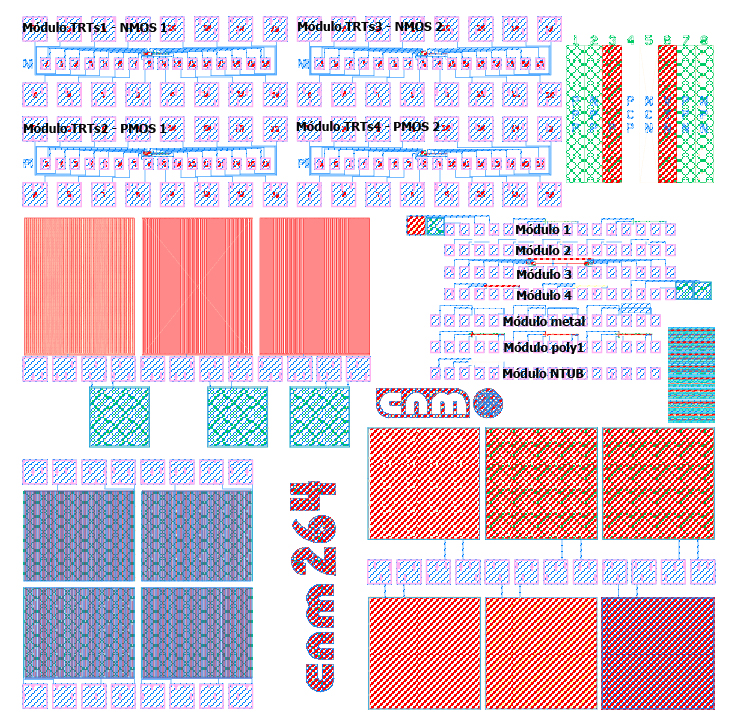
**Condiciones de medida**

· Para poder realizar todas las medidas CMOS se utiliza un sistema automático de cartografía con el programa ICV, la mesa de puntas Suss PA200 y sistema de medida Agilent 41000.

· El sistema lo dejamos en ‘Quiet mode’ para medir.

· Se utiliza el fichero de mapa: cmos264.map

· Se utiliza el fichero de test: CMOS\_all.die (diescripts)



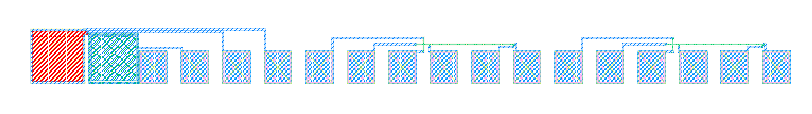
**Fórmulas**

Se obtienen los siguientes valores de cada cartografía:

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Valor** | | | **Descripción** | | | **Unidades** | |
| VTN30, VTP30,  VTN30x3, VTP30x3,  VTFN y VTFP | | | Tensión umbral de transistores: 30x30 de canal N, 30x30 de canal P, 30x3 de canal N, 30x3 de canal P, de campo de canal N y de campo de canal P. Se obtienen sobre las estructuras de transistores que se encuentran en la tira de test TT25, módulo 3. | | | V | |
| BETAN30, BETAP30,  BETAN30x3 y BETAP30x3 | | | Ganancias de transistores: 30x30 de canal N, 30x30 de canal P, 30x3 de canal N, 30x3 de canal P. Se obtienen sobre las estructuras de transistores que se encuentran en la tira de test TT25, módulo 3. | | | μA/V2 | |
| IOFFN30, IOFFP30 | | | Corriente de fugas para transistores: 30x30 de canal N, 30x30 de canal. Se obtienen sobre las estructuras de transistores que se encuentran en la tira de test TT25, módulo 3. Ioff = log10(IDS)  Condiciones medida: trt N: VDS=5 V , VGS=0 V ; trt P: VDS=-5 V , VGS=0 V | | |  | |
| R#N+, R#P+, R#P0R#P1, R#M1, R#NTUB y R#P1AA | | | Resistencia por cuadro de áreas activas N+, P+, poly0, poly1, metal, pozo y poly1 en área activa. Se obtienen sobre las estructuras CBR que se encuentran en la tira de test TT25, módulo 1, módulo 4, módulo metal, módulo pozo y módulo poly1. | | | Ω | |
| DWN+, DWP+, DWP0, DWP1, DWM1, DWNTUB y DWP1AA | | | Anchura en líneas N+, P+, poly1, metal, pozo y poly1 en área activa. Se obtienen sobre las estructuras CBR que se encuentran en la tira de test TT25, módulo 1, módulo 4, módulo metal, módulo pozo y módulo poly1.  ( L=300 μm) | | | μm | |
| RCMP0, RCMP1, RCMP+ y RCMN+ | | | Resistencias de contacto entre metal y poly0, metal y poly1, metal y P+ y metal y N+. Se obtienen sobre las estructuras kelvin que se encuentran en la tira de test TT25, módulo 2. | | | Ω | |
|  | | |  | | |  | |
|  | |  | | |  | |
| LEFFN y LEFFP | Longitud efectiva de canal de transistor de canal N y canal P. Se obtiene a partir de la representación de L=f(1/IDS) para los transistores de la tabla 6. Se cálcula la regresión lineal. El corte de la recta con eje Y (valor de a) representa el valor de  ΔL. LEFF (longitud efectiva del transistor de longitud 3) = 3 – ΔL  **,** ;  , | | | µm | | | |

## Tira de test TT25

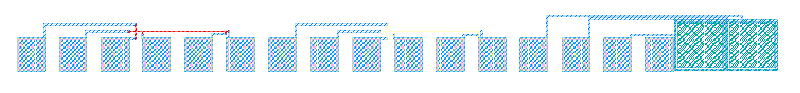
· Estructuras CBR



*Figura 1.* Módulo 1 de la tira de test TT25 que contiene estructuras CBR.

|  |  |
| --- | --- |
| Niveles | Pads |
| N+ | 5-10 |
| P+ | 11-16 |

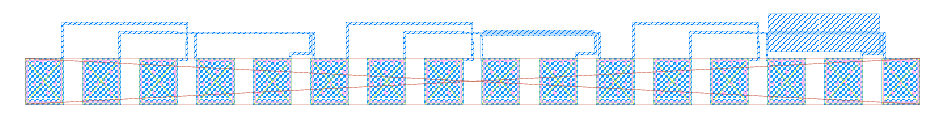
*Tabla 1.* Distribución de pads de las estructuras CBR en el módulo 1.



*Figura 2.* Módulo 4 de la tira de test TT25 que contiene estructuras CBR.

|  |  |
| --- | --- |
| Niveles | Pads |
| Poly1 | 1-6 |
| Poly0 | 7-12 |

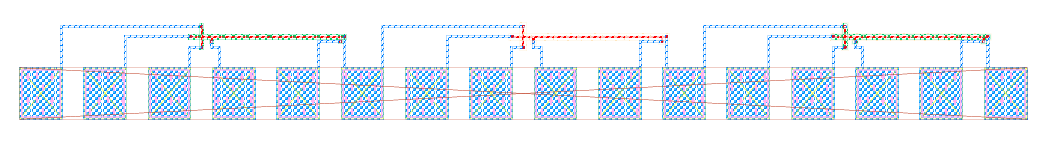
*Tabla 2.* Distribución de pads de las estructuras CBR en el módulo 4.



*Figura 3.* Módulo metal de la tira de test TT25 que contiene estructuras CBR de metal.

|  |  |
| --- | --- |
| Niveles | Pads |
| Metal | 1-6 |
| Metal vecindad delgada | 6-11 |
| Metal vecindad gruesa | 11-16 |

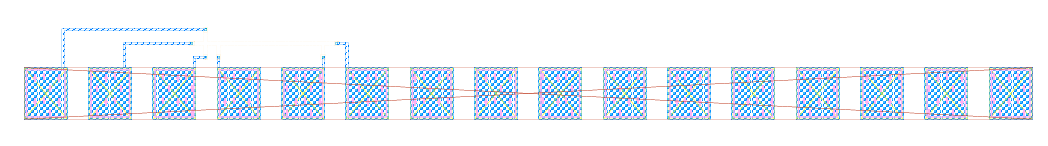
*Tabla 3.* Distribución de pads de las estructuras CBR en el módulo metal.



*Figura 4.* Módulo cbr poly1 de la tira de test TT25 que contiene estructuras CBR poly1.

|  |  |
| --- | --- |
| Niveles | Pads |
| Poly1 óxido puerta P | 1-6 |
| Poly1 óxido puerta N | 6-11 |
| Poly1 en área activa | 11-16 |

*Tabla 4.* Distribución de pads de las estructuras CBR poly1.

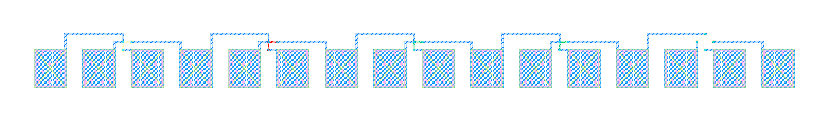


*Figura 5.* Módulo cbr pozo de la tira de test TT25 que contiene estructura CBR pozo.

|  |  |
| --- | --- |
| Niveles | Pads |
| NTUB | 1-6 |

*Tabla 5.* Distribución de pads de las estructuras CBR pozo.

· Estructuras Kelvin



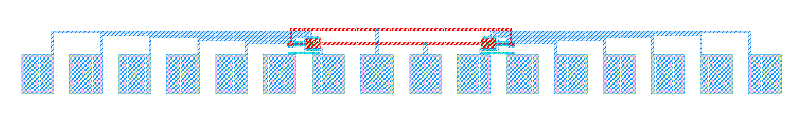
*Figura 6.* Módulo 2 de la tira de test TT25 que contiene las estructuras Kelvin.

|  |  |
| --- | --- |
| Niveles | Pads |
| Metal-polisilicio 0 | 1-4 |
| Metal-polisilicio 1 | 4-7 |
| Metal-N+ | 7-10 |
| Metal-P+ | 10-13 |

*Tabla 6.* Distribución pads de las estructuras Kelvin en el módulo 2.

· Estructuras transistores:

- para medidas VTH, BETA, IOFF

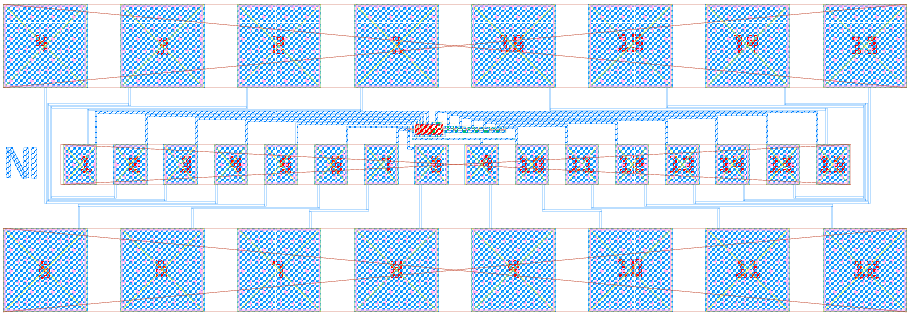


*Figura 7.* Módulo 3 de la tira de test TT25 que contiene los transistores.

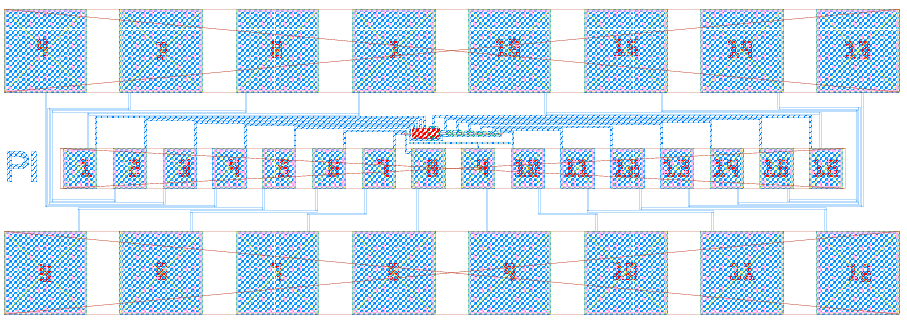
|  |  |  |  |
| --- | --- | --- | --- |
| Pad |  | W/L |  |
| 1 | Drain | 30/30 | NMOS |
| 2 | Drain | 3/30 | NMOS |
| 3 | Drain | 3/3 | NMOS |
| 4 | Drain | 30/3 | NMOS |
| 5 | Drain | 3/3 | NMOS campo |
| 6 | Bula |  | NMOS |
| 7 | Source |  | NMOS |
| 8 | Gate |  | campo |
| 9 | Gate |  |  |
| 10 | Source |  | PMOS |
| 11 | Bula |  | PMOS |
| 12 | Drain | 3/3 | PMOS campo |
| 13 | Drain | 30/3 | PMOS |
| 14 | Drain | 3/3 | PMOS |
| 15 | Drain | 3/30 | PMOS |
| 16 | Drain | 30/30 | PMOS |

*Tabla 7.* Distribución de pads de los distintos transistores en el módulo 3.

- para medidas LEFF



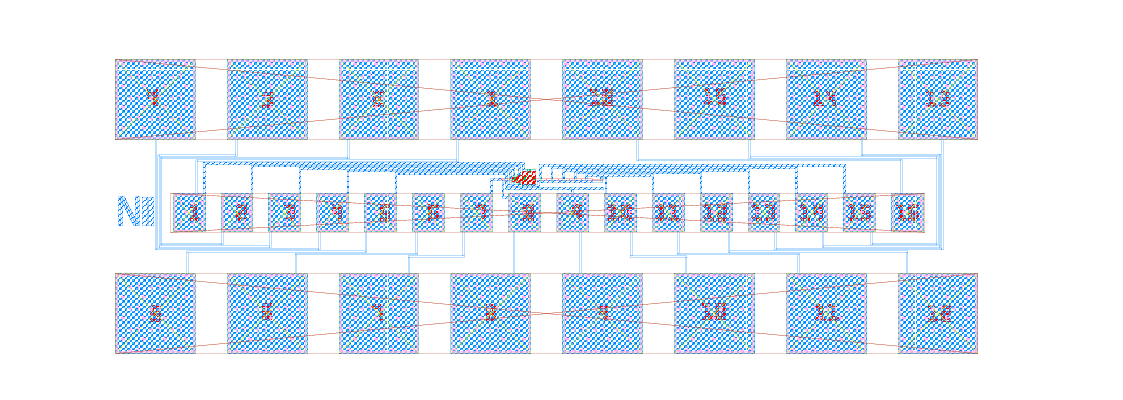
*Figura 8.* Módulo TRTs1 de la tira de test TT25. Contiene los transistores canal N.



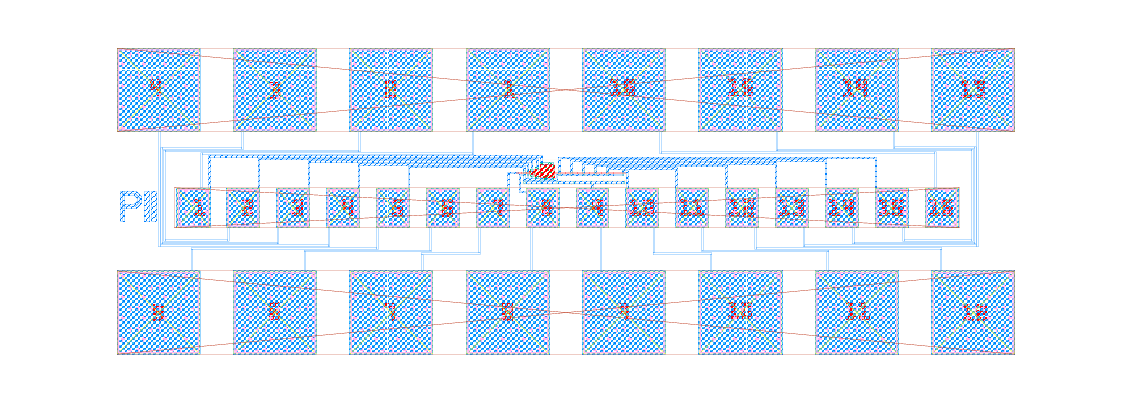
*Figura 9.* Módulo TRTs2 de la tira de test TT25. Contiene los transistores canal P.

|  |  |  |
| --- | --- | --- |
| Pad |  | W/L |
| 1 | Drain | 3.5/30 |
| 2 | Drain | 5/30 |
| 3 | Drain | 3/30 |
| 4 | Drain | 2.5/30 |
| 5 | Drain | 2.5/3 |
| 6 | Drain | 3/3 |
| 7 | Gate |  |
| 8 | Source |  |
| 9 | Bulk |  |
| 10 | Drain | 3.5/3 |
| 11 | Drain | 30/3 |
| 12 | Drain | 30/3.5 |
| 13 | Drain | 30/4 |
| 14 | Drain | 30/4.5 |
| 15 | Drain | 30/5 |
| 16 | Drain | 30/30 |

*Tabla 8.* Distribución de los transistores para los módulos TRTs1 (NMOS) y TRTs2 (PMOS)



*Figura 10.* Módulo TRTs3 de la tira de test TT25. Contiene los transistores canal N II.



*Figura 11.* Módulo TRTs4 de la tira de test TT25. Contiene los transistores canal P II.

|  |  |  |
| --- | --- | --- |
| Pad |  | W/L |
| 1 | Drain | 40/40 |
| 2 | Drain | 10/20 |
| 3 | Drain | 10/10 |
| 4 | Drain | 5/5 |
| 5 | Drain | 5/4 |
| 6 | Drain | X |
| 7 | Gate |  |
| 8 | Source |  |
| 9 | Bulk |  |
| 10 | Drain | 2.5/3.5 |
| 11 | Drain | 3/3.5 |
| 12 | Drain | 3.5/3.5 |
| 13 | Drain | 2.5/4 |
| 14 | Drain | 3/4 |
| 15 | Drain | 3.5/4 |
| 16 | Drain | X |

*Tabla 9.* Distribución de los transistores para los módulos TRTs3 (NMOS) y TRTs4 (PMOS)