

# Práctica 4 (1 y ½ sesiones)

## Circuitos de supervisión y protección de baterías

### 1. INTRODUCCIÓN

El uso de baterías recargables en un circuito electrónico comporta utilizar sistemas de supervisión y protección para evitar su sobrecarga o sobredescarga. La Figura 1 muestra un ejemplo de un sistema que incorpora un panel fotovoltaico para la recarga de las baterías. Dos comparadores controlan sendos interruptores que se abren cuando la tensión en la batería,  $V_{BAT}$ , excede un umbral superior ( $V_{max}=3.8\text{ V}$ , en el caso de la sobrecarga) o cae por debajo de un umbral inferior ( $V_{min}=3.2\text{ V}$ ), en el caso de la sobredescarga).

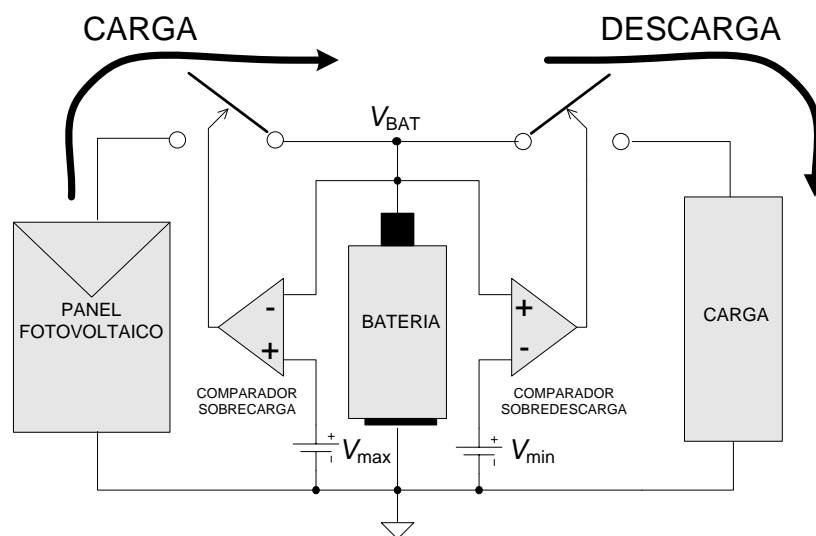


Figura 1 Esquema de protección de una batería ( $V_{min} < V_{BAT} < V_{max}$ ) en un sistema fotovoltaico.

Los interruptores controlados se implementan mediante transistores, normalmente de tecnología MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*). La Figura 2 muestra la estructura interna y los símbolos convencionalmente utilizados para transistores MOSFET de enriquecimiento. Disponen de cuatro terminales, a saber, drenador, puerta, fuente y sustrato; en inglés, *drain* (D), *gate* (G), *source* (S) y *body* (B), respectivamente. El semiconductor mayoritariamente utilizado es el silicio y los hay de dos tipos, según el dopado del silicio: los de canal N (NMOS) y los de canal P (PMOS). En los NMOS el sustrato es de tipo P, siendo el drenador y la fuente de tipo N. Lo contrario ocurre con los PMOS. La puerta, en ambos casos, está separada del sustrato

mediante un material dieléctrico, por lo que la corriente de puerta ( $I_G$ ) es idealmente cero.

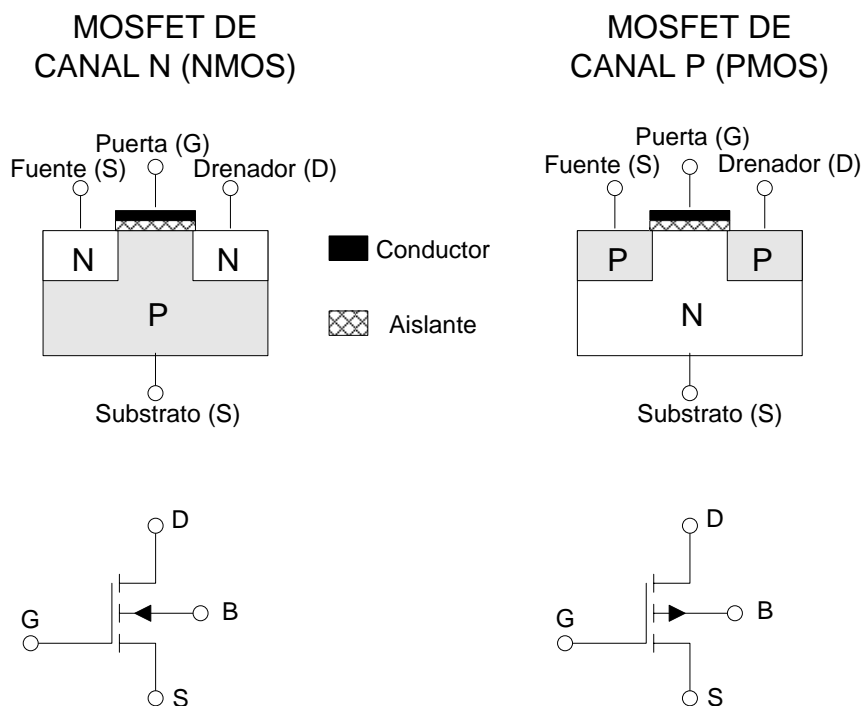
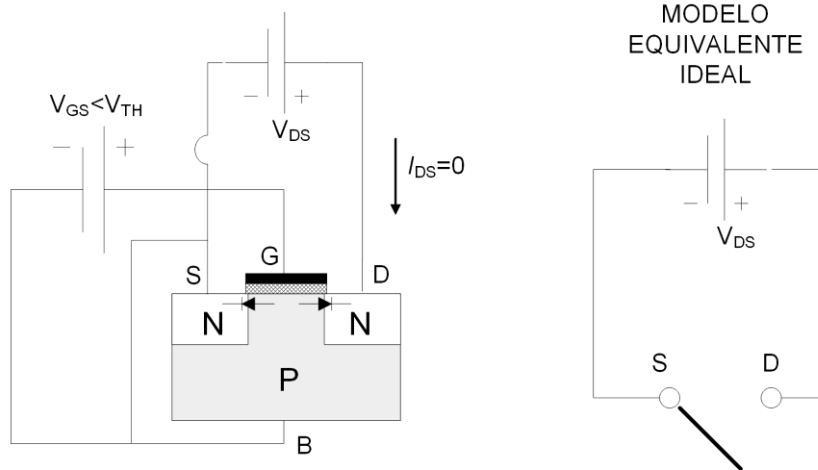


Figura 2 Estructura interna y símbolo de los transistores MOSFET de enriquecimiento.

Estos transistores se comportan como interruptores controlados por tensión. El drenador y la fuente son los terminales de conducción del interruptor y el terminal de puerta controla el estado de conducción o bloqueo según su tensión. La Figura 3 ilustra dicho funcionamiento, utilizando como ejemplo un dispositivo NMOS. Si no consideramos el terminal de puerta, entre los terminales de fuente y drenador hay dos uniones NP-PN, formando dos diodos en serie contrapuestos. El sentido opuesto de ambos diodos no permite circular corriente en ningún sentido comportándose ambos terminales como un interruptor abierto, corriente nula. Para permitir el paso de corriente, se deben evitar ambas uniones cambiando la zona P (canal de conducción entre fuente y drenador) a N. Esta inversión de canal se consigue aplicando una diferencia de potencial positiva entre los terminales de puerta y substrato (en la figura es equivalente a la tensión entre puerta y fuente,  $V_{GS}$ , al estar el substrato y fuente conectados). Esta diferencia de potencial provoca un campo eléctrico descendente en el substrato que arrastra los electrones libres hacia arriba (hacia el canal) y los huecos hacia abajo (fuera del canal). Cuanto mayor es  $V_{GS}$ , mayor será la densidad de electrones libres y menor el de huecos en el canal. A partir de cierta tensión, conocido este límite como *tensión umbral* del transistor (ing., *threshold*),  $V_{TH}$ , se produce la inversión de portadores, superando la densidad de electrones libres a la de huecos y pasando el canal del ser P a N. En esta situación existirá una canal de conducción entre los terminales de fuente y drenador, equivalente a un interruptor en conducción. La resistencia de

conducción en el canal será menor cuanto mayor sea la densidad de electrones, es decir, cuanto mayor sea la tensión  $V_{GS}$ .

## BLOQUEO CON UNA TENSIÓN $V_{GS} < V_{TH}$



## CONDUCCIÓN CON UNA TENSIÓN $V_{GS} > V_{TH}$

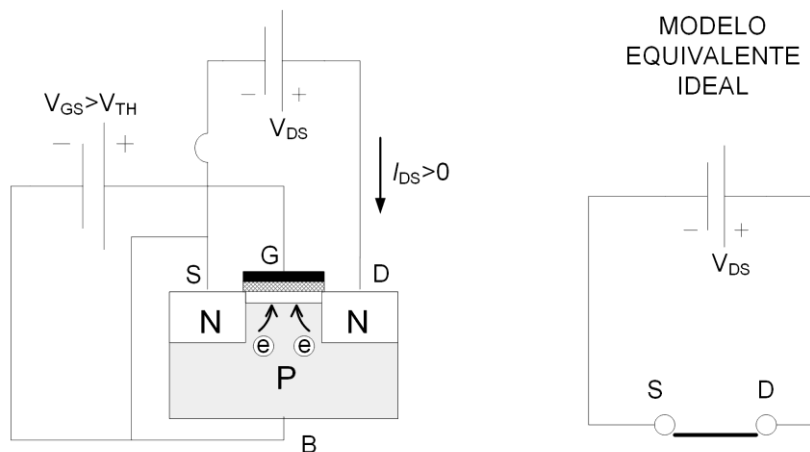


Figura 3 Funcionamiento de un transistor NMOS como interruptor.

Normalmente, los transistores discretos (no forman parte de un circuito integrado complejo) disponen únicamente de tres terminales ya que internamente tienen conectados los terminales de fuente y substrato. Esto provoca que la unión NP entre fuente y substrato quede cortocircuitada y únicamente se opone al paso de corriente el diodo parásito en la unión PN formada entre substrato y drenador. Considerando el transistor como un interruptor, este diodo permite el paso de corriente cuando  $V_{DS} < 0$  a pesar de que el canal no este creado ( $V_{GS} < V_{TH}$ ). Podemos decir que el NMOS discreto se comporta como un interruptor bireccional en corriente, ya que permite el paso de corriente en ambos sentidos cuando está el canal creado ( $V_{GS} > V_{TH}$ ) y unidireccional en tensión, ya que solo permite bloquear la conducción cuando la polarización entre drenador y fuente es positiva y el canal no está creado ( $V_{GS} < V_{TH}$ ). Lo mismo sucede

con el transistor PMOS, bloqueando solamente el paso de corriente cuando la tensión de drenador a fuente es negativa. La Figura 4 muestra la orientación de estos diodos parásitos para ambos tipos de transistores.

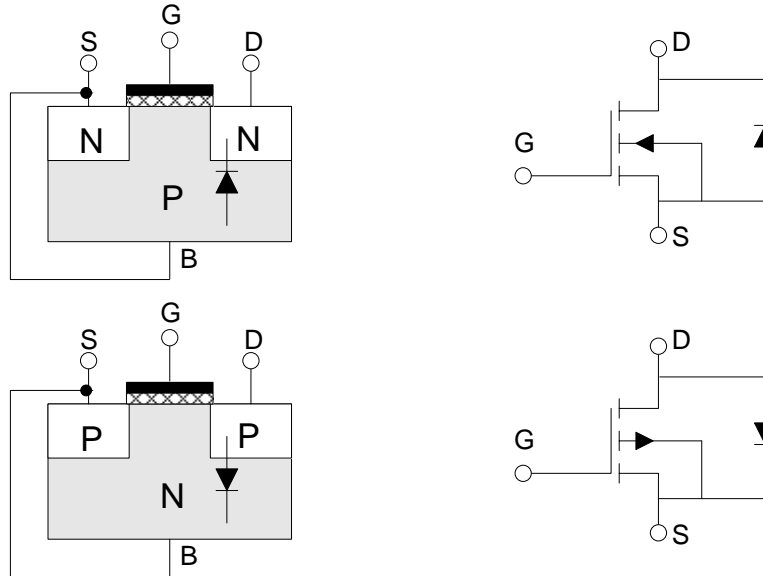


Figura 4 Conexión entre fuente y sustrato de transistores MOSFET y su diodo parásito resultante.

La Tabla 1 resume los símbolos utilizados para los dos tipos de transistores MOSFET (se incluye el diodo parásito) así como los circuitos equivalentes en conducción (interruptor cerrado) y bloqueo (interruptor abierto) y las condiciones de funcionamiento. Como ya se ha mencionado anteriormente, el estado del transistor lo marca el valor de  $V_{GS}$  con respecto a  $V_{TH}$ , siendo el valor  $V_{TH}$  positivo para los NMOS y negativo para los PMOS. El estado de conducción se produce para  $V_{GS} > V_{TH}$  en los NMOS y para  $V_{GS} < V_{TH}$  en los PMOS (o bien puede considerarse  $|V_{GS}| > |V_{TH}|$  para NMOS y PMOS). Contrariamente, el estado de bloqueo se produce para  $V_{GS} < V_{TH}$  en los NMOS y para  $V_{GS} > V_{TH}$  en los PMOS (o bien puede considerarse  $|V_{GS}| < |V_{TH}|$  para NMOS y PMOS). El estado de conducción se modela con una resistencia  $R_{ON}$  (idealmente un cortocircuito) entre la fuente y el drenador. El estado de bloqueo se modela como un circuito abierto entre la fuente y el drenador. El diodo parásito entre fuente y drenador no se considera en el estado de conducción ya que domina el efecto de  $R_{ON}$ .

Tabla 1 Estados de funcionamiento en conmutación de los transistores MOSFET.

| Transistor | Símbolo | Conducción | Bloqueo |
|------------|---------|------------|---------|
| NMOS       |         |            |         |
| PMOS       |         |            |         |

Por otra parte, se propone utilizar el integrado ICL7665 para implementar la lógica de control de los interruptores (implementados con transistores MOSFETs) del esquema de la Figura 1. La Figura 5 muestra la configuración de pines y el esquema que explica su comportamiento interno de este circuito integrado.

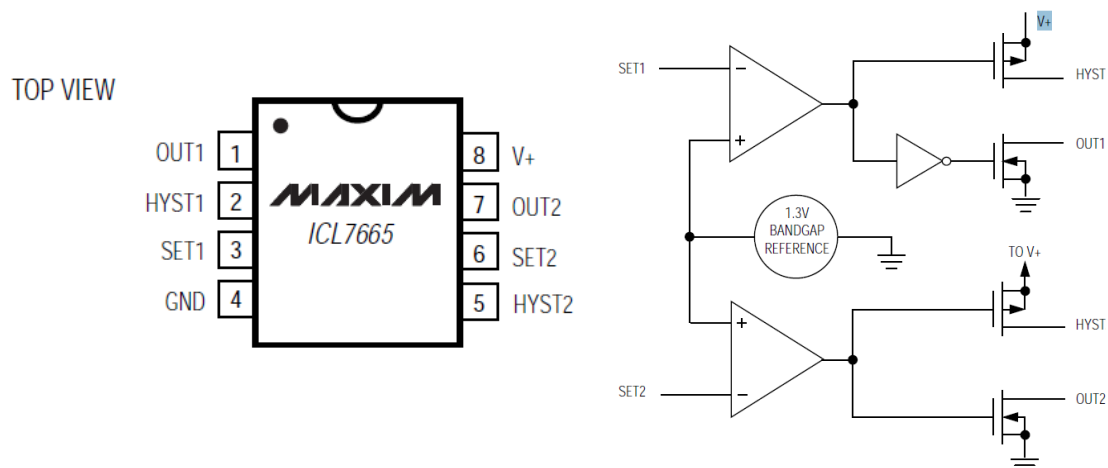


Figura 5. Configuración de pines y esquema interno del ICL7665.

Además de los terminales de alimentación, el ICL7665 dispone de dos terminales de entrada SET1 y SET2, y cuatro terminales de salida OUT1, OUT2, HYST1 y HYST2. Mientras que OUT1 y HYST1 dependen de SET1, las salidas OUT2 y HYST2 dependen de SET2. En un principio, tal y como se muestra en la Figura 6, utilizaremos una de las parejas SETX/OUTX (X puede ser 1 o 2) para el control del MOSFET que limita la carga de la batería y los terminales SETY/OUTY (Y puede ser 2 o 1) para el control de la descarga.

En el laboratorio montaremos únicamente el circuito de descarga. Como carga se utilizará un LED en serie con una resistencia de  $100\ \Omega$ , lo que nos permitirá comprobar fácilmente si se permite o no la descarga observando si se ilumina o no. Como batería se utilizará una fuente de tensión regulable y los FDN304 como transistores PMOS.

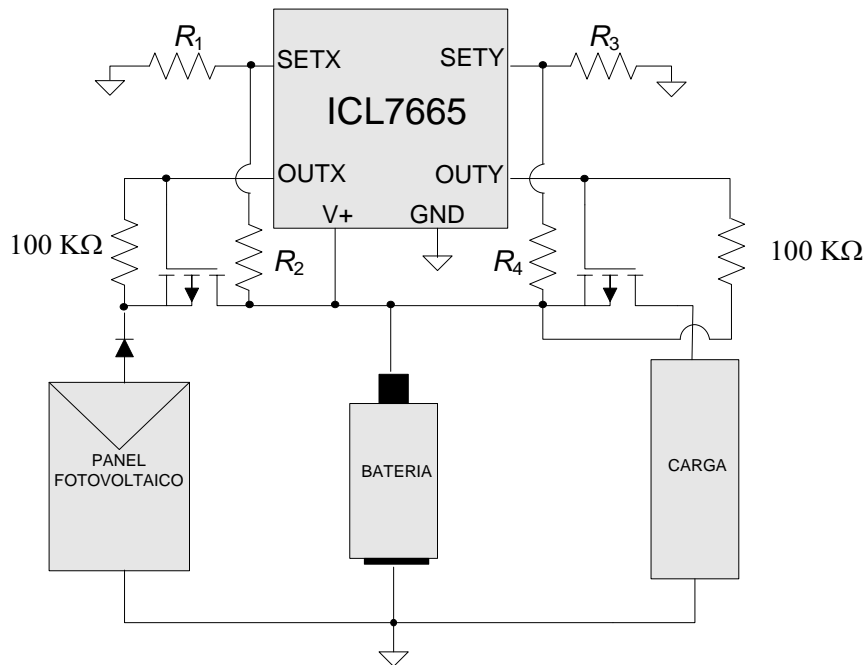


Figura 6 . Esquema del circuito de protección con el ICL7665

El ICL7665 permite además añadir un margen de histéresis en el control del transistor mediante las salidas HYSTs. De esta forma, se establece dos límites diferentes de transición; uno cuando el transistor está en conducción,  $V_{TL}$ , y otro cuando está en bloqueo,  $V_{TH}$ . Esto permite evitar transiciones indeseadas causadas por la caída de tensión interna en la resistencia de salida de la batería. La Figura 7 muestra este problema cuando se descarga la batería y  $V_{BAT}$  sobrepasa el límite  $V_{min}$ . Cuando esto sucede, el interruptor pasa a bloqueo y la corriente en la batería  $I_{BAT}$  pasa a ser cero. Esto provoca un aumento repentino de  $V_{BAT}$  al anularse la caída de tensión en la resistencia interna al ser proporcional a la corriente. Al subir de nuevo  $V_{BAT}$  por encima de  $V_{min}$ , el comparador vuelve a activar el transistor produciéndose transiciones donde la duración de cada estado vendrá dada por el tiempo de respuesta del comparador.

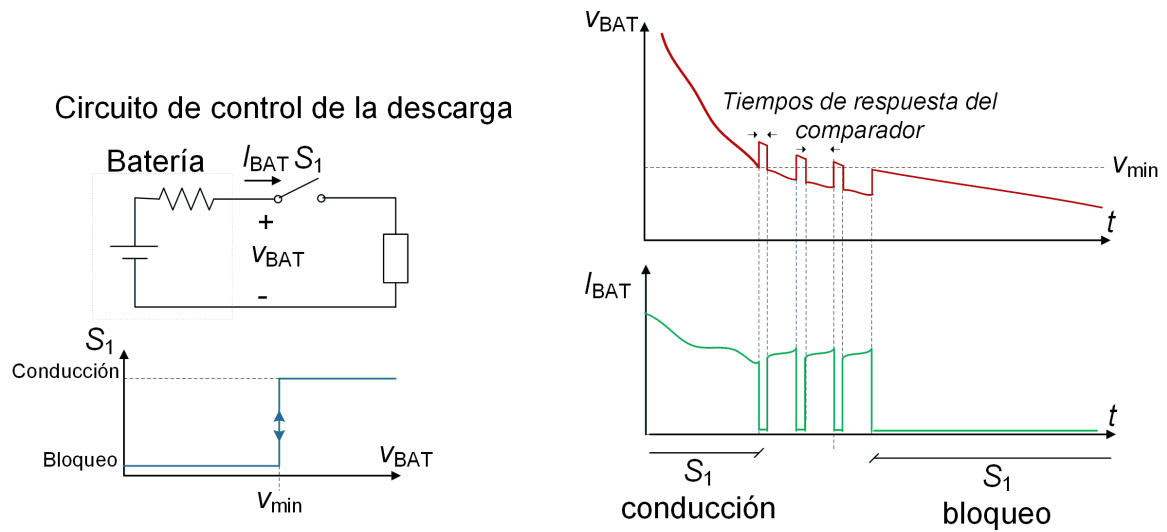


Figura 7 Transiciones del estado del interruptor con un comparador convencional, sin histéresis.

La Figura 8 muestra cómo debe conectar el ICL7665 para implementar un margen de histéresis. En el caso del circuito de descarga, se utiliza una resistencia  $R_6$  que queda desconectada o en paralelo con  $R_3$  dependiendo del estado del transistor PMOS. Si está en conducción tenemos que el límite está establecido por el divisor de tensión formado por  $R_3$  y la resistencia equivalente del paralelo entre  $R_6$  y  $R_4$ . Por otro lado, si el PMOS está en bloqueo, se desconecta la resistencia  $R_6$  y el divisor de tensión está formado por  $R_3$  y  $R_4$ .

El uso de la histéresis permite evitar las transiciones no deseadas del transistor cuando se cruza el límite de descarga si el margen de histéresis,  $V_{TH} - V_{TL}$ , es superior a la caída de tensión en la resistencia interna de la batería.

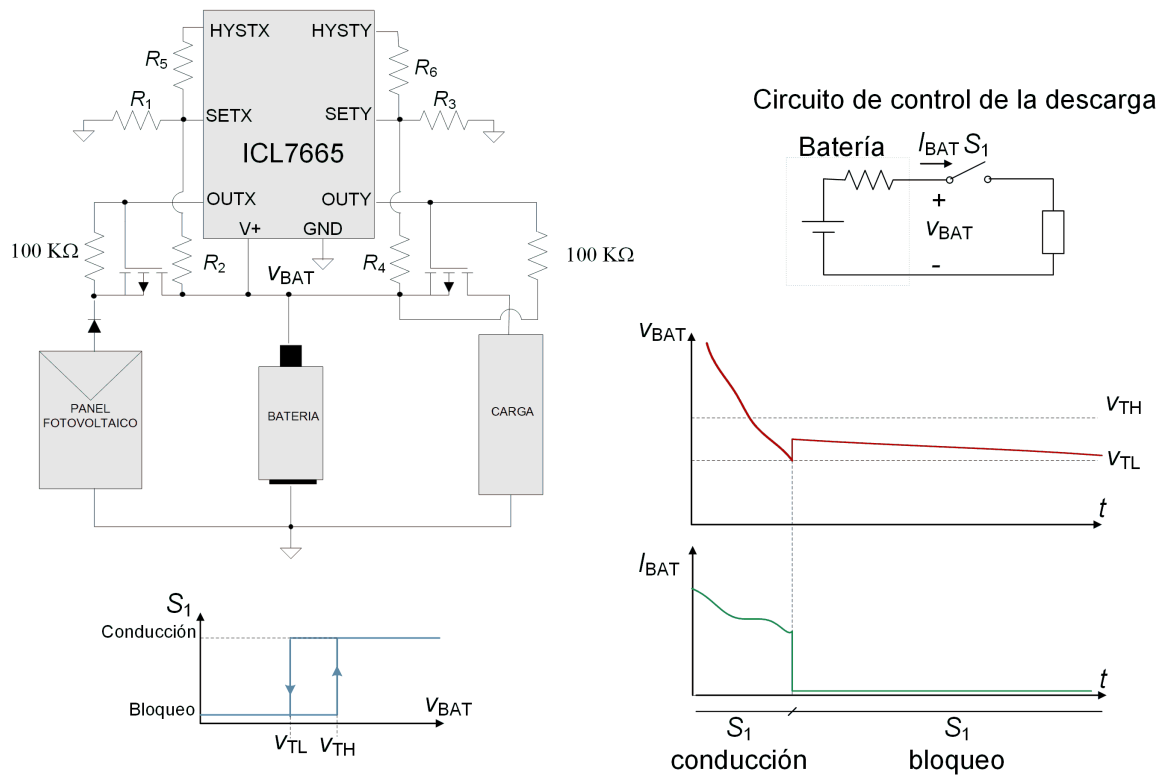


Figura 8 Transición del estado del interruptor con un comparador con histéresis.

**Trabajos previos:** Además de la información en este documento, revisad la documentación disponible en Atenea correspondiente a los *datasheets* de los componentes utilizados. El profesor evaluará estos trabajos **preguntando durante la clase** una de estas preguntas.

Se proponen cuatro alternativas para implementar el interruptor controlado en el circuito de descarga, véase Figura 9. Nótese que en este esquema se ha utilizado una resistencia y un LED como carga, y la tensión de control puede ser 0 V y V<sub>BAT</sub>, correspondiendo a los márgenes de alimentación del ICL7665. Ambos niveles de tensión deben permitir los estados de conducción o bloqueo del interruptor formado por el transistor. En el estado de conducción, el transistor ha de permitir el paso de la corriente desde la batería hacia el LED. En el estado de bloqueo, el transistor ha de oponerse al paso de dicha corriente. Se considerará en el diseño que |V<sub>TH</sub>| es mayor que V<sub>BAT</sub>.



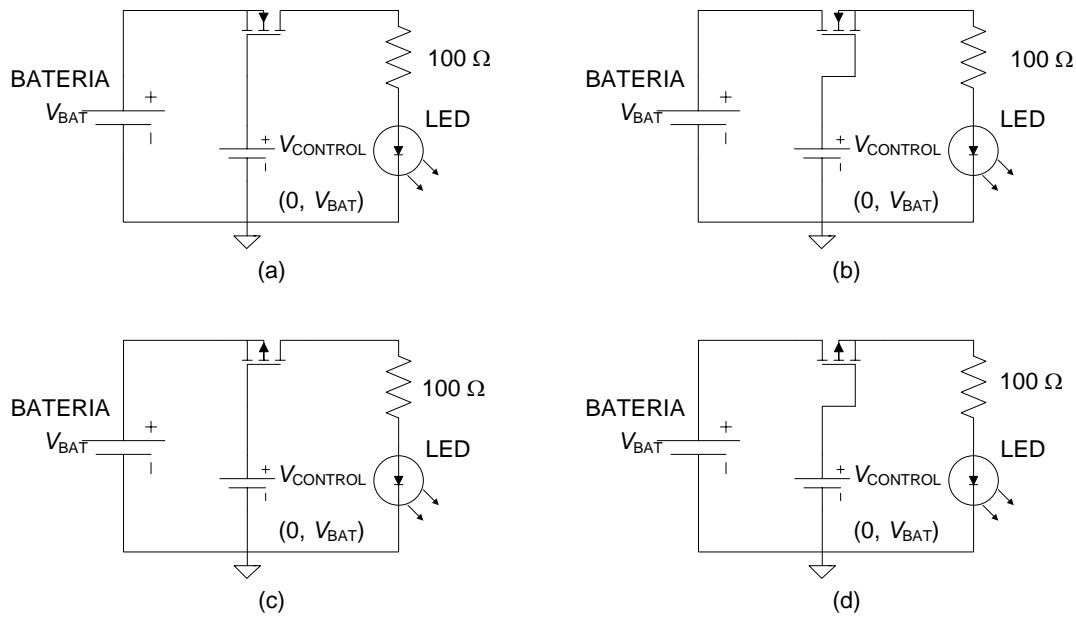


Figura 9 Configuraciones propuestas para controlar la iluminación de un LED.

1. Dibujad la estructura interna de un transistor NMOS (zonas N, P, dieléctricos y terminales) y explicad cómo se crea un canal de conducción al aplicar una tensión de puerta a fuente, el sentido del campo eléctrico y el movimiento de huecos y electrones libres que provoca. ¿Qué es la tensión de *threshold* y qué signo tiene para este tipo de transistor?
2. Dibujad la estructura interna de un transistor PMOS (zonas N, P, dieléctricos y terminales) y explicad cómo se crea un canal de conducción al aplicar una tensión de puerta a fuente, el sentido del campo eléctrico y el movimiento de huecos y electrones libres que provoca. ¿Qué es la tensión de *threshold* y qué signo tiene para este tipo de transistor?
3. Identificad el tipo de transistor, terminales de drenador, fuente y puerta, y dirección del diodo parásito en cada una de las configuraciones propuestas en la Figura 9. Indicad cuáles de estas configuraciones es la adecuada considerando la dirección del diodo parásito.
4. Considerando la configuración de la Figura 9 (b),  $|V_{TH}|$  del transistor es 1,5 V y  $V_{BAT}$  es 3,6 V, determinad:
  - Cómo debe ser la tensión  $V_{CONTROL}$  para que el transistor esté en conducción.
  - Cómo debe ser la tensión  $V_{CONTROL}$  para que el transistor esté en bloqueo.
  - ¿Es una configuración adecuada para controlarlo mediante el ICL7665? Justificad la respuesta.

5. Considerando la configuración de la Figura 9 (c),  $|V_{TH}|$  del transistor es 1,5 V y  $V_{BAT}$  es 3,6 V, determinad:
  - Cómo debe ser la tensión  $V_{CONTROL}$  para que el transistor esté en conducción.
  - Cómo debe ser la tensión  $V_{CONTROL}$  para que el transistor esté en bloqueo.
  - ¿Es una configuración adecuada para controlarlo mediante el ICL7665? Justificad la respuesta.
  
6. El esquema interno del ICL7665, véase Figura 5, utiliza un comparador (equivalente a un AO trabajando en saturación), un inversor, una referencia interna a 1,3 V y NMOS en las salidas OUT. Considerando que se alimenta el integrado entre 0 V y  $V_{BAT} = 3,6$  V, indique cual sería la tensión en cada uno de los nodos de este circuito formado entre SET1 y OUT1 (tensión a la salida de los comparadores, salida del inversor) y el estado de los transistores NMOS conectados a las salidas OUT en las siguientes situaciones:
  - $V_{SET1} = 1$  V
  - $V_{SET1} = 2$  V

¿Sería adecuado para el control de un transistor PMOS que controla el circuito de descarga (esquema de la Figura 9.c)? Justifique la respuesta.
  
7. El esquema interno del ICL7665, véase Figura 5, utiliza un comparador (equivalente a un AO trabajando en saturación), un inversor, una referencia interna a 1,3 V y NMOS en las salidas OUT. Considerando que se alimenta el integrado entre 0 V y  $V_{BAT} = 3,6$  V, indique cual sería la tensión en cada uno de los nodos de este circuito formado entre SET2 y OUT2 (tensión a la salida de los comparadores, salida del inversor) y el estado de los transistores NMOS conectados a las salidas OUT en las siguientes situaciones:
  - $V_{SET2} = 1$  V
  - $V_{SET2} = 2$  V

¿Sería adecuado para el control de un transistor PMOS que controla el circuito de descarga (esquema de la Figura 9.c)? Justifique la respuesta.
  
8. Considerando que se han elegido  $SET_Y = SET1$  y  $OUT_Y = OUT1$  en el circuito de la Figura 6, determinad qué relación deben cumplir las resistencias  $R_3$  y  $R_4$  para que la tensión mínima descarga sea  $V_{min} = 3,2$  V. Considerad que ambas resistencias están en serie ya que la corriente de entrada al terminal  $SET_Y$  es despreciable.
9. Considerando que se han elegido  $SET_X = SET2$  y  $OUT_X = OUT2$  en el circuito de la Figura 6, determinad que relación deben cumplir las resistencias  $R_1$  y  $R_2$  para la tensión de máxima carga sea  $V_{max} = 3,8$  V. Considerad que ambas

resistencias están en serie ya que la corriente de entrada al terminal SETY es despreciable.

10. Considerando que el terminal de puerta del transistor está aislado por un dieléctrico, se puede modelar eléctricamente como una capacidad entre puerta y fuente. Teniendo esto en cuenta, explicad por qué si no se utiliza la resistencia de  $100\text{ k}\Omega$  del esquema de la Figura 6, el transistor pasa a conducción cuando  $V_{\text{BAT}} > V_{\text{min}}$  pero no retorna inmediatamente a conducción en caso contrario. ¿Qué función tiene esta resistencia?
11. Determinad cómo queda el estado del transistor conectado a la salida HYST1 en el circuito interno del ICL7665, mostrado en la Figura 5, en las siguientes situaciones:
  - $V_{\text{SET1}} = 1\text{ V}$
  - $V_{\text{SET1}} = 2\text{ V}$

A partir de estos resultados, deduzca cómo quedarían conectadas las resistencias  $R_6$  y  $R_4$  en ambas situaciones. ¿Cómo se calcularían los límites  $V_{\text{TH}}$  y  $V_{\text{TL}}$ ?

12. Repetid el ejercicio 11 para el circuito de carga.

**Trabajos del laboratorio:** Haced fotografías donde se observen los circuitos o sus señales para enseñárselas al profesor cuando sea posible. Enseñad al profesor cada uno de los apartados cuando funcione correctamente.

1. Carga: Utilizando una resistencia de  $100\text{ }\Omega$  y un LED que proporcionará el profesor, montar la carga que forma ambos elementos en serie. Comprobad la correcta polarización del LED aplicando una fuente de tensión de  $3,5\text{ V}$  entre ambos elementos en serie. ¿Se ilumina?
2. Interruptor controlado: el profesor os proporcionará un PMOS FDN304 para probar los esquemas c) y d) de la Figura 9.
  - a. Montad el circuito de la Figura 9.d y observar si se ilumina el LED cuando la tensión de puerta es  $V_{\text{BAT}}$  y  $0\text{ V}$ . ¿Se puede controlar el estado de conducción o bloqueo a partir de la tensión de puerta? ¿Por qué?
  - b. Montad el circuito de la Figura 9.c y observar si se ilumina el LED cuando la tensión de puerta es  $V_{\text{BAT}}$  y  $0\text{ V}$ . ¿Se puede controlar el estado de conducción o bloqueo a partir de la tensión de puerta? ¿Por qué?
  - c. Observad que, si se desconecta el terminal de puerta, el LED se mantiene en el estado anterior. Es decir, se mantiene encendido si previamente la tensión de puerta era  $0\text{ V}$  y apagado si era  $V_{\text{BAT}}$ . Actúa como una memoria de un bit donde el tiempo de retención depende del aislamiento del dieléctrico en el terminal de puerta.

- d. Conectad una resistencia de 100 k $\Omega$  entre los terminales de puerta y fuente. Observad que el LED se apaga cuando se desconecta el terminal de puerta y se enciende cuando se conecta a masa. De esta forma, se evita la retención del estado anterior. ¿Por qué sucede esto?
3. Circuito de control para evitar la sobredescarga: el profesor os proporcionará un ICL7665.
  - a. Montad el circuito de descarga utilizando el ICL7665, las resistencias R<sub>3</sub>, R<sub>4</sub> y la resistencia de 100 k $\Omega$  y el circuito de carga. Utilizad resistencias que cumplan la relación encontrada en el estudio previo, y los terminales SET1 y OUT1 como SETY y OUTY. No olvidéis de conectar los terminales de alimentación del ICL7665 entre V<sub>BAT</sub> y masa. Utilizad una fuente de tensión continua de 4 V con un límite de corriente de 200 mA para V<sub>BAT</sub>.
  - b. Comprobad su correcto funcionamiento variando suavemente V<sub>BAT</sub> entre 2,5 V y 4 V. Cuando V<sub>BAT</sub> < V<sub>min</sub> = 3,2 V, el LED debe apagarse y se debe encenderse cuando V<sub>BAT</sub> > V<sub>min</sub>. El error máximo permitido de este límite es de un 5 % y se debe observar un cambio brusco del estado del LED al cruzar este límite. Un apagado suave del LED cuando V<sub>BAT</sub> baja por debajo de 3 V significa que la alimentación no llega a superar la tensión umbral del LED y sería un funcionamiento incorrecto.
  - c. Si no funciona debéis comprobar el funcionamiento del sistema por partes. Podéis distinguir los siguientes pasos:
    - Carga: Comprobad su funcionamiento tal y como se describe en 1.
    - Interruptor controlado: Desconectad el cable que une la tensión de puerta al terminal OUT (sin desconectar ninguna de las tres resistencias). Comprobad que el LED se enciende cuando conectáis la tensión de puerta a masa y se apaga cuando lo dejáis en circuito abierto.
    - Divisor de tensión formado por R<sub>3</sub> y R<sub>4</sub>: Comprobad que medís una tensión en SET1 de 1,3 V cuando V<sub>BAT</sub> es V<sub>min</sub> = 3,2 V. Si no es así, desconectad el ICL7665 y volved a hacer la comprobación. Si el divisor de tensión sin el ICL7665 funciona bien, indica que la corriente en el terminal SET1 no es despreciable. Esto significa que el integrado no funciona correctamente o está mal alimentado.
    - Integrado ICL7665: Comprobad la correcta alimentación de este circuito midiendo directamente la caída de tensión entre los pines de V+ y masa. Utilizando el circuito de descarga completo, variad la tensión V<sub>BAT</sub> y medid con el multímetro la tensión en SETY y OUTY. ¿Es la relación obtenida correcta? Si no es así, comprobad la conexión de la resistencia de 100 k $\Omega$  o cambiad el integrado.



4. Control con histéresis: Modificad el circuito anterior para introducir un margen de histéresis de 100 mV en el límite  $V_{\min} = 3,2$  V. El control debe desconectar la carga cuando la tensión baja por debajo de 3,1 V y debe volverla a conectar cuando sube por encima de 3,2 V.