

1. Să se proiecteze, implementeze și să se simuleze în Verilog un MUX8:1 folosind o implementare structurală
2. Sa se proiecteze, implementeze si sa se simuleze în Verilog un registru multifuncțional care are:
 - O intrare de date pe 4 biti
 - O intrare de seas
 - O intrare EN - seminal Activ presupune încărcarea valorii de pe intrarea registrului
 - O intrare RESET
 - O intrare INC care o dată activată incrementează valoarea registrului cu 1
 - O intrare DEC care o dată activată decrementează valoarea registrului cu 1
 - O intrare SHL care o dată activată deplasează stânga valoarea registrului cu 1 bit
 - O intrare SHR care o dată activată deplasează dreapta valoarea registrului cu 1 bit
 - O ieșire pe 4 biți
3. Sa se proiecteze, implementeze si sa se simuleze un circuit care realizează operația: $(a / b) * (c / d) - e / f$. Se va considera ca operația de împărțire se execută în 20 ns, operația de înmulțire se execută în 15 ns și operația de adunare se execută în 10 ns