

EI-SE3 2019

ANA2

Devoir Maison

Pour l'ensemble de ce devoir maison, il est indispensable d'employer un outil de simulation de type SPICE en complément de vos analyses théoriques. L'outil préconisé est celui employé en TP (<https://www.orcad.com/resources/orcad-downloads>). Toutefois, il est tout à fait possible d'employer un autre simulateur (LTSpice, ou autre) sous condition de trouver les librairies adéquates de composants.

C'est un travail personnel en monôme. J'espère que chacun jouera le jeu ...

Il faudra rendre au correcteur sous format électronique :

- Un rapport écrit
- Un dossier contenant l'ensemble de vos fichiers de simulation

sous la forme d'un dossier compressé portant le nom suivant : « DM-ANA2_2019- **VOTRE NOM**.zip » et qui sera chargé sur Moodle avant le 12 mai 2019.

Ex 1 : Conformateur à diode

Le conformateur à diodes est un montage produisant un signal quasi-sinusoïdal à partir d'un signal typiquement triangulaire. Il est utilisé, par exemple, lorsqu'on a besoin de produire un signal sinusoïdal de très faible fréquence pour laquelle un oscillateur n'est pas réalisable.

Soit le conformateur à diode de la figure ci-dessous, où le signal d'entrée V_{in} est un signal triangulaire de période $T = 2$ ms et variant entre $+V_{CC} = 12$ V et $-V_{CC} = -12$ V. En sortie (nœud OUT), un suiveur est mis afin de pouvoir connecter ce circuit à n'importe quel autre dispositif. Les résistances R_6 , R_7 et R_8 sont très grandes devant les autres résistances (R_1 à R_5) : $R_1 = R_2 = R_5 = R_6 = 50 \Omega$, $R_3 = 100 \Omega$, $R_7 = 10 \text{ k}\Omega$ et $R_8 = R_9 = 25 \text{ k}\Omega$. La tension de seuil des diodes V_D est 0.6 V pour les calculs théoriques.

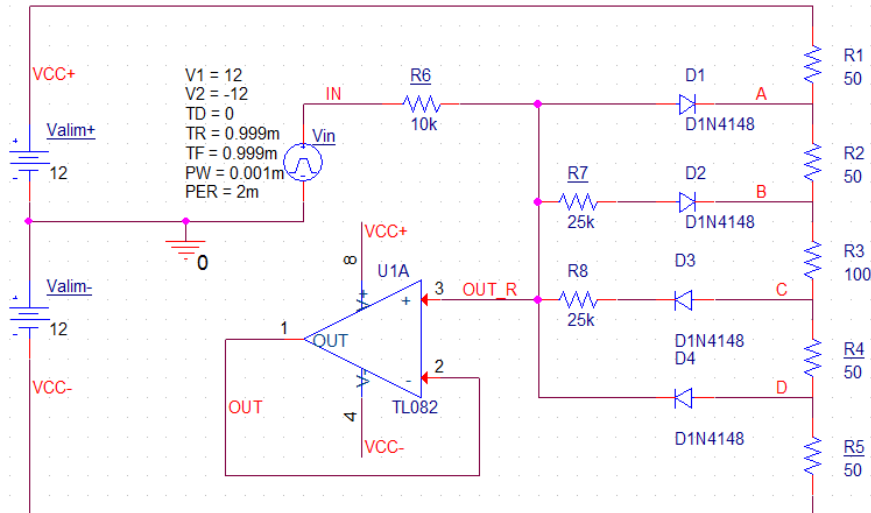


Schéma du conformateur à diode

Pour la simulation, les diodes seront de référence D1N4148 (se trouvant dans la librairie EVAL de PSPICE) et l'amplificateur opérationnel sera de référence TL082 (se trouvant dans la librairie OPAMP), alimenté en ± 12 V, grâce aux sources de tension idéale VDC (se trouvant dans la librairie SOURCE), nommée Valim+ et Valim-. Le signal triangulaire d'entrée V_{in} est généré grâce à une source de tension VPULSE avec les paramètres donnés dans la figure ci-dessus.

- 1/ Exprimer les tensions aux nœuds A, B, C et D en fonction de $+V_{CC}$ et $-V_{CC}$, si l'on suppose toutes les diodes bloquées.
- 2/ Indiquer si les diodes D1 à D4 sont bloquées ou passantes quand :
 - $V_{in} = +V_{CC}$,
 - $V_{in} = -V_{CC}$,
 - $V_{in} > V_A$,
 - $V_B \leq V_{in} \leq V_A$,
 - $V_C \leq V_{in} \leq V_B$,
 - $V_D \leq V_{in} \leq V_C$,
 - $V_{in} \leq V_D$.
 Mettre cela sous la forme d'un tableau de résultat.

Tension\Diode	D1	D2	D3	D4
$V_{in} = +V_{CC}$	Passant ou bloqué ?			
$V_{in} = -V_{CC}$				
$V_{in} \geq V_A$				
$V_B \leq V_{in} \leq V_A$				
$V_C \leq V_{in} \leq V_B$				
$V_D \leq V_{in} \leq V_C$				
$V_{in} \leq V_D$				

3/ En déduire, l'évolution du signal de sortie $V(\text{OUT})$ en fonction du temps. Pour cela, on pourra s'aider de la simulation et d'une analyse temporelle.

4/ Que faire afin d'obtenir un signal de sortie le plus proche de l'idéal ?

Ex 2 : OTA Miller

Le circuit de la figure ci-dessous est un OTA Miller (Operational Transconductance Amplifier), où :

- Pour R_c et C_c , les valeurs par défaut seront 100 k Ω et 5 pF, respectivement.
- Les transistors seront modélisés par les 2 modèles ci-dessous. Les dimensions W et L (W est au numérateur et L au dénominateur) sont données sur la figure.

.model Mbreakn NMOS(

+ LEVEL = 1
 + TOX = 200E-10
 + VTO = 1
 + KP = 20E-6
 + LAMBDA = 0.04
 + LD = 100E-9
 + CGDO = 200E-12
 + CGSO = 200E-12
 + CGBO = 1E-10)

.model Mbreakp PMOS(

+ LEVEL = 1
 + TOX = 200E-10
 + VTO = -1
 + KP = 10E-6
 + LAMBDA = 0.04
 + LD = 100E-9
 + CGDO = 200E-12
 + CGSO = 200E-12
 + CGBO = 1E-10)

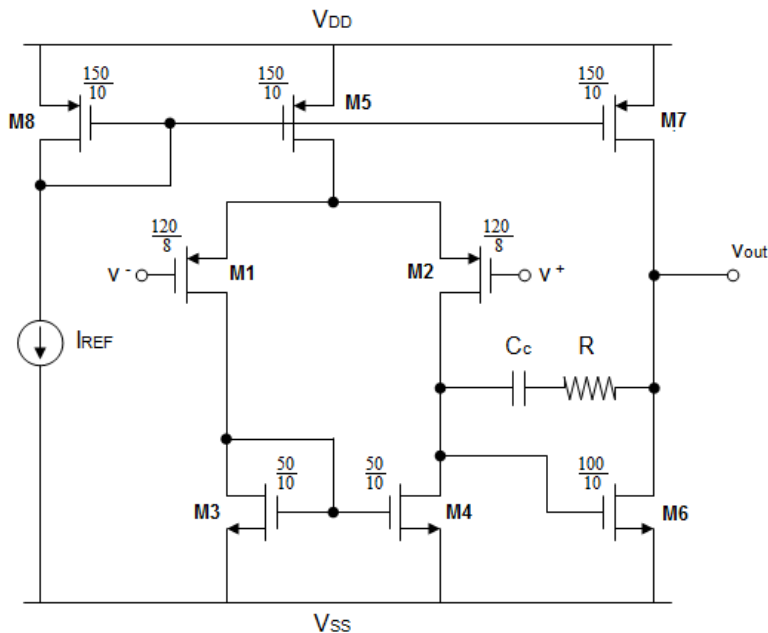


Schéma de principe de l'OTA Miller

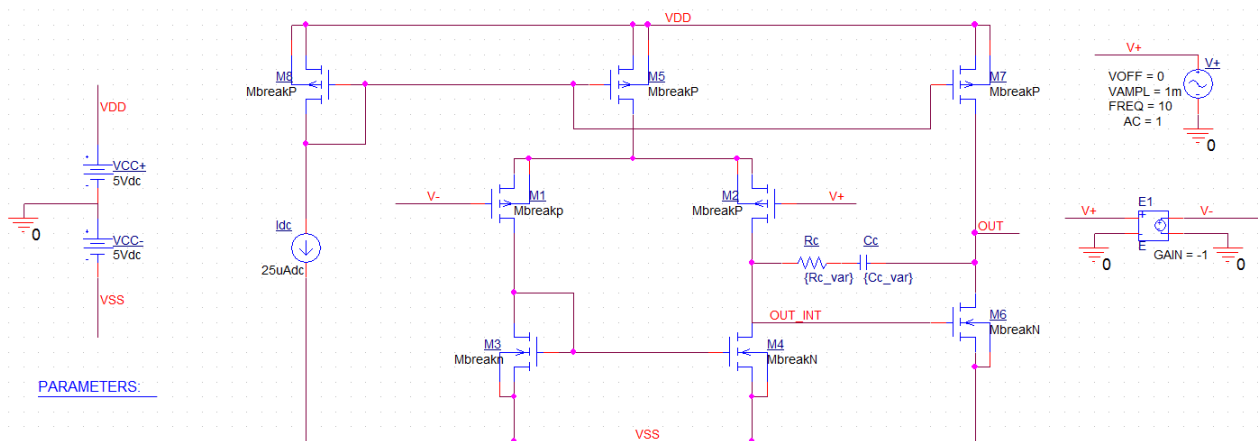


Schéma de simulation élémentaire

Ce type de montage est traité dans le support de cours « EI-SE3_ANA2_CM4-6_2019.pdf » à compter de la page 265. L'exercice 20 de TD traite aussi de la chose.

- 1/ Identifier les différents blocs élémentaires constituant cet amplificateur.
- 2/ Donner le maximum d'information sur ce circuit et ses performances, grâce à des analyses Bias Point, DC sweep, AC sweep et Time Domain (transient).

Remarques :

- Pour déterminer le slew-rate¹, vous pourrez réaliser le circuit de la figure ci-dessous (montage suiveur), avec un créneau en entrée.
- L'OTA est nécessairement connecté à un autre étage (un CAN, par exemple). On le modélise par son impédance d'entrée. Ajouter sur la sortie OUT_BIS une capacité de charge CL en sortie de 50 pF et observer la différence par rapport au cas sans la capacité CL.

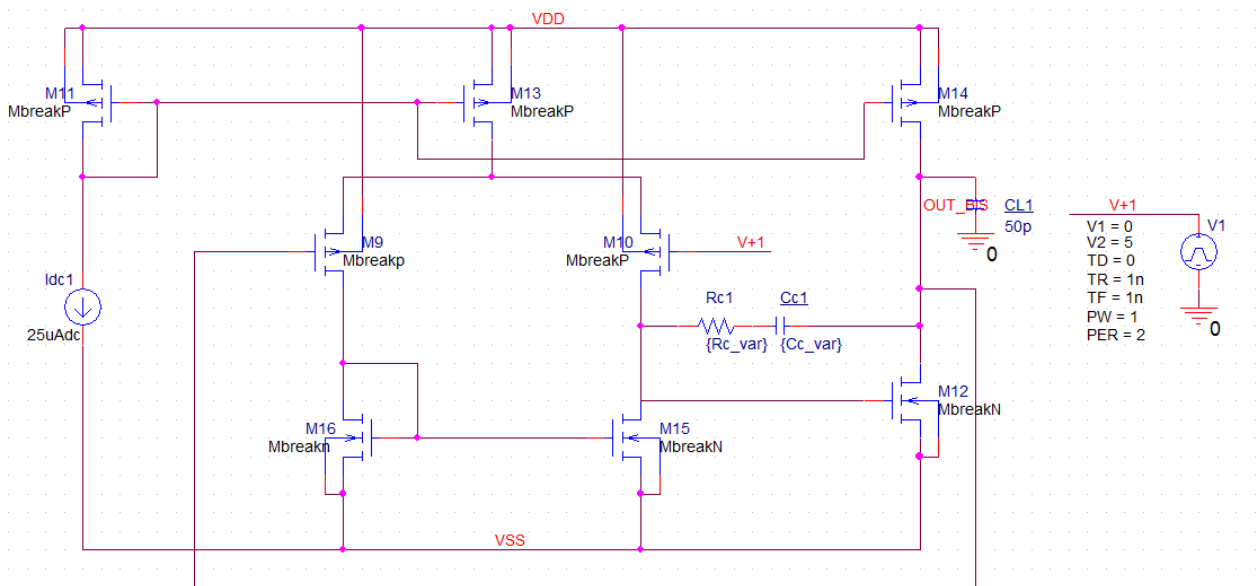


Schéma de simulation élémentaire en montage suiveur

¹ Ayant pour expression approximative $ID(M14)/(C_c + CL)$.

Ex 3 : Amplificateur de puissance de classe D

Le but de ce travail est de comprendre, par la simulation et en complément de vos bases théoriques, le fonctionnement d'un amplificateur de puissance de classe D, système analogique employant à la fois des composants analogiques et numériques, et se sensibiliser aux notions souvent mal maîtrisées de puissance et de courants consommés, passage temps-fréquence ,...

Un amplificateur de puissance est un type d'amplificateur qui a pour vocation de rajouter de la puissance à un signal origine (cf. <https://www.chireux.fr/mp/cours/electronique/Chap2.pdf>, par exemple pour plus d'information). Ce signal est généralement la sortie d'un préamplificateur de tension à gain variable (réglage du volume sonore), suivi d'un filtre passe-haut afin de supprimer les éventuelles composantes DC (offset du préamplificateur). Le montage proposé dans cette étude est assez basique (classe D de première génération). L'originalité ici est d'incorporer le driver des transistors MOS dans la simulation.

Le domaine d'application des amplificateurs en classe D est principalement l'audio, où le récepteur est un haut-parleur de faible impédance (quelques ohms). Avec son haut rendement et son taux de distorsion très acceptable, c'est l'un des plus rencontrés pour l'audio embarqué (téléphone portable).

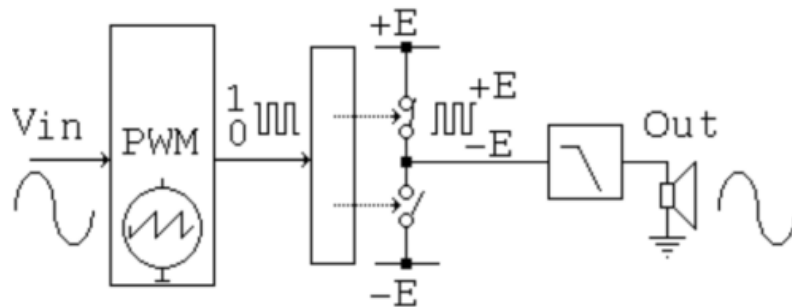


Schéma de principe de l'amplificateur de classe D

1. Description

a. Schéma de principe

Comme le montre la figure ci-dessus, la structure classique d'un amplificateur de puissance de classe D se compose comme suit :

- un bloc transforme l'information V_{in} en signal PWM, pour Pulse Width Modulation (ou MLI en français pour Modulation de la Largeur d'Impulsion) à fréquence constante (f_r) ;
- une mise en forme du signal (driver) est ensuite effectuée pour commander des interrupteurs,
- ces interrupteurs, en agissant en « tout ou rien », délivrent en sortie un signal prenant 2 valeurs possibles ($-E$ et $+E$ dans cette illustration) avec une largeur d'impulsion (t_{ON}) qui est fonction de l'amplitude du signal origine V_{in} ;
- le récepteur (le haut-parleur) récupère une image du signal origine, au travers un filtre.

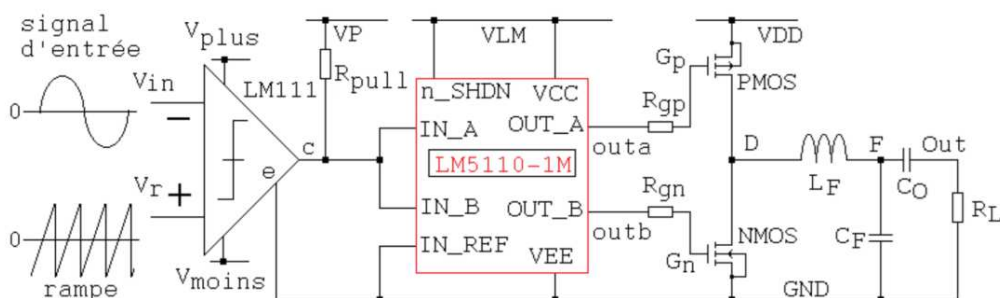
b. Schéma à étudier

Le schéma à étudier est celui de la figure ci-dessous, il vous est donné via le fichier « DMex3.cir » pour la simulation².

Dans ce schéma, on trouve :

² Pour la simulation de celui-ci, vous vous référerez à la procédure donnée dans le TP0, avec son annexe à la page 11 du document de TP : Ouvrir le fichier avec le module Pspice A/D de Orcad Cadence et lancer la simulation (Run). Il sera indispensable que le modèle du LM5110 (qui vous est donné) soit aussi présent dans le même dossier que celui du fichier « DMex3.cir ».

- $R_{pull} = 330 \, \Omega$,
- $R_{gp} = R_{gn} = 2.2 \, \Omega$,
- $L_F = 47 \, \mu H$,
- $C_F = 1 \, \mu F$,
- $C_0 = 1000 \, \mu F$,
- $R_L = 8 \, \Omega$,
- V_{in} : Signal d'entrée à amplifier en puissance. Sous PSPICE, pour la question 5/, ce sera un signal sinusoïdal (VSIN) bipolaire de dynamique maximum -6 V à +6 V (ces valeurs sont arbitraires), d'offset nulle et de fréquence 1 kHz. Cette dernière valeur est représentative d'un signal audio, dont le spectre est usuellement [20 Hz ; 20 kHz]. Pour les questions 3/ et 4/, ce sera une simple source VDC.
- V_r : Signal rampe ou dent de scie. C'est aussi un signal bipolaire de -6 V à +6 V. Ces niveaux doivent encadrer les valeurs minimales et maximales de V_{in} , pour assurer la modulation PWM. **La fréquence est fixée à $f_r = 1/T_r = 200 \, kHz$, valeur conforme à celles rencontrées dans les amplificateurs de classe D (usuellement de 100 kHz à 400 kHz).** En simulation, ce signal est réalisé grâce à une source de tension de type PULSE.

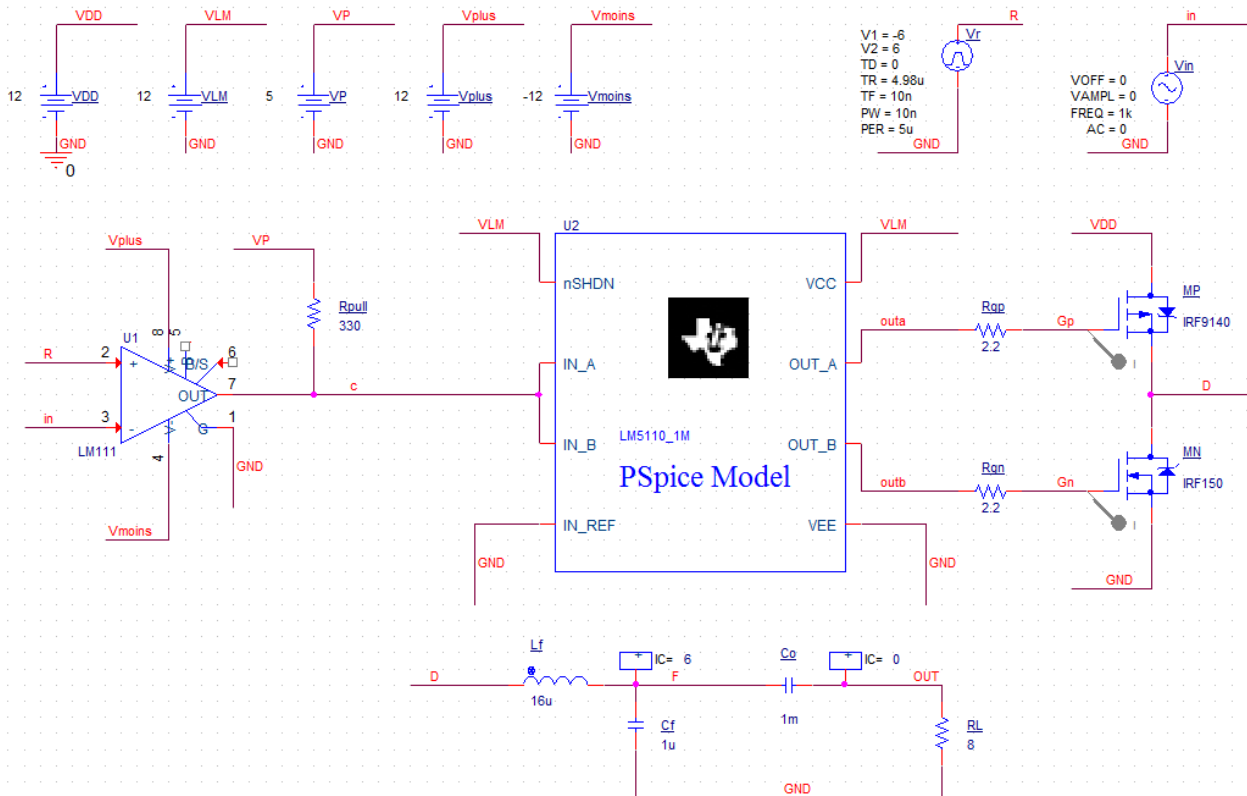


Amplificateur de classe D étudié

- PWM : Le signal d'entrée est comparé à la rampe. Il en résulte un signal de sortie du comparateur qui est un signal pulsé dont le **rapport cyclique, $\alpha = t_{on}/T_r$, est lié à la valeur de la tension d'entrée.**
- Le comparateur « tout ou rien » est ici un LM111 (librairie EVAL, <http://www.ti.com/lit/ds/symlink/lm311-n.pdf>), alimenté en $\pm 12 \, V$. Il dispose de 2 sorties : **Collecteur (C) et Emetteur (E) « ouverts ».** Dans notre cas, la sortie « E » est à la masse et on exploite la sortie « C ». Son niveau bas est donc voisin de 0 V (c'est V_{CEsat} du transistor interne de sortie) et son niveau haut est idéalement égal à 5 V (grâce à la résistance de pull up R_{pull}).
- Sur le plan théorique, le signal de sortie du LM111 peut commander des transistors idéaux. Mais, dans le cas de transistors de puissance, ce signal serait très dégradé par les capacités parasites d'entrée que présentent les transistors réels. Aussi, la mise en forme pour commander les commutateurs est faite par un LM5110 (<http://www.ti.com/product/LM5110>). Ce composant est alimenté ici en 0 V et +12 V (nœud nommé VLM dans notre schéma). Le signal de sortie attendu (OUT_A, OUT_B) peut alors prendre 2 valeurs possibles : 0 V et +12 V.

Remarques :

- Dans cette configuration du LM5110, les sorties OUT_A et OUT_B sont identiques. Sur le plan fonctionnel, c'est donc équivalent à avoir les grilles reliées entre elles. Dans ce cas, l'étage de sortie de puissance, formé d'un PMOS et d'un NMOS, a le même schéma qu'un inverseur CMOS.
- Le modèle SPICE du LM5110 (comme beaucoup d'autres composants) est en fait un macro-modèle (c'est-à-dire un schéma fait de composants discrets associés à des sources de tension et sources de courant internes). Il ne représente donc pas la totalité du dispositif.

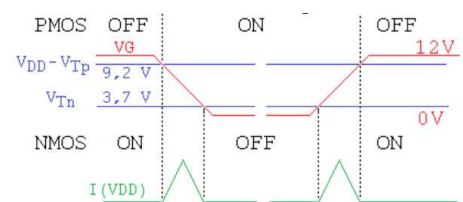


Schématique plus détaillé de l'amplificateur de puissance de classe D étudié, en lien avec le fichier DMex3.cir donné

- Les résistances de grille 20 W, R_{gp} et R_{gn} , limitent les pics de courant à une valeur compatible admise par le LM5110 (5A sink / 3A source). Ces pics de courant sont dus aux (dé)charges des capacités d'entrée des MOS de puissance, lors des fronts. Dans ce schéma, on n'a pas cherché à optimiser les valeurs en fonction du type (N ou P) des transistors.

- Les IRF9140 (PMOS, <http://www.irf.com/product-info/datasheets/data/irf9140.pdf>), IRF150 (NMOS, <http://www.irf.com/product-info/datasheets/data/jantx2n6764.pdf>) sont les MOS de puissance disponibles par défaut dans la librairie EVAL. Il y a plus récent et plus performant, mais cela ne change pas le principe de fonctionnement que nous allons voir. En effet, ils sont en cohérence avec le cahier des charges : ils doivent commuter à 200 kHz sans dégrader le signal (temps de montée, temps de descente bien plus bref qu'une fraction de $T = 5 \mu s$), et ne présenter aucune chute de tension à l'état passant (R_{DSon} bien inférieure à $R_L = 8 \Omega$), avec des signaux de commande 0 V ; 12 V. On peut estimer qu'ils deviennent « ON » quand $V_{GS} > V_{Tn} \approx 2,8 V$ pour le NMOS et $|V_{GS}| > |V_{Tp}| \approx 3,7 V$ pour le PMOS.

Remarque : Ces transistors ont les grilles au même potentiel et sont connectés sur une alimentation (de puissance) connectée en $V_{DD} = 12 V$ et GND: dans notre application, quand un des transistors est conducteur, l'autre ne doit pas l'être. L'analyse détaillée des transitions montre néanmoins une conduction simultanée des transistors ce qui provoque des pics de court-circuit sur l'alimentation. C'est le principal défaut de cette structure à un seul signal de commande. Le chronogramme de principe ci-dessus illustre ce phénomène. Pour ne pas avoir ce défaut de recouvrement, il faudrait modifier les signaux de commande, de façon à



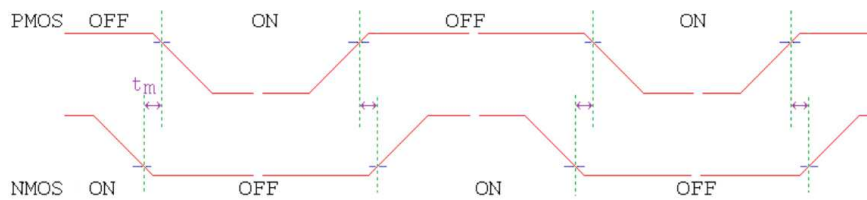
Courant de court-circuit lors des transitions ON/OFF des transistors de puissance

imposer un temps mort entre les conductions des transistors. Cela signifie qu'il faut générer 2 signaux, l'un attaquant IN_A, l'autre IN_B, de la forme ci-dessous.

- Le filtre passe bas doit laisser passer la bande audio, et éliminer les harmoniques apportées par la modulation de largeur d'impulsion. Il ne doit pas présenter de résistance, qui consommerait de la puissance, au détriment du rendement global. Il est donc proposé ici un basique circuit LC d'ordre 2. **Pour une gamme de fréquence, telle que C_0 équivalent à un court-circuit, on a :**

$$V_{OUT}(p)/V_D(p) = 1/(LCp^2 + (L/R)p + 1)$$

où, avec les valeurs des composants choisis, la fréquence propre est $f_0 = 1/(2\pi(LC)^{1/2}) = 1/(2\pi(47*10^{-6}*10^{-6})^{1/2}) = 23,2 \text{ kHz}$ et le coefficient d'amortissement réduit $z = (\omega_0/2)(L/R)$ vaut **0,429**.



Signaux de commande présentant un temps mort (t_m) pour améliorer le rendement des amplificateurs de puissance de classe D

Remarques : - Le potentiel de Drain (nœud D) varie donc entre 0 V et 12 V, c'est-à-dire de part et d'autre de 6 V (tension de mode commun). Il faut donc couper la composante continue avant d'accéder à la charge (ici un haut-parleur), modélisé par une simple résistance de 8 Ω . Le condensateur $C_0 = 1 \text{ mF}$ (valeur très importante) assure ce rôle. **Il présente une réactance dont le module vaut 0,16 Ω à 1 kHz : on le considère comme un court-circuit devant 8 Ω .**

- Les alimentations VLM, VDD et Vplus sont toutes égales à 12 V. En simulation, on peut placer une seule source parfaite (pas d'impédance interne qui, en pratique, modifie le courant débité). Il a été choisi de placer ici 3 sources indépendantes, ce qui laisse la possibilité de modifier éventuellement ces tensions, par simple changement de valeur dans la netlist. Mais, cela permet surtout de pouvoir observer plus facilement la consommation associée à chaque élément du dispositif.

2. Questions

- 1/ A partir des datasheets des composants, de calculs ou/et par raisonnement, justifier les affirmations en gras dans le texte ci-dessus.
- 2/ Analyser les filtres de sortie d'un point de vue théorique et par simulation :
 - A. d'abord entre D et F,
 - B. puis entre F et Out,
 - C. et enfin entre D et Out.
 Les choix faits sont-ils pertinents ?
- 3/ Avec un logiciel de type SPICE, faites une analyse temporelle de 0 à 50 ms, par pas de $1\mu s^3$, où V_{in} est nulle.

³ La simulation va de prendre un peu de temps. Mais, cela est nécessaire afin d'avoir une bonne résolution lors de l'observation dans le domaine fréquentiel avec la FFT (Fast Fourier Transform). De plus, le pas de simulation ($1 \mu s$) est fixé par rapport à f_r .

- A. Observer et interpréter l'ensemble des tensions évoluant dans le temps.
- B. Faire le bilan des puissances associé à chaque bloc.
- C. Le bloc associé à ce qui est entre VDD et GND (i.e., les transistors de puissances) est logiquement le plus énergivore.
 - a. Observer et interpréter l'évolution des courants $-I(VDD)$, $ID(MP)$ et $ID(MN)$.
 - b. On pourra éventuellement zoomer sur un événement (transitions) et observer les valeurs pics de l'alimentation VDD, ainsi que sa valeur moyenne sur ce même intervalle ($AVGX(W(XXX),40u)$).
- D. Que conclure quant au rendement de cet amplificateur dans cette configuration, sachant que, comme la tension V_{in} est nulle, rien d'utile n'est transféré à la charge ?

4/ Reprendre la question 3/ pour V_{in} valant -4.5 V en continu.

5/ V_{in} est maintenant variable dans le temps.

- A. Reprendre la question 3/, avec pour V_{in} un signal sinusoïdal d'amplitude 5 V et de fréquence 1 kHz.
- B. Que pensez-vous du taux de distorsion obtenu ?
- C. Autour des 20 Hz et des 20 kHz, ces conclusions restent-elles valables ?
- D. Même question quand c'est l'amplitude de V_{in} qui change.

6/ Dans nos simulations, la puissance de court-circuit (à cause des signaux de commande non optimisés) a eu comme conséquence un rendement très médiocre pour un classe D. Nous proposons ici un artifice de simulation pour représenter le fonctionnement comportemental, en remplaçant les transistors par des interrupteurs parfaits à temps de réponse nul, disponibles dans la librairie de PSPICE. Ces interrupteurs sont les composants « Sxxx », qui sont des quadripôles : 2 broches où l'on applique la tension de commande, et 2 broches qui présentent une résistance commandée. En paramétrant judicieusement les 2 composants S, on peut assurer un temps mort entre les 2 conductions :

- Pour Sintp : 0,01 Ω pour une tension < 1 V, 100 M Ω pour une tension > 2 V.
- Pour Sintn : 0,01 Ω pour une tension > 11 V, 100 M Ω pour une tension < 10 V.

Ainsi, par exemple, si la pente en VGp ou VGn dure 12 ns pour franchir 12 V, on aura 8 ns de temps mort. Toutefois, durant ce temps mort, le potentiel de D est flottant. Il faut donc placer un condensateur entre le nœud D et la masse, pour laisser circuler le courant selfique. Sinon, des pics de tension se présentent au nœud D, à cause de la présence de $L di/dt$.

Relancer la simulation avec ces interrupteurs parfaits et conclure sur le rendement obtenu dans cette nouvelle configuration. Cela affecte-t-il le taux de distorsion ?

