

Arquitectura de Sistemas e Computadores II

Exame

Departamento de Informática
Universidade de Évora

16 de Janeiro de 2014

Indique todos os cálculos efectuados

Perguntas rápidas

- [0,5 valores] Quando é que um programa pode ser mais lento num computador com um processador com uma frequência de relógio mais elevada do que noutro com uma frequência de relógio inferior?
- [0,5 valores] A que correspondem, nos processadores reais, as duas memórias de instruções e de dados visíveis nos diagramas de blocos do MIPS?
- [0,5 valores] No contexto das caches, qual a principal diferença entre as estratégias *write-through* e *write-back*?
- [0,5 valores] Que factores influenciam o ganho de desempenho obtido com a paralelização de um programa?

Desempenho

5. O programa P é executado num computador em que a duração do ciclo de relógio é de 2 ns, com um CPI de 2,4. Na execução do programa são executadas 300 milhões de instruções, com a seguinte distribuição:

Instruções	Aritméticas	Acesso à memória	Salto condicionais
%	50	30	20

- [1,5 valores] Qual o tempo de CPU necessário para a execução de P ?
- [1,5 valores] Numa nova implementação da mesma arquitectura, conseguiu-se reduzir o CPI das instruções aritméticas de 2 para 1,6. Qual o ganho de desempenho obtido quando P é executado na nova implementação?

Implementação MIPS monociclo

6. A implementação MIPS monociclo da Figura 1 inclui o necessário para a execução da instrução `addu`, que é uma instrução tipo-R, com três argumentos:

<code>addu rd, rs, rt</code>		0	<i>rs</i>	<i>rt</i>	<i>rd</i>	0	32
	bits	6	5	5	5	5	6

Esta instrução soma os valores que se encontram nos registos *rs* e *rt* e guarda o resultado em *rd*.

- [1,5 valores] Quais das unidades funcionais existentes serão usadas para a execução desta instrução?
- [1,5 valores] Quais os valores que os vários sinais de controlo deverão ter durante a execução desta instrução?

(Não precisa de indicar o valor de `ALUOp`, basta dizer qual será a função da ALU na execução desta instrução.)

Pipeline MIPS de 5 andares

7. [2 valores] Considere a execução do código seguinte no *pipeline* MIPS de 5 andares com *forwarding*, decisão dos saltos condicionais no andar ID e sem *delay slot*.

```
1.          or    $2, $0, $0
2.          or    $4, $0, $0
3.  início: beq   $4, $9, fim
4.          lw    $5, 0($6)
5.          add   $2, $2, $5
6.          addiu $6, $6, 4
7.          addi  $4, $4, 1
8.          beq   $0, $0, início
9.  fim:        ...
```

Liste todos os atrasos introduzidos e todos os usos de *forwarding* que ocorrem durante execução deste código. Para cada uso de *forwarding*, indique entre que andares do *pipeline* ocorre e qual o registo cujo valor é *forwarded*.

Cache

8. [2 valores] Considere que uma palavra tem 32 bits e que os endereços seguintes são acedidos pela ordem indicada:

8 32 12 128 60 76 12 128

Para a sequência de acessos indicada, simule o funcionamento de uma cache *2-way set associative*, com 32 palavras, blocos de 4 palavras e usando a estratégia LRU na substituição de blocos. Assuma que a cache inicialmente está vazia e, para cada acesso, indique a palavra acedida, o número do bloco a que pertence, o índice da posição que vai ocupar na cache, se há um *hit* ou um *miss* e, quando aplicável, o bloco que será substituído. Apresente o conteúdo final da cache, com o máximo detalhe que conseguir, e calcule a *miss rate* verificada.

9. [1 valor] Durante a execução de um programa, observou-se a ocorrência de 77316 *misses* quando utilizada uma cache *fully-associative*, dos quais 5157 foram *compulsory misses*. Quando empregue uma cache com a mesma capacidade e blocos com a mesma dimensão, mas *8-way set associative*, o número de *misses* observado foi 83117.

Quantos foram os *compulsory misses*, os *capacity misses* e os *conflict misses* ocorridos com a segunda cache?

Memória virtual

10. [2 valores] Durante a execução de um programa, é acedido um endereço da página virtual 103. Nesse momento, o conteúdo do TLB (*direct-mapped*, com 4 blocos de uma tradução) do sistema e a tabela de páginas do programa têm o conteúdo (parcialmente) mostrado:

TLB				
	Valid	Dirty	Tag	Pág. física
0	1	0	50	5
1	1	0	33	10
2	1	1	25	8
3	1	1	24	2

Tabela de páginas		
	Dirty	Pág. física
		...
99	0	2
100	0	20
101	0	DISCO
102	1	8
103	0	13
		...

Descreva o que acontece durante a tradução do endereço virtual para físico e mostre o conteúdo resultante do TLB e da tabela de páginas.

11. [1,5 valores] Um sistema com endereços virtuais de 48 bits e páginas com 8 KB usa tabelas de páginas com dois níveis. Se forem usados 15 bits para indexar o primeiro nível da tabela, quantas páginas haverá no máximo no segundo nível e quantas posições terá cada uma?

12. [1,5 valores] Qual o tempo médio necessário para transferir uma página com 4096 *bytes* da memória virtual para a RAM, se o disco magnético da máquina tiver as seguintes características:

Velocidade	<i>Seek time</i> médio	Taxa de transferência	Latência do controlador
3000 rpm	7 ms	100 MB/s	50 μ s

Multiprocessamento

13. [2 valores] Num multiprocessador de memória partilhada é executado um programa paralelo, sendo as instruções seguintes executadas no processador indicado:

Processador 1	Processador 2
<code>x = 5;</code>	<code>x = x + 2;</code>

Liste as possíveis sequências de valores que a variável `x` poderá assumir durante a execução deste código se, inicialmente, o valor de `x` for 0.

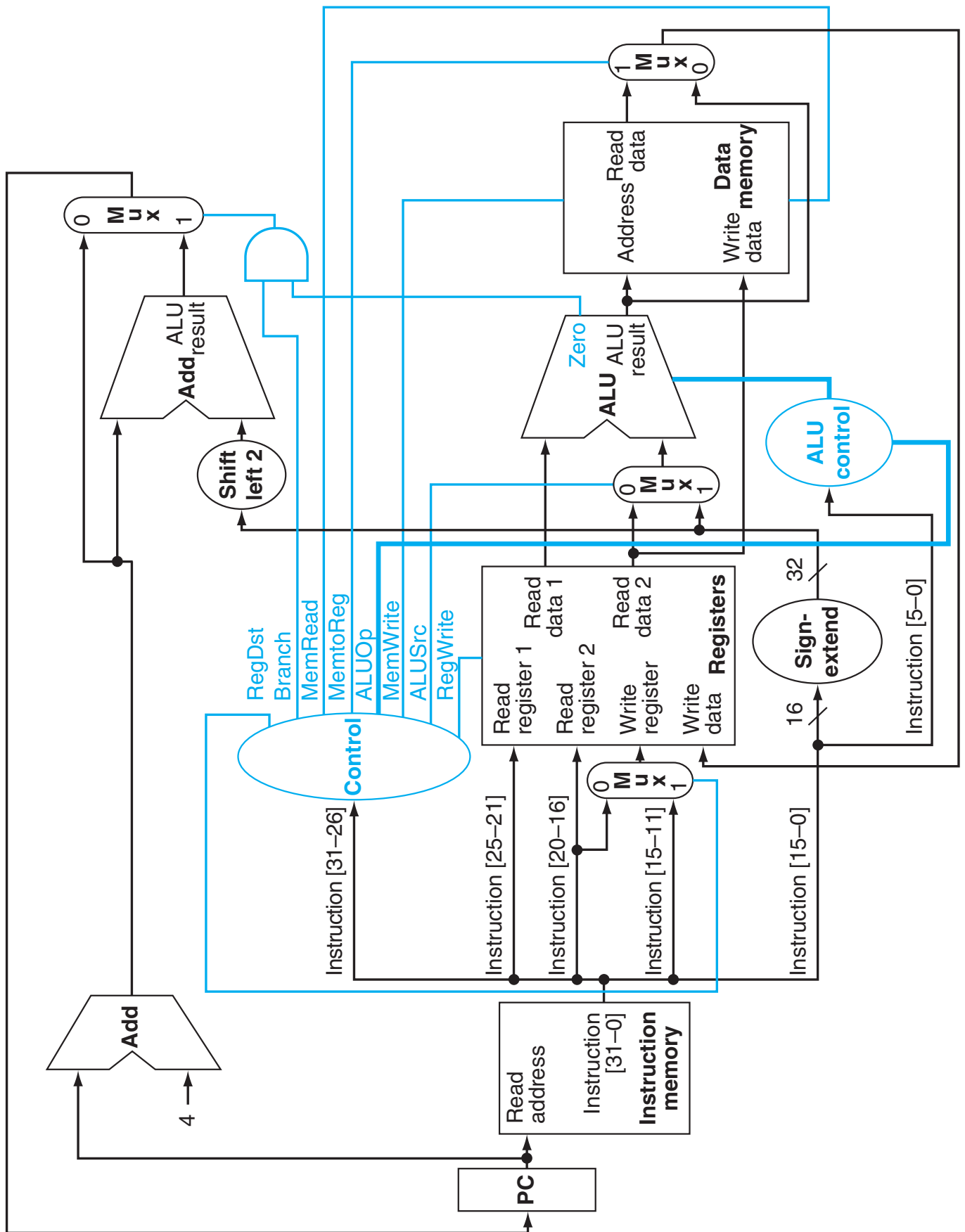


Figura 1: Diagrama de blocos da implementação MIPS monociclo