

# Arquitectura de Sistemas e Computadores II

## Exame de Recurso

Departamento de Informática  
Universidade de Évora

30 de Janeiro de 2014

Indique todos os cálculos efectuados
--------------------------------------

### Perguntas rápidas

1. [0,5 valores] Para que nos chama a atenção a Lei de Amdahl, nas suas várias versões?
2. [0,5 valores] Na implementação *pipelined* do processador MIPS, com decisão dos saltos condicionais no andar ID e um *delay slot*, justifica-se a utilização de previsão de saltos?
3. [0,5 valores] O uso de um *dirty bit* na cache é requerido por qual, ou quais, das estratégias para lidar com operações de escrita na memória?
4. [0,5 valores] Que factores influenciam o ganho de desempenho obtido com a paralelização de um programa?

### Desempenho

5. [2 valores] Na execução de um conjunto de programas no computador A são executadas 600 milhões de instruções, sendo o seu CPI de 2,5 e a duração do ciclo de relógio de 0,9 ns.

O computador B é uma nova implementação da mesma arquitectura cujo relógio tem uma frequência 50% superior à de A. Quando executado em B, o mesmo conjunto de programas apresenta um CPI de 3,5.

Qual é o computador mais rápido para este conjunto de programas e por quanto?

### Implementação MIPS monociclo

6. Pretende-se que a implementação MIPS monociclo da Figura 1 suporte a execução da instrução **bne** (*branch on not equal*), que é uma instrução tipo-I, com três argumentos:

	5	<i>rs</i>	<i>rt</i>	<i>offset</i>	
bne rs, rt, offset	bits	6	5	5	16

Esta instrução faz com que a execução prossiga a partir da instrução que dista *offset* instruções da instrução que se lhe segue, se os valores nos registos *rs* e *rt* forem diferentes. Se estes valores forem iguais, a instrução não tem qualquer efeito.

- (a) [2 valores] Quais das unidades funcionais existentes serão usadas para a execução desta instrução e que unidades funcionais é necessário acrescentar?
- (b) [2 valores] Que sinais de controlo é necessário acrescentar e quais os valores que os vários sinais de controlo deverão ter durante a execução desta instrução?  
(Não precisa de indicar o valor de **ALUOp**, basta dizer qual será a operação executada pela ALU durante a execução desta instrução.)

Apresente as alterações que considerar necessário fazer ao caminho de dados na Figura 1.

### Pipeline MIPS de 5 andares

7. [1 valor] A instrução MIPS **jal endereço** é usada para invocar a função cujas instruções se encontram a partir de **endereço** e guarda o endereço de retorno da função no registo **\$ra**.

Na implementação *pipelined* desta instrução, em que andar do *pipeline* deverá estar a instrução no ciclo em que o PC tem o valor **endereço** e quantos *delay slots* deverão ser considerados para esta instrução? Em que andar deverá estar a instrução no ciclo em que o registo **\$ra** é escrito?

8. [2 valores] Pretende-se executar o código MIPS seguinte de modo a que o seu efeito seja exactamente o que teria se fosse executado na implementação monociclo do processador. No fim da execução do código, só o valor no registo \$2 é importante.

```

1.          or    $2, $0, $0
2.          or    $8, $0, $0
3.  início: beq   $8, $5, fim
4.          lw    $9, 0($4)
5.          add   $2, $2, $9
6.          addiu $4, $4, 4
7.          addi  $8, $8, 1
8.          beq   $0, $0, início
9.  fim:      ...

```

Altere o código apresentado, reordenando as instruções e, se considerar útil, modificando o *offset* da instrução de acesso à memória, de modo a eliminar o maior número possível de atrasos durante a sua execução no *pipeline* com *forwarding*, com decisão dos saltos condicionais no andar ID e com um *branch delay slot*.

## Cache

9. [2 valores] Considere que uma palavra tem 32 bits e que os endereços seguintes são acedidos pela ordem indicada:

4 16 12 16 18 35 128 10

Simule, para esta sequência de acessos, o funcionamento de uma cache *fully associative*, com 12 palavras, blocos de 4 palavras e usando a estratégia LRU na substituição de blocos. Assuma que a cache inicialmente está vazia e, para cada acesso, indique a palavra acedida, o número do bloco a que pertence, se há um *hit* ou um *miss* e, quando aplicável, o bloco que será substituído. Apresente o conteúdo final da cache, com o máximo detalhe que conseguir, e calcule a *miss rate* verificada.

## Memória virtual

10. [2 valores] Durante a execução de um programa, é acedido um endereço da página virtual 101. Nesse momento, todas as páginas físicas estão em uso, a página física 20 é a que não é acedida há mais tempo, e o TLB (*direct-mapped*, com 4 blocos de uma tradução) do sistema e a tabela de páginas do programa têm os conteúdos (parcialmente) mostrados:

TLB				
	Valid	Dirty	Tag	Pág. física
0	1	0	50	5
1	1	0	33	10
2	1	1	25	8
3	1	1	24	2

Tabela de páginas		
	Dirty	Pág. física
		...
99	0	2
100	0	20
101	0	DISCO
102	1	8
103	0	13
		...

Descreva o que acontece durante a tradução do endereço virtual para físico e mostre os conteúdos resultantes do TLB e da tabela de páginas.

11. [2 valores] Um sistema com endereços virtuais de 40 bits e páginas com 8 KB usa tabelas de páginas com dois níveis, sendo o primeiro nível de uma tabela indexado por 16 bits. Se cada posição do primeiro nível da tabela ocupar 8 *bytes* e cada posição do segundo nível da tabela ocupar 4 *bytes*, qual será o tamanho mínimo da tabela de páginas de um programa que use  $\frac{1}{4}$  do espaço virtual disponível?

## Multiprocessamento

12. [1 valores] Se a parte não paralelizável de um programa corresponder a 1% do seu tempo de execução num único processador, qual o maior *speedup* que será possível obter com a paralelização do programa?

13. [2 valores] Em dois dos processadores de um sistema multiprocessador MIPS de memória partilhada são executadas as instruções seguintes de um programa paralelo:

Processador 1 $x = y;$	Processador 2 $y = x;$
---------------------------	---------------------------

Se, antes da execução de qualquer daquelas instruções, os valores de  $x$  e  $y$  forem, respectivamente, 30 e 17, quais as combinações de valores possíveis para  $x$  e  $y$  depois da execução daquelas instruções?

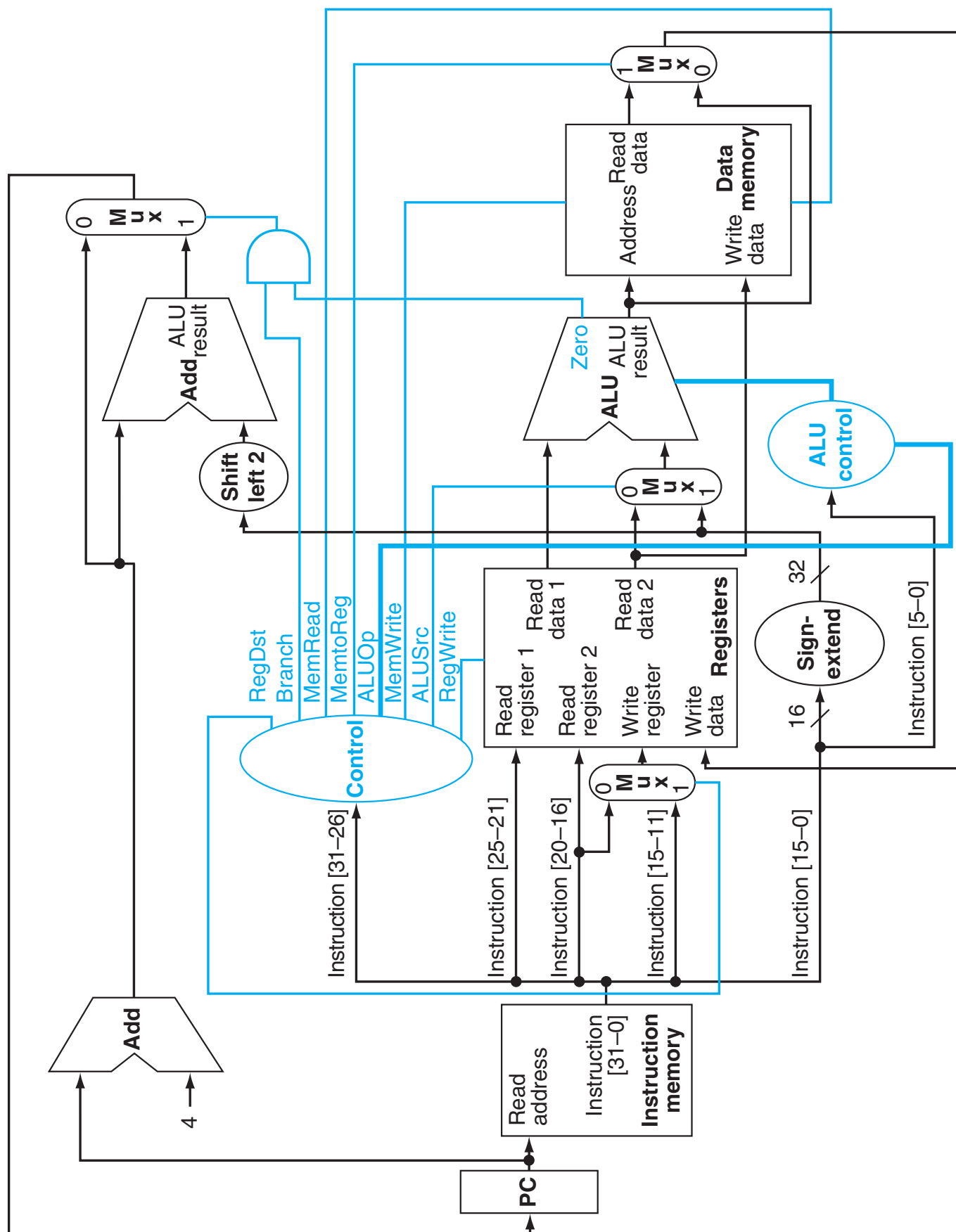


Figura 1: Diagrama de blocos da implementação MIPS monociclo

