

Arquitectura de Sistemas e Computadores II

2ª Frequência e Exame

Departamento de Informática — Universidade de Évora

12 de Janeiro de 2013

- Os símbolos à esquerda de cada pergunta identificam a prova ou provas a que ela pertence:
 - ♣ assinala as perguntas do exame;
 - ♦ assinala as perguntas da 2ª frequência.
- Indique todos os cálculos efectuados

Desempenho

- ♣ 1. [2 valores] Durante a execução de um programa num dado computador, são executadas 100 milhões de instruções, com a seguinte distribuição e os CPIs indicados:

Tipo de instrução	Aritméticas	Acesso à memória	Saltos condicionais
%	50	30	20
CPI	1	2	3

Qual tempo de CPU necessário para este programa se a frequência do relógio for 2 GHz?

Implementação MIPS monociclo

- ♣ 2. Pretende-se acrescentar a instrução `jr` (*jump register*) à implementação MIPS monociclo. A instrução `jr` é uma instrução tipo-R com um único argumento '`jr rs`' e com formato:

0	<i>rs</i>	0	8
bits	6	5	15

O efeito desta instrução é transferir a execução para a instrução cujo endereço está no registo *rs*.

- (a) [2 valores] Quais das unidades funcionais existentes serão usadas para a execução desta instrução e que unidades funcionais é necessário acrescentar?
- (b) [2 valores] Que sinais de controlo é necessário acrescentar e quais os valores que os vários sinais de controlo deverão ter para a execução desta instrução?
- (Não precisa de indicar o valor de `ALUOp`, basta dizer qual será a função da ALU na execução desta instrução.)

Se considerar necessário fazer alguma alteração ao caminho de dados, apresenta-a na Figura 1.

Pipeline MIPS de 5 andares

- ♣ 3. [2 valores] Pretende-se executar o código MIPS seguinte de modo a que o seu efeito seja exactamente o que teria se fosse executado na implementação monociclo do processador. No fim da execução do código, os valores nos registos \$4, \$5 e \$6 não são importantes.

```
1.          or    $2, $0, $0
2.          or    $4, $0, $0
3.  início: beq   $4, $9, fim
4.          lw    $5, 0($6)
5.          add   $2, $2, $5
6.          addiu $6, $6, 4
7.          addi  $4, $4, 1
8.          beq   $0, $0, início
9.  fim:      ...
```

Altere o código apresentado, reordenando as instruções e, se considerar útil, modificando o *offset* da instrução de acesso à memória, de modo a eliminar o maior número possível de atrasos durante a sua execução no *pipeline* com *forwarding*, com decisão dos saltos condicionais no andar ID e com um *branch delay slot*.

Cache

Considere que uma palavra tem 32 bits e que as *palavras* seguintes são acedidas pela ordem indicada:

28 20 4 1 28 5 58 1 14 5

- ♣ ◇ 4. [2,5 valores] Simule o funcionamento de uma cache *direct-mapped* com 8 posições e blocos de 2 palavras para a sequência de acessos indicada. Assuma que a cache inicialmente está vazia e, para cada palavra acedida, indique o número do bloco a que pertence, a posição que vai ocupar na cache e se há um *hit* ou um *miss*. Qual a *miss rate* verificada?
- ♣ ◇ 5. [2 valores] Se os endereços do sistema forem de 16 bits, qual o tamanho total da cache da pergunta 4 (em bits)? Justifique todos os cálculos efectuados.
- ◇ 6. [1,5 valores] Calcule o tempo médio de acesso à memória para a sequência apresentada, sabendo que o *hit time* é de 1 ciclo e a *miss penalty* é de 40 ciclos. (Se não respondeu à pergunta 4, utilize o valor 50% para a *miss rate*.)
- ◇ 7. [2,5 valores] Simule o funcionamento, para a sequência de acessos indicada, de uma cache *2-way set associative*, com blocos de 1 palavra, capacidade para 8 palavras e usando a estratégia LRU na substituição de blocos. Assuma que a cache inicialmente está vazia e, para cada palavra acedida, indique o índice da posição da cache que irá ocupar, se há um *hit* ou um *miss* e, quando aplicável, o bloco que será substituído.

Memória virtual

- ♣ ◇ 8. [2 valores] Descreva o que acontece num processador MIPS quando é acedido um endereço virtual correspondente a uma página que não se encontra presente na memória física.
- ◇ 9. [2 valores] Considere um sistema com páginas de 64 kB e em que os endereços virtuais e físicos têm 24 bits. Qual será o endereço físico (em hexadecimal) correspondente ao endereço virtual $04\ 83\ 7C_{16}$ se o conteúdo da tabela de páginas do programa for:

	Pág. física		Pág. física		Pág. física
0	32	3	10	6	2
1	2	4	16	7	DISCO
2	9	5	7	8	13

- ♣ ◇ 10. [2 valores] Qual o tempo médio necessário para transferir uma página com 4096 *bytes* para memória secundária, se esta residir num disco magnético com as seguintes características:

Velocidade	Seek time médio	Taxa de transferência	Latência do controlador
6000 rpm	10 ms	100 MB/s	20 μ s

Se a frequência do relógio for 1 GHz, de quantos ciclos de relógio necessita a transferência de uma página, em média?

Multiprocessamento

- ♣ ◇ 11. Um programa corre num processador em 10s. Se a parte sequencial do programa demorar 100 ms, qual o ganho de desempenho que se obtém usando 11 processadores:
 - (a) [2 valores] Se o trabalho for distribuído igualmente por todos?
 - (b) [1,5 valores] Se um dos processadores ficar com 10% do trabalho?
- ◇ 12. [2 valores] Num multiprocessador de memória partilhada é executado um programa paralelo, sendo as instruções seguintes executadas no processador indicado:

Processador 1	Processador 2	Processador 3
$x = 5;$	$y = x * 2;$	$z = x + 4;$

Se, inicialmente, o valor de x for 2, quais as combinações de valores possíveis para x , y e z depois da execução daquelas instruções?

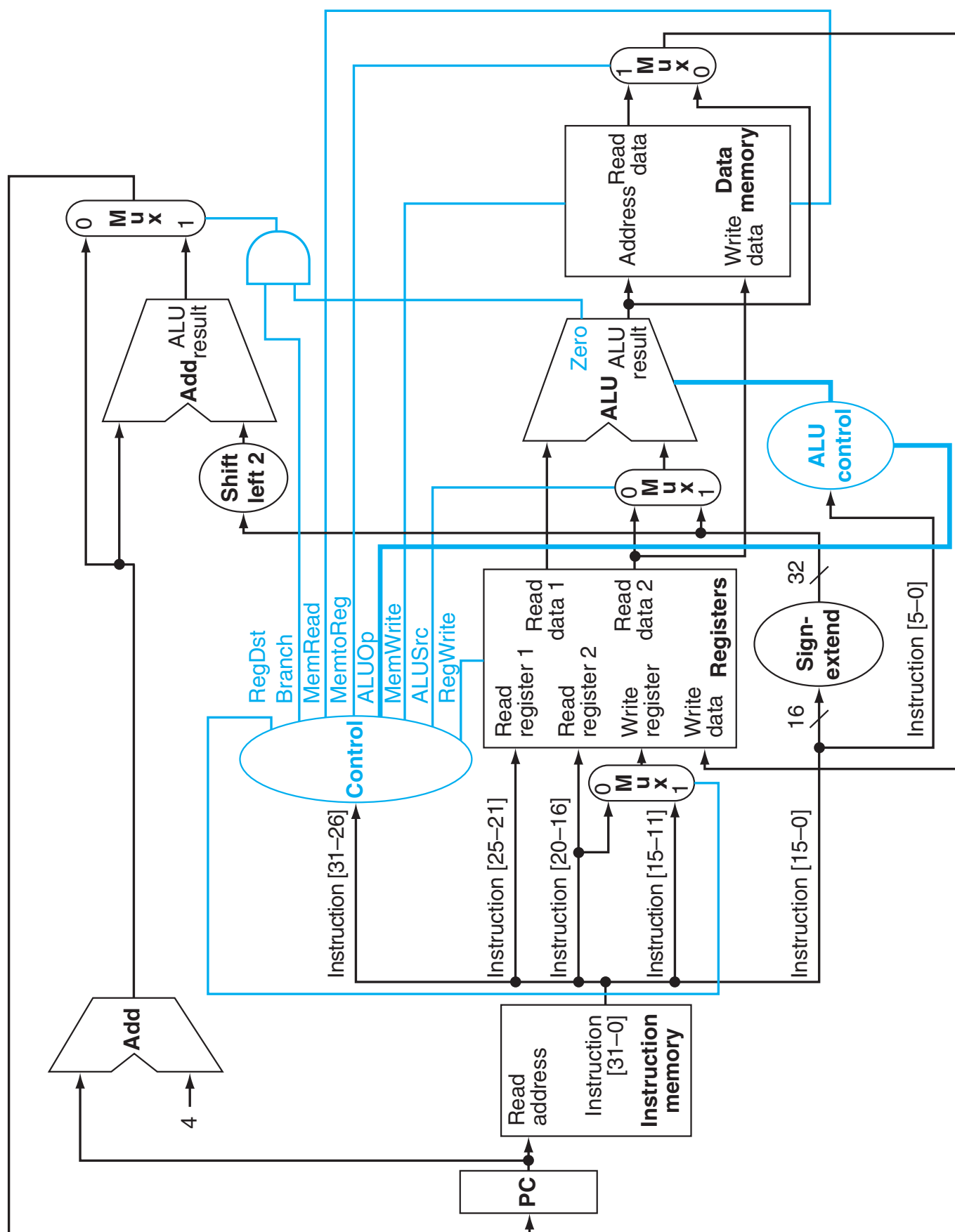


Figura 1: Diagrama de blocos da implementação MIPS monociclo