

Arquitectura de Sistemas e Computadores II

1ª Frequência

Departamento de Informática
Universidade de Évora

12 de Novembro de 2012

Desempenho

1. [1,5 valores] De dois computadores, A e B, e para um conjunto de programas, tem a seguinte informação:

Computador	CPI	f
A	5	1.5 GHz
B	7	2.3 GHz

Em que condições esta informação é suficiente para comparar o desempenho dos dois computadores para aquele conjunto de programas?

2. [3 valores] Na execução de um conjunto de programas no computador C são executadas 500 milhões de instruções, sendo o seu CPI de 2.4 e a duração do ciclo de relógio de 0.5 ns.

Uma nova implementação da mesma arquitectura dá origem a um computador D em que o ciclo de relógio tem uma duração que é metade da de C. No entanto, o mesmo conjunto de programas apresenta um CPI de 3.2 quando executado em D.

Qual é o computador mais rápido para este conjunto de programas e por quanto?

Implementação MIPS monociclo

Para este grupo, use como referência a implementação monociclo da Figura 1.

3. Pretende-se acrescentar a instrução `addi` à implementação MIPS monociclo. A instrução `addi` é uma instrução tipo-I com os seguintes argumentos

`addi rt, rs, immediate`

(a) [2,5 valores] Quais das unidades funcionais existentes serão usadas para a execução desta instrução e que unidades funcionais é necessário acrescentar?

(b) [2,5 valores] Que sinais de controlo é necessário acrescentar e quais os valores que os vários sinais de controlo deverão ter para a execução desta instrução?

(Não precisa de indicar o valor de `ALUOp`, basta dizer qual será a função da ALU na execução desta instrução.)

Se considerar necessário fazer alguma alteração ao caminho de dados, apresenta-a na Figura 1.

Pipeline MIPS de 5 andares

Para este grupo, use como referência o *pipeline* da Figura 2. Tenha, no entanto, em atenção as caracterizações do funcionamento do *pipeline* feitas nas várias alíneas.

4. Pretende-se executar o código MIPS seguinte de modo a que o seu efeito seja exactamente o que teria se fosse executado na implementação monociclo do processador. No fim da execução do código, os valores nos registos \$4, \$5 e \$6 não são importantes.

```
1.          or    $4, $0, $0
2.  início: beq   $4, $9, fim
3.          lw    $5, 0($6)
4.          add   $5, $8, $5
5.          sw    $5, 0($6)
6.          addiu $6, $6, 4
7.          addi  $4, $4, 1
8.          beq   $0, $0, início
9.  fim:        ...
```

- (a) [2 valores] Identifique as dependências de dados existentes no código apresentado.
- (b) [2 valores] Simule a execução do código quando só é executada uma iteração do ciclo (a execução termina depois de a instrução 2. ser executada pela segunda vez). Considere um processador com *forwarding*, com decisão dos saltos condicionais no andar EX, sem *delay slots* e com previsão perfeita do resultado das instruções de salto condicional. Apresente a evolução do estado do *pipeline* durante a execução, indicando todos os atrasos introduzidos e todos os pontos onde foi necessário recorrer a *forwarding* de algum valor.

Quantos ciclos de relógio são necessários para executar o código nas condições acima?

Quantos ciclos de relógio seriam necessários para executar o código se fossem executadas 10 000 iterações do ciclo?

- (c) [2 valores] Altere o código apresentado, reordenando as instruções e, se considerar útil, modificando o *offset* das instruções de acesso à memória, de modo a eliminar o maior número possível de atrasos durante a sua execução no *pipeline* com *forwarding*, com decisão dos saltos condicionais no andar ID e com um *branch delay slot*.

5. As latências das várias componentes do *pipeline* são as apresentadas na tabela seguinte:

Memória	Registos	ALU	Somadores	<i>Multiplexors</i>	Controlo
500 ps	170 ps	370 ps	250 ps	30 ps	40 ps

Considere que os restantes elementos lógicos têm latência zero.

- (a) [2 valores] Nas condições acima, qual será a frequência máxima a que processador poderá funcionar?
- (b) [1 valor] Se for possível dividir os dois andares em que são efectuados os acessos à memória em dois, tal que cada novo andar tenha uma latência de 250 ps, qual será a frequência máxima a que o novo processador poderá funcionar?
- (c) [1,5 valores] Quais serão as consequências da alteração da alínea anterior, em termos de conflitos de dados, consequentes atrasos e *forwarding*? Assuma que o endereço da posição a aceder e o valor a escrever têm de estar disponíveis no início do primeiro andar de cada um dos pares de novos andares do *pipeline*, e que o resultado dos acessos à memória só fica disponível a partir do segundo desses andares.

Nome: _____ Número: _____

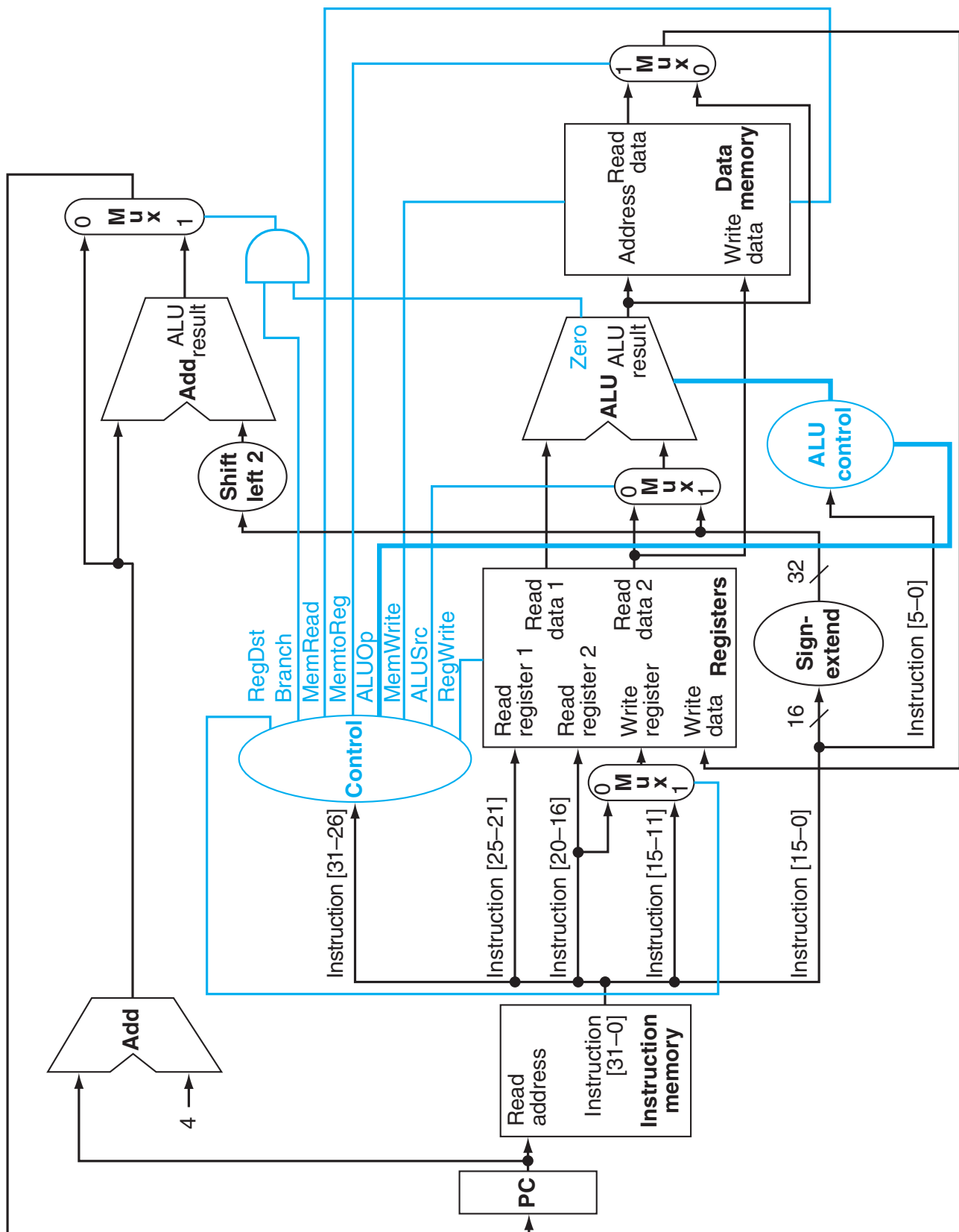


Figura 1: Diagrama de blocos da implementação MIPS monociclo

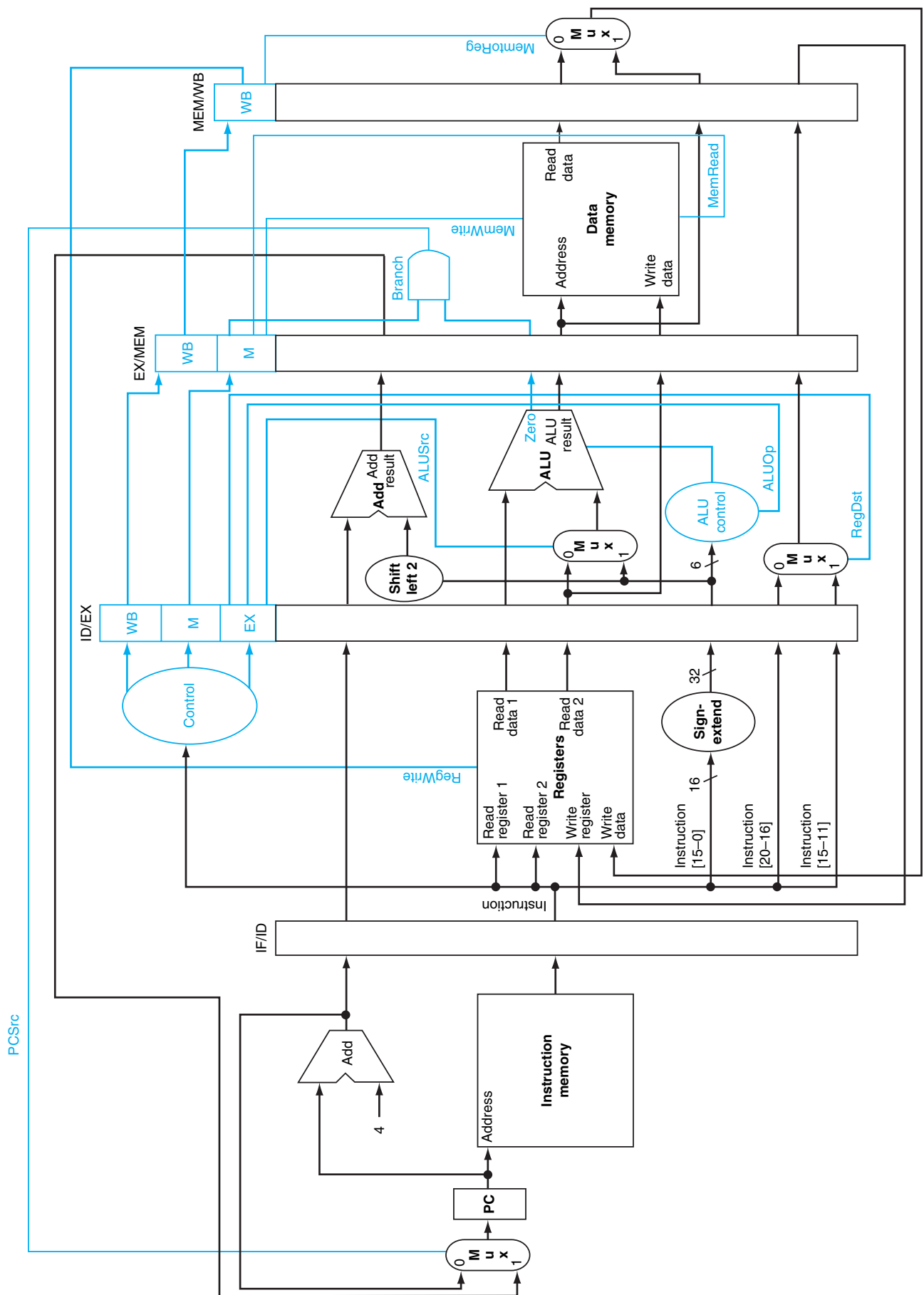


Figura 2: Diagrama de blocos do *pipeline* MIPS