

Arquitectura de Sistemas e Computadores II

Exame de Recurso

Departamento de Informática
Universidade de Évora

29 de Janeiro de 2013

Indique todos os cálculos efectuados

Desempenho

1. O programa P é executado num computador em que a duração do ciclo de relógio é de 2 ns, com um CPI de 2,4. Na execução do programa são executadas 300 milhões de instruções, com a seguinte distribuição:

Instruções	Aritméticas	Acesso à memória	Salto condicionais
%	50	30	20

- (a) [1,5 valores] Qual tempo de CPU necessário para a execução de P ?
- (b) [1,5 valores] Numa nova implementação da mesma arquitectura, conseguiu-se reduzir o CPI das instruções aritméticas de 2 para 1,6. Qual o ganho de desempenho obtido quando P é executado na nova implementação?

Implementação MIPS monociclo

2. Pretende-se acrescentar a instrução **jrr** (*jump register relative*) à implementação MIPS monociclo. A instrução **jrr** é uma instrução tipo-I com dois argumentos '**jrr rs, offset**' e com formato:

	jrr	<i>rs</i>	0	<i>offset</i>
bits	6	5	5	16

O efeito desta instrução é transferir a execução para a instrução cujo endereço dista *offset bytes* do valor no registo *rs*. (Por exemplo, se o valor no registo **\$5** for 10000, a instrução executada a seguir a '**jrr \$5, 16**' será a que se encontrar no endereço 10016.)

- (a) [2 valores] Quais das unidades funcionais existentes serão usadas para a execução desta instrução e que unidades funcionais é necessário acrescentar?
- (b) [2 valores] Que sinais de controlo é necessário acrescentar e quais os valores que os vários sinais de controlo deverão ter para a execução desta instrução?
- (Não precisa de indicar o valor de **ALUOp**, basta dizer qual será a função da ALU na execução desta instrução.)

Apresente as alterações que considerar necessário fazer ao caminho de dados na Figura 1.

Pipeline MIPS de 5 andares

3. [2,5 valores] Considere a execução do código seguinte no *pipeline* MIPS de 5 andares com *forwarding*, decisão dos saltos condicionais no andar ID e sem *delay slot*.

```

1.          or    $2, $0, $0
2.          or    $4, $0, $0
3.  início: beq   $4, $9, fim
4.          lw    $5, 0($6)
5.          add   $2, $2, $5
6.          addiu $6, $6, 4
7.          addi  $4, $4, 1
8.          beq   $0, $0, início
9.  fim:      ...

```

Liste todos os atrasos introduzidos e todos os usos de *forwarding* que ocorrem durante execução deste código. Para cada uso de *forwarding*, indique entre que andares do *pipeline* ocorre e qual o registo cujo valor é *forwarded*.

Cache

4. Considere que uma palavra tem 32 bits e que os *bytes* com os endereços seguintes são acedidos pela ordem indicada:

8 17 23 44 8 74 13 48 40

- (a) [2,5 valores] Simule o funcionamento de uma cache *2-way set associative* com blocos de 2 palavras, capacidade para 16 palavras e usando a estratégia LRU na substituição de blocos, para a sequência de acessos indicada. Assuma que a cache inicialmente está vazia e, para cada *byte* acedido, indique a palavra e o número do bloco a que pertence, o índice da posição da cache que vai ocupar, se há um *hit* ou um *miss* e, quando aplicável, o bloco que será substituído. Qual a *miss rate* verificada?
- (b) [2 valores] Se o computador tiver uma cache com dois níveis, sendo a cache da alínea anterior a de nível 1, e se durante a sequência de acessos indicada se observaram 3 acessos à memória física, qual a *miss rate* global e qual a *hit rate* da cache de nível 2 para aquela sequência? (Utilize o valor 50% para a *miss rate* da alínea anterior, no caso de não a ter calculado.)

Memória virtual

5. Um sistema com palavras de 32 bits, páginas de 1 kB e em que os endereços virtuais e físicos têm 24 bits, tem TLBs distintos para os acessos a instruções e a dados. O TLB de dados é *direct-mapped*, com 16 posições e uma tradução por posição.

A sequência dos endereços virtuais dos acessos a dados por um programa apresenta o seguinte padrão:

10240 61440 10240 10244 61444 10244 10248 61448 10248 ... 51196 102396 51196

Este padrão repete-se 10240 vezes, acedendo aos endereços entre 10240 e 51196 e entre 61440 e 102396.

- (a) [2 valores] Se o TLB de dados estiver vazio no início da execução do programa, qual o número de TLB *misses* que ocorrerão?
- (b) [2 valores] Qual a dimensão deste TLB (em bits)?

Multiprocessamento

6. [2 valores] Em dois dos processadores de um sistema multiprocessador MIPS de memória partilhada são executadas as instruções seguintes de um programa paralelo:

Processador 1		Processador 2
$x = y;$		$y = x;$

Se, inicialmente, os valores de x e y forem, respectivamente, 2 e 4, é possível que depois da execução daquelas instruções os valores de x e y sejam, respectivamente, 4 e 2? Justifique a sua resposta.

(Sugestão: lembre-se de que o processador não executa directamente aquelas instruções, mas sim uma sequência de instruções MIPS que têm o efeito pretendido. Qual a sequência de instruções que teria, por exemplo, o efeito de ' $x = y;$ ', assumindo que os endereços de x e y estão, respectivamente, nos registos \$8 e \$9?)

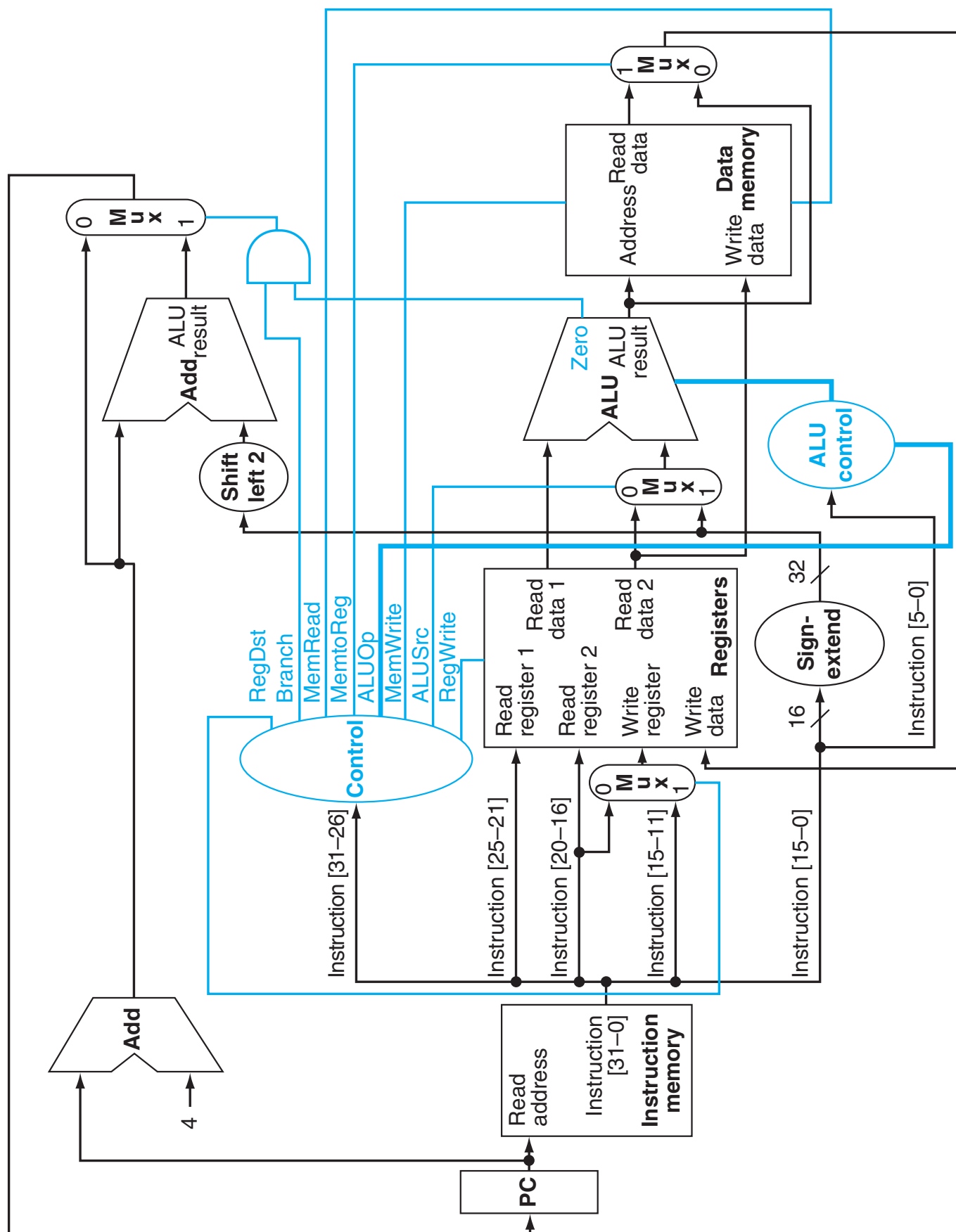


Figura 1: Diagrama de blocos da implementação MIPS monociclo