11주차 예비보고서

전공: 아트엔테크놀로지 학년: 3학년 학번: 20191172 이름: 함승우

1. RS 플립-플롭

플립 플롭이란 1개의 비트의 정보를 기억할 수 있는 최소의 기억소자이다. RS 플립 플롭은 두 개의 단자를 가지고 있는데 하나는 Reset, 나머지 하나는 Set이다. Set에 신호를 보내면 플립플롭(FF)는 1 값을 기억하고, Reset에 신호를 보내면 FF는 0값을 기억한다. 두 단자에 모두 신호를 보내면 동작이 되지 않는다.

|  |  |  |
| --- | --- | --- |
| R | S | Q(t+1) |
| 0 | 0 | 불변 |
| 1 | 0 | 0(Reset) |
| 0 | 1 | 1(set) |
| 1 | 1 | 동작X |

예를 들어 S와 R이 모두 0일 때 이전 상태 Q(t)가 0일 때, Q(t+1)은 0이 되고,

S가 1, R이 0일 때 Q(t)의 값에 상관없이 Q(t+1)이 0이 된다. 아래는 RS 플립 플롭의 회로이다.

도표, 스케치, 라인, 그림이(가) 표시된 사진

자동 생성된 설명

2. JK 플립-플롭

JK FF는 RS에서의 1 1이 입력되었을 때, 동작이 돌아가지 않는 RS의 단점을 상태 반전으로 동작시키는 RS의 문제점을 보완한 플립플롭이다.

|  |  |  |
| --- | --- | --- |
| J | K | Q(t+1) |
| 0 | 0 | 불변 |
| 0 | 1 | 0(Reset) |
| 1 | 0 | 1(set) |
| 1 | 1 | 상태 반전 |

예를 들어, J가 0이고 K가 0일 때 Q(t)는 0이라면, Q(t+1)이 값도 0이다.

또한 J가 1이고 K가 1일 때 Q(t)는 1이라면, Q(t+1)의 값도 0이다.

도표, 라인, 스케치, 기술 도면이(가) 표시된 사진

자동 생성된 설명

3. D 플립-플롭

입력 값과 출력 값이 같은 FF이다. 이는 CP(클록 펄스)의 시간 간격만큼 지연시켜서 출력한다.

|  |  |
| --- | --- |
| D | Q(t+1) |
| 0 | 0 |
| 1 | 1 |

RS FF에 인버터를 연결한 형태의 플립 플롭이다. 이전의 플립 플롭들과 다르게 단 하나의 입력값을 가지고, 그대로 지연시키셔 출력한다.

4. T 플립-플롭

JK 플립 플롭의 특수한 형태로, J와 K를 하나로 묶어 T로 표현한다. J와 K의 두 입력 값을 연결해 Toggle을 뜻하는 하나의 값 T를 입력 값으로 갖는 플립플롭이다. 주로 카운터 회로로 많이 사용되며, 누를 때마다 ON, OFF가 교차되는 스위치에 이용된다. 입력 값이 0이면, 상태 불변, 1이면 전 상태의 보수 값을 표시한다.

|  |  |
| --- | --- |
| T | Q(t+1) |
| 0 | Q(t) |
| 1 | Q(t)’(Q(t)의 보수) |

5. Latch

Latch는 순차회로에서 한 비트의 정보를 저장하는 회로이다. 전원이 공급되고 있는 한, 상태 변화를 위한 신호가 발생할 때까지 현재의 상태를 그대로 유지한다. 플립 플롭 clock이 있고, clock값이 1에서 0으로, 또는 0에서 1로 변화하는 때에 적용되는 회로이다. 하지만, Latch는 clock 값이 1이거나 0일 때만 결과값이 변화한다. SR Latch도 존재하는데, 마찬가지로 S는 Set, R은 Reset이다.

6. Clock의 기능

Clock은 일정한 주기로 1과 0이 반복된다. 앞서 말했듯이, 이 Clock이 1에서 0으로, 0에서 1로 바뀌는 시점에서 플립 플롭과 같은 회로들이 값이 변형되고, Clock이 0일 때나 1일 때 Latch가 영향을 받는다. 이 때 1이 High이고, 0이 Low라는 논리 신호를 가진다. 이 클럭의 요소로 신호의 크기, 주기를 결정하는 주파수, 한 주기 동안 상태 H와 L의 시간비가 있다. 클럭 신호는 디지털 회로에서 전압으로 나타내지고, 주파수는 내부의 카운터 회로에 의해 주파수 변환하여 사용된다. 또한, H와 L의 (High와 Low)의 시간차비인 듀티비가 보통 50%인 방형파를 많이 사용한다. 클럭의 발생은 수정 발진기에 의해서 만들어진다.

전자제품, 전자 부품, 회로 구성요소, 전자 공학이(가) 표시된 사진

자동 생성된 설명전자제품, 전자 공학, 회로 구성요소, 전자 부품이(가) 표시된 사진

자동 생성된 설명

7. Edge-Trigger의 특성

시스템에서 특정 이벤트를 감지하기 위해서 Trigger라는 개념을 사용한다. Trigger는 입력값이 결과에 반영되는 순간을 의미한다. 즉 입력신호의 순간적인 변화를 의미한다. Edge Trigger는 클럭의 값이 변화는 그 순간에만 동작하는 방식을 말한다. 따라서, 0에서 1로 클럭이 상승할 때를 Positive edge라고 하며, 1에서 0으로 클럭이 하강할 때를 Negative edge라고 한다. Positive Edge Trigger와 Negative Edge Trigger는 앞서 말했듯이 플립 플롭에 사용하는 방식이다.

8. Master-Slave 의 개념

Master – Slave는 2개의 플립플롭과 1개의 인버터로 구성된다. Master는 주로 동작, 다른 하나는 Slave 종으로 동작하는 플립 플롭이다. Clock이 1이면 주 플립플롭이 동작하고, Clock Pulse가 1에서 0으로 바뀔 때 종 플립플롭이 동작한다.

도표, 라인, 평면도, 기술 도면이(가) 표시된 사진

자동 생성된 설명

JK 플립플롭이나 RS 플립플롭, D 플립플롭 등으로 구상할 수 있다.

9. 기타 이론

CS 개념을 배우다보면, Register라는 개념을 접하게 된다. 이때 이 Register는 외부로부터 들어오는 데이터를 저장하거나 이동하는 목적으로 사용된다. 이 Register는 RAM이나 컴퓨터 주 기억장치와 보조 기억 장치와 비교했을 때 매우 작은 크기를 저장할 수 있다. 하지만, 이는 플립 플롭을 여러 개로 배열하여 연결해서 여러 비트로 구성되어있다. 플립 플롭 하나는 한 개의 비트에 해당하기 때문에 여러 개를 배열 해야만 여러 비트를 저장할 수 있다. Register는 D 플립 플롭으로 구성이 된다. 이 D 플립 플롭에 비트 값을 입력을 할 수 있다.

텍스트, 도표, 평면도, 폰트이(가) 표시된 사진

자동 생성된 설명