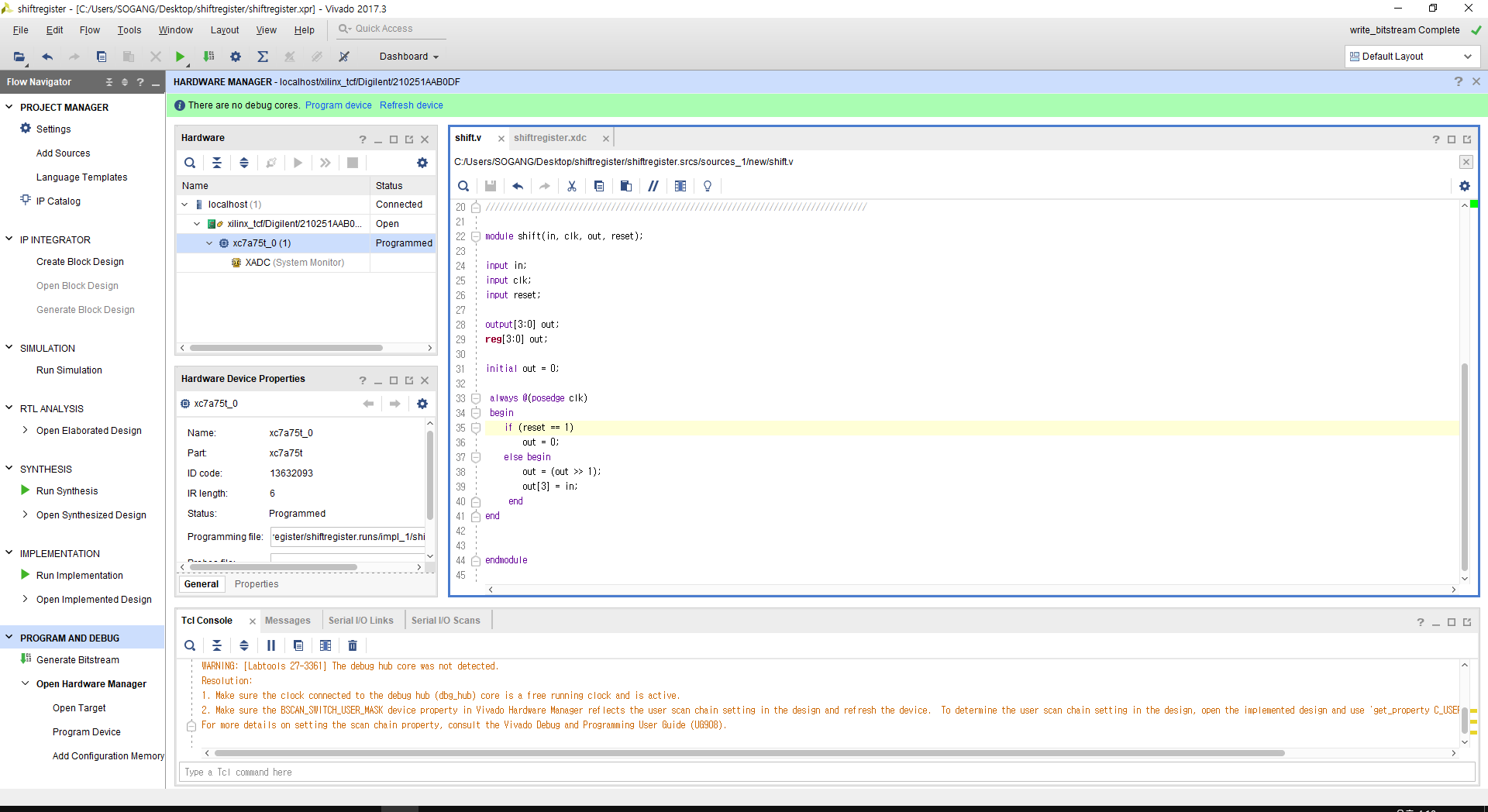
13주차 결과보고서

전공: 아트엔테크놀로지 학년: 3학년 학번: 20191172 이름: 함승우

1. 4-bit Shift Register의 결과 및 Simulation 과정에 대해서 설명하시오.

텍스트, 스크린샷, 소프트웨어, 디스플레이이(가) 표시된 사진

자동 생성된 설명

4-bit Shift Register는 네 개의 플립 플롭이 연결되어 있다. shift register는 1비트씩 옮겨 저장하는 회로는 이렇다. reset이 1이 되면, 즉 reset 버튼을 누르게 되면 output은 0이 된다. 그렇지 않다면, clock이 변할 때마다 output[3] ~ output[0]까지 모든 비트들이 오른쪽으로 shift 된다. 또한 out[3]부분, 비트의 첫 부분을 in이라는 변수를 통해서 주입한다.

tb파일을 살펴보면, reset이 20, 40 … 이러한 시간대로, 0과 1이 반복되며 켜지고 꺼진다. 또한, output의 값이 왼쪽에서부터 오른쪽으로 shift하는데, 맨 왼쪽의 bit는 shift할 때마다, 비어있기 때문에, 여기에 in 값을 10, 20 ,40, 80 시간 순으로 on/off를 진행한다.

- Simulation 결과

텍스트, 스크린샷, 소프트웨어, 디스플레이이(가) 표시된 사진

자동 생성된 설명

reset이 0일 때를 가정하고, 예시를 설명해보자면, 처음 output[0]가 1으로 켜지고, clock이 켜질 때마다 output[1], output[2], output[3]으로 점점 옮겨 가는 것을 확인할 수 있다. reset이 1이 될 때, output이 초기화가 되어 0000이 된다.

1. 4-bit Ring counter의 결과 및 Simulation 과정에 대해서 설명하시오.

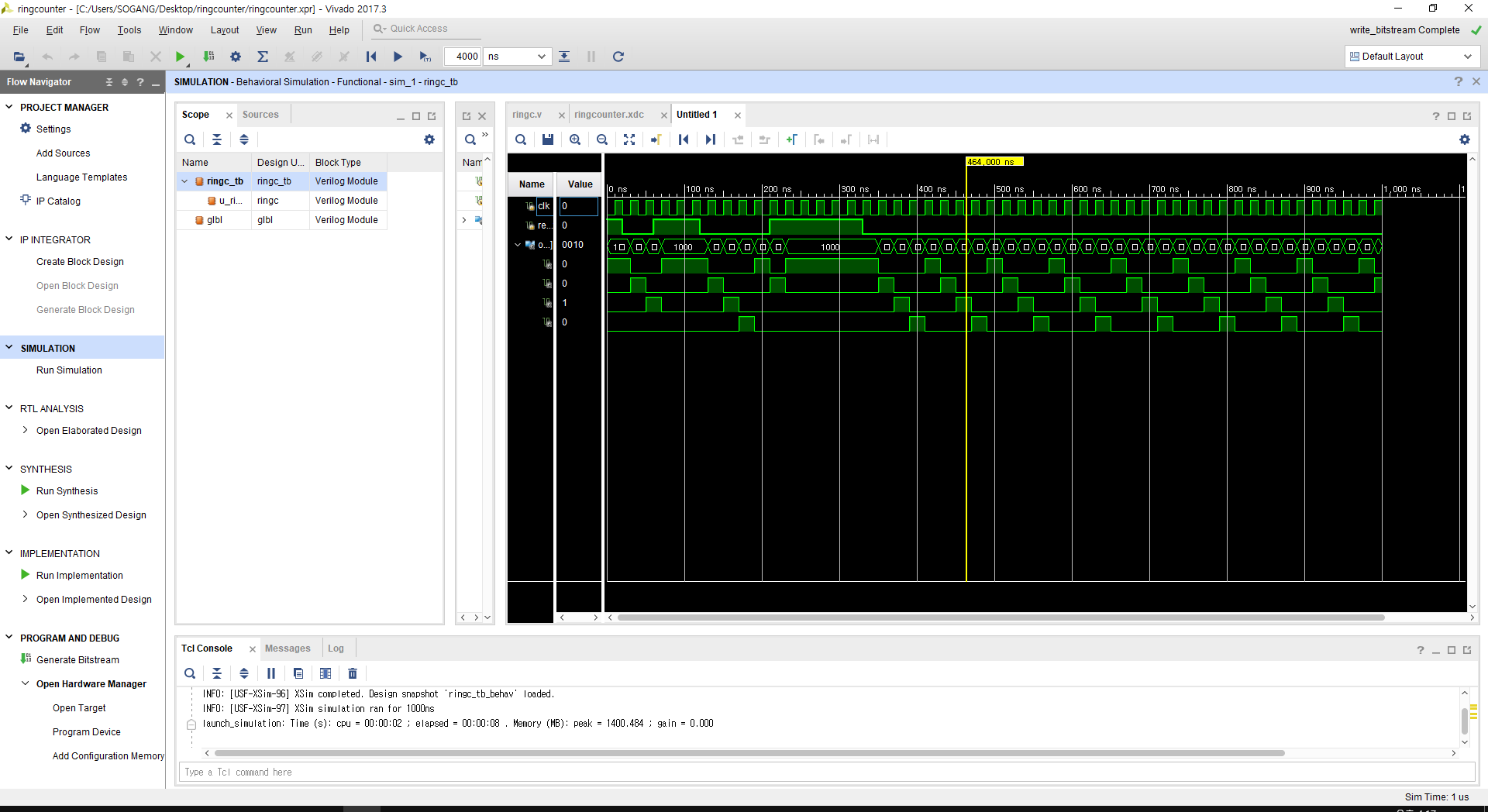
텍스트, 스크린샷, 소프트웨어, 디스플레이이(가) 표시된 사진

자동 생성된 설명텍스트, 스크린샷, 소프트웨어, 디스플레이이(가) 표시된 사진

자동 생성된 설명

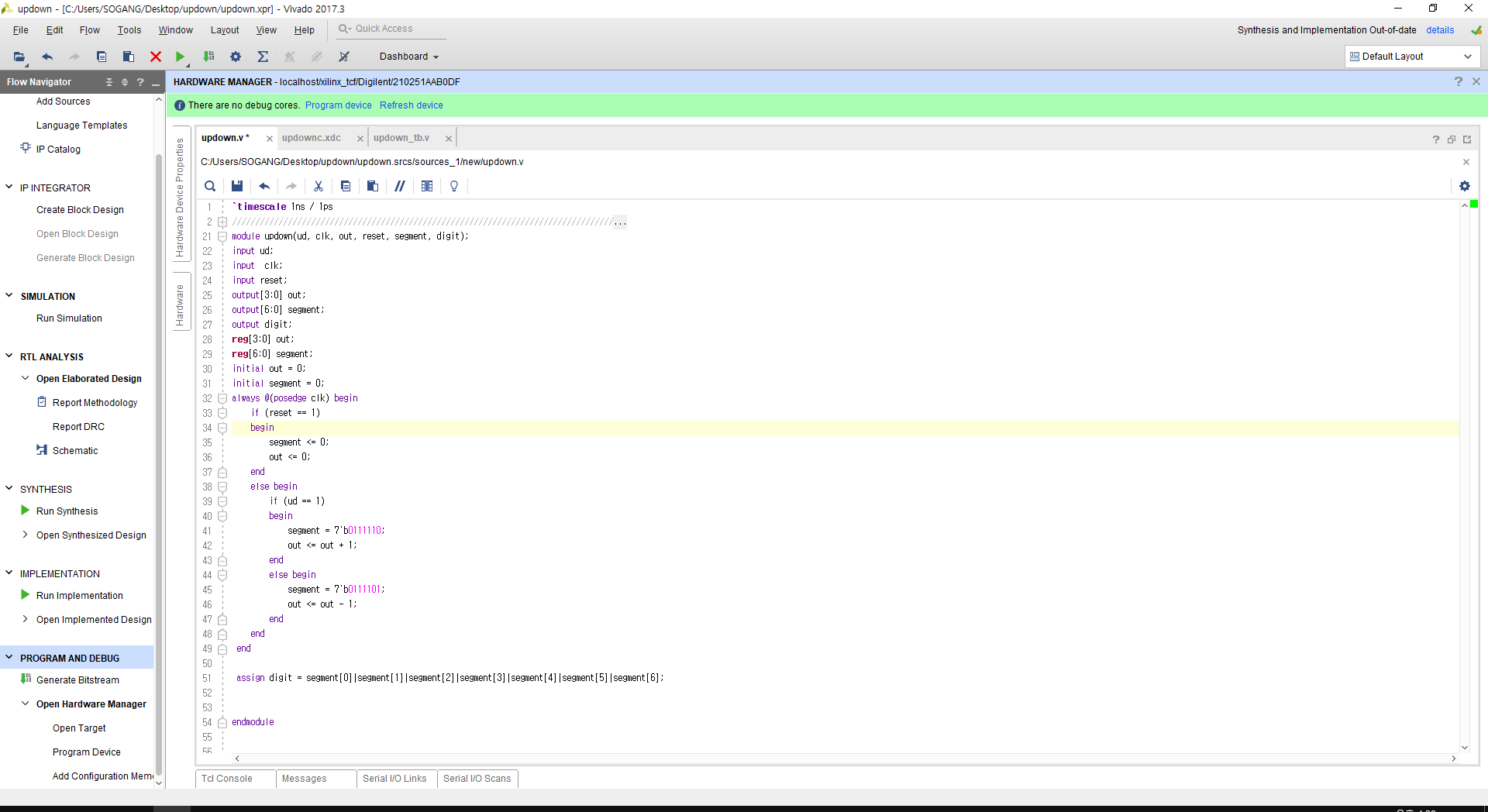
링 카운터는 shift register와 비슷하지만, 우리가 맨 왼쪽의 비트를 인위적으로 in이라는 input을 넣어서 동작을 했지만, ring counter는 맨 마지막 비트로부터 나온 비트를 다시 맨 앞쪽 비트로 다시 넣어서 순환형을 만드는 역할을 한다. v파일을 살펴보면, reset이 1이 될 때, 4비트가 0000이 된다. reset이 0일 때, 계속해서 output이 shift가 되는 것을 볼 수 있다.

* Simulation 결과



reset이 1이 아닐 때를 먼저 보자면, reset이 1이 아닐 때 output의 각 비트 값이 계속해서 오른쪽으로 shift가 되는 것을 볼 수 있다. 또한 clock이 움직일 때마다 bit가 shift되고, 맨 마지막의 비트가 다시 처음으로 돌아와 입력되는 simulation 결과를 확인할 수 있다.

3. 4-bit Up/Down counter 의 결과 및 Simulation 과정에 대해서 설명하시오.

텍스트, 스크린샷, 소프트웨어, 디스플레이이(가) 표시된 사진

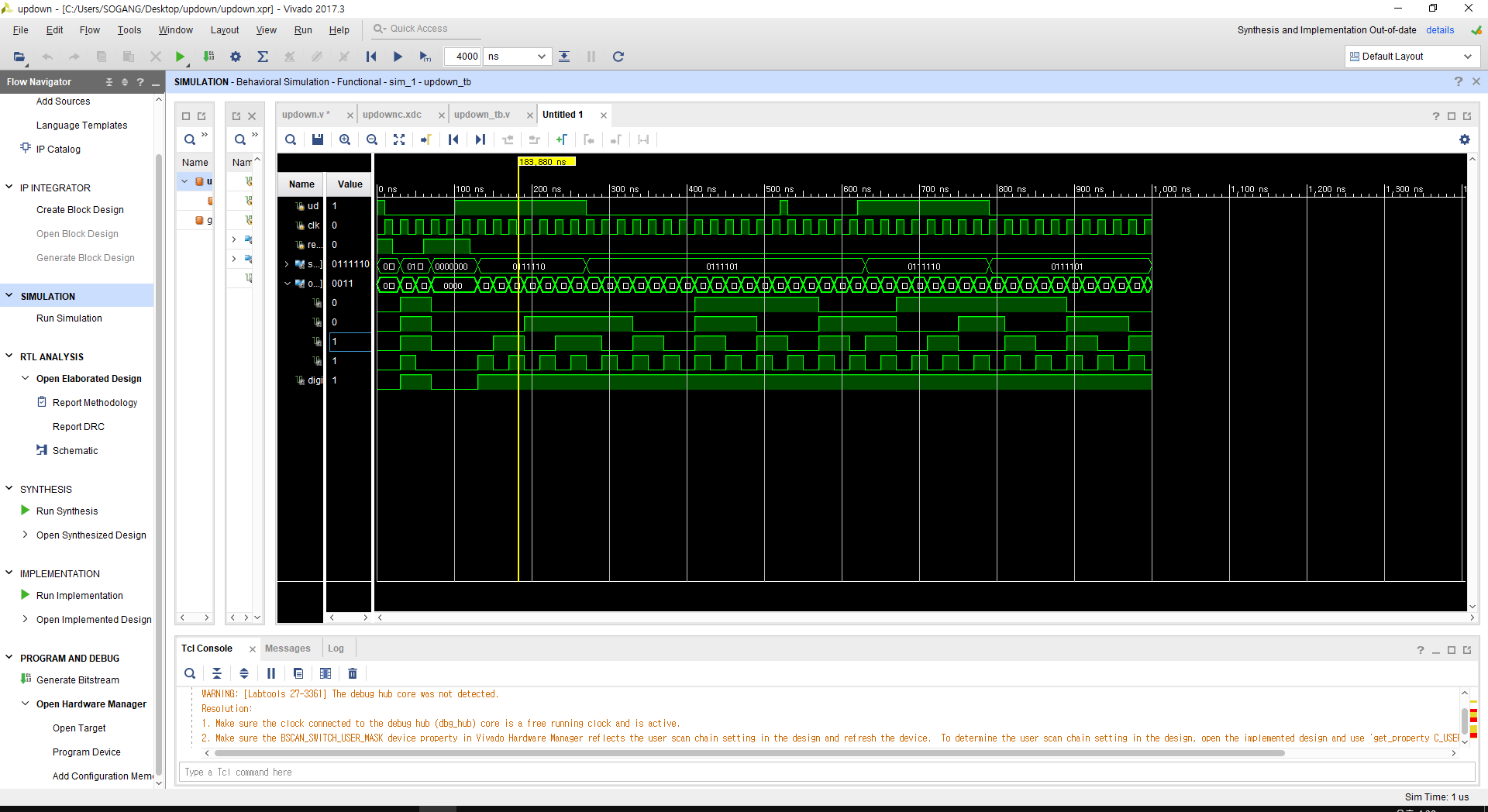
자동 생성된 설명

up- down의 경우에는 up인지, down인지를 파악하기 위해 이를 7 segment로 나타낸다.

ud이라는 input 값이 1인 경우에 7 segment를 u, 0인 경우에는 7 segment를 d로 나타낸다.

또한 up은 계속 1을 더하게 되고, down은 계속 1을 빼게 된다. digit이라는 변수는 segment가 켜져 있는지 아닌지 확인하는 변수이다.

* Simulation 결과



ud == 1, 즉 up counter일 경우에, 0001부터 시작해서 0010, 0011, 0100, 0101, 0110, 0111까지 증가하는 것을 확인할 수 있다. 또한, down counter인 경우에, 0111부터, 0110, 0101, 0100, 0011, 0010, 0001 그리고 다시 1111로 돌아가며 simulation이 동작하고 있다.

4. 결과 검토 및 논의 사항

shift register를 통해서 4 bit ring counter를 쉽게 생각할 수 있었다. 인위적으로 input을 줘야 했던 첫번째 비트를, 다시 받아온다는 점에서 차이가 있었고, 4bit up down counter는 두 가지 option, up과 down을 선택하여, 클럭 신호가 바뀔 때마다 1이 증가되는지 감소하는지를 선택할 수 있었다.

5. 추가 이론 조사 및 작성

이전까지는 adder, full -adder를 사용하여 비트의 가산을 구현했고, n비트의 덧셈 연산을 하려면, n개의 가산기가 필요했다. 하지만, 레지스터를 이용하여 하나의 가산기로도 같은 연산이 가능하다. shift register 2개를 이용하고, clock과 input을 입력 받아 이를 가산기에 넣어 결과적으로 비트를 가산하는 연산기를 구현할 수 있다. 하지만, 이는 병렬 연산보다 오래 걸린다는 단점이 있지만, 회로가 작아도 된다는 장점이 있다. shift register의 출력들이 FA의 input로 들어간다.

도표, 평면도, 기술 도면, 텍스트이(가) 표시된 사진

자동 생성된 설명