4주차 예비보고서

전공: 아트엔테크놀로지 학년: 3학년 학번: 20191172 이름: 함승우

1.

상징, 스케치, 친필, 폰트이(가) 표시된 사진

자동 생성된 설명

NAND 구조

스케치, 그림, 라인 아트, 친필이(가) 표시된 사진

자동 생성된 설명

NOR 구조

스케치, 그림, 도표, 라인 아트이(가) 표시된 사진

자동 생성된 설명

XOR 구조

2.

NAND gate는 두 개의 입력을 받아 하나의 값을 출력한다. AND와 비슷하지만, not AND라고 생각하면 된다. AND의 경우에는 입력값 두 개 a, b가 모두 1일 때만 1을 출력하지만, NAND는 a, b가 모두 1이면 0을 출력하고 나머지의 경우에 1을 출력한다.

NOR gate도 두 개의 입력을 받아 하나의 값을 출력한다. NOR은 not OR이라고 생각하면 된다. OR의 경우에는 입력값 두 개 a, b 둘 중에 하나라도 1이면 1을 출력했지만, NOR의 경우에는 입력값 두 개 중 하나라도 1이라면 0을 출력하고, 두 개의 입력값이 모두 0일 때만 1을 출력한다.

XOR gate의 경우에도 두 개의 입력을 받아 하나의 값을 출력하지만, 두 입력값이 서로 다를 때만 1을 출력한다.

위 세가지를 진리표에 나누어서 작성하면

|  |  |  |  |
| --- | --- | --- | --- |
| NAND | Input A | Input B | Output X |
|  | 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

|  |  |  |  |
| --- | --- | --- | --- |
| NOR | Input A | Input B | Output X |
|  | 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

|  |  |  |  |
| --- | --- | --- | --- |
| XOR | Input A | Input B | Output X |
|  | 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

3.

3-1. NOT과 NAND 관계

NAND에 입력값이 동일한 x의 값이라면, Output은 이렇다.

|  |  |  |
| --- | --- | --- |
| In X | In X | Out Y |
| 0 | 0 | 1 |
| 1 | 1 | 0 |

즉, 서로 다른 두개의 입력값이 아니라 동일한 입력값이라면, 하나의 입력값이라면 NOT으로 변환할 수 있다.

3-2. NAND와 AND의 관계

앞서 3주차에서 AND는 (A, B의 논리곱)이라는 것을 알 수 있었다. 또한 NAND는 (A와 B의 논리곱의 부정)이다. 따라서 NAND와 AND의 관계는 NOT을 통해 변환할 수 있다.

NOT(NAND) = AND

3-3. NAND와 OR의 관계

앞서 NAND는 A와 B의 논리곱의 부정이다. 또한 OR은 A와 B의 논리합인데, 이는 드모르간의 법칙에 의해서 NOTA와 NOTB의 논리곱의 부정임을 알 수 있고 이에 따라 아래의 수식이 만들어진다.

아래의 진리표를 참고하면 A OR B와 NOT A NAND NOT B가 같다는 것을 알 수 있다.

NAND(A, B) = (A•B)’

OR(A, B) = A + B = (A’ •B’)’

NAND(NOT A, NOT B) = OR(A, B)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A | B | NOT A | NOT B | NAND(A’, B’) | A OR B |
| 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 |

3-4. NOR과 NOT의 관계

NOR gate의 경우에는 NAND와 마찬가지로 동일한 입력 값이거나 하나의 입력 값일 때 NOT으로 구현 가능하다는 것을 알 수 있다.

|  |  |  |  |
| --- | --- | --- | --- |
| NOR | Input A | Input B | Output X |
|  | 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |

3-5. NOR과 AND의 관계

AND(A, B) = (A•B)

NOR(A, B) = (A+B)’

NOR(A, B) = A’ • B’

AND(A’, B’) = (A’ •B’)

따라서 NOR은 AND의 입력 값들이 부정일 때 구현할 수 있다.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| A | B | NOT A | NOT B | NOR(A’, B’) | AND(A, B) |
| 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 1 |

3-6. NOR과 OR의 관계

OR은 A와 B의 논리합인데, NOR은 A, B의 논리합의 부정이기 때문에

NOR = NOT OR이라고 볼 수 있다.

4. AND-OR-INVERT logic의 응용.

AND-OR-INVERT은 AND gate + OR gate + Inverter로 이루어진 logic이다.

도표, 폰트, 라인, 스케치이(가) 표시된 사진

자동 생성된 설명

위 그림과 같은 단순한 AOI의 로직의 경우에는 수식이

Y = ((A • B) + (C • D))’이다.

Y = ((A • B)’ • (C • D)’)

Y = ((A’ + B’) • (C’ + D’))라고 볼 수 있다.

2번째 수식은 AND(NOT(AND(A, B)), NOT(AND(C, D)))이고,

3번째 수식은 AND(OR(NOT A, NOT B), OR(NOT C, NOT D))라고 볼 수 있다.

5.

XOR의 논리 회로 구성에서 출력이 1이 되기 위해서는 두 입력 값이 달라야 한다. 이 XOR의 수식은 A⊕ B = A’ •B + A•B’ 이렇다.

A’ •B + A•B’ = A’ • A + A’ •B + A•B’ + B’ •B = (A+B)(A’+B’) = (A+B)(AB)’이다.

이는 AND(OR(A,B), NOT AND(A,B))이다.

이러한 수식들로 NAND 게이트만을 이용하거나 NOR 게이트만을 이용해 설계할 수도 있다.

도표, 폰트, 라인, 상징이(가) 표시된 사진

자동 생성된 설명

NAND 게이트만 이용한 경우

도표, 폰트, 라인, 스케치이(가) 표시된 사진

자동 생성된 설명

NOR 게이트만 이용한 경우

6. 기타이론.

NAND, NOR 게이트는 각각의 게이트들의 조합을 통해서 모든 논리 구조를 만들 수 있다. Universal gate라고도 불리는 이 게이트들은 AND, OR, NOR 게이트을 만들어낼 수 있다. NAND, NOR 게이트만을 사용하면 로직 개수는 증가하지만 한 종류의 게이트 회로만을 사용하기 때문에 제조가 매우 쉬워진다. 이러한 이점들에 의해서 AND, OR 게이트보다 선호도가 높다.

XNOR 게이트는 실습이나 강의자료에서 다루지 않았는데, XNOR은 입력 값이 서로 같아야만 1을 출력한다. 서로 다르면 0을 출력하는데, 이는 XOR의 반대라고 생각하면 된다. 이는 수식으로 나타내자면 A•B + A’ •B’이다. XNOR 게이트 또한 And, OR, NOT 등 이러한 논리 구조로 설계할 수 있다.

Buffer는 Not 게이트에서 버블을 제거한 것이다. Buffer는 Not의 논리 구조와 다르게 입력과 출력이 동일하다. 회로 설계에 있어서 Time적인 측면에서 Delay는 필요한 요인인데, 이 buffer가 이 딜레이를 위해서 사용되며 정밀한 회로를 만들기 위해서 사용된다.