

1. Motivation

- Schaltungsfamilien

2. Transistoren in analogen Schaltungen

- Inverter
- Kleinsignalverhalten
- Differenzstufe
- Transistor als Widerstand
- Stromquellen
- Inverter und Differenzstufe mit Stromspiegel
- Ausgangsstufen
- Kapazitäten eines Transistors
- Frequenzgang

3. Verstärker

- Aufbau einstufiger Verstärker
- Wirkung der Kapazitäten
- Aufbau zweistufige Verstärker
- Pole und Nullstellen
- CMRR
- PSRR
- Slew Rate

4. Anwendungen des OPV

- Invertierender Verstärker
- Übertragungsfunktion
- Frequenzgang (Bode-Diagramm)
- Verstärkungs-Bandbreite-Produkt
- Bandbreite eines gegengekoppelten OPV
- Summierer/ Subtrahierer
- Logarithmierer/ Integrierer
- Aktiver Tiefpass/ Hochpass 1. Ordnung
- Integrierer/ Differenzierer
- Komparator mit Hysterese

5. Gegen- und Mittkopplung

- Einfluss auf Eingangswiderstand
- Einfluss auf Ausgangswiderstand
- Frequenzgang
- Astabile Kippschaltung

Schaltungsfamilien

Grundlagen

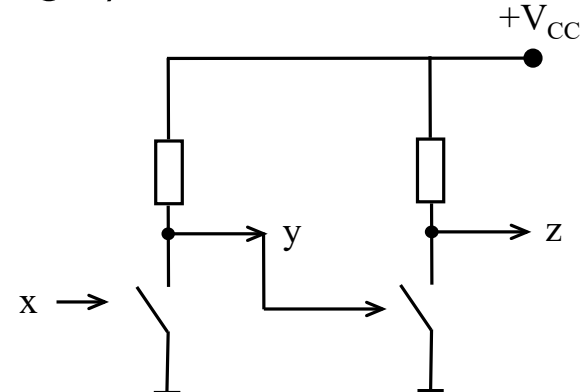
- Wie können Grundgatter implementiert werden?
- Schaltungsfamilien
- Der Transistor als Schalter: Schaltermodell
- Inverter mit Widerstand
- Kennlinienfeld des MOS-Transistors
- TTL-Pegel
- Störabstand
- Digitale Bipolar-Schaltungstechnik
- Digitale MOS-Schaltungstechnik
- CMOS-Komplementär MOS

Schaltungsfamilien

- Digitale Schaltungen (Bipolar, MOS)
- Abbildung der Wahrheitswerte (positive Logik)
 - 1: große/ positive Spannung
 - 0: null/ kleine Spannung
- Transistor als Schalter

Aber:
Diese Schalter sind
Transistoren und haben
eine Schwellenspannung.

Diese Schalter haben einen Widerstand

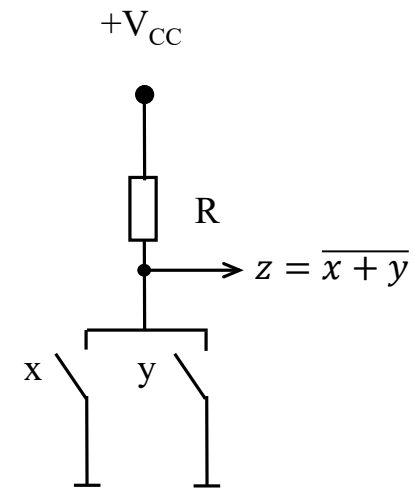
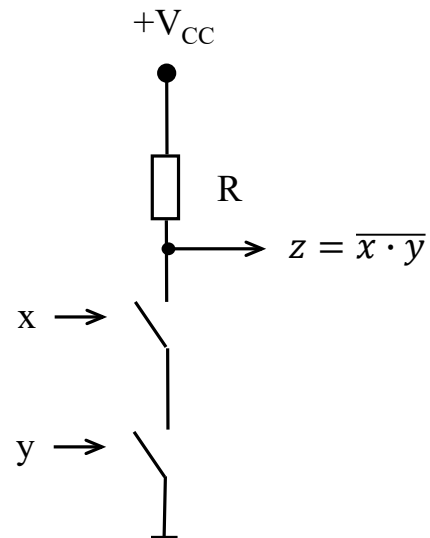


Schalter geschlossen: $U_{Ein} > U_T$
Schalter geöffnet: $U_{Ein} < U_T$

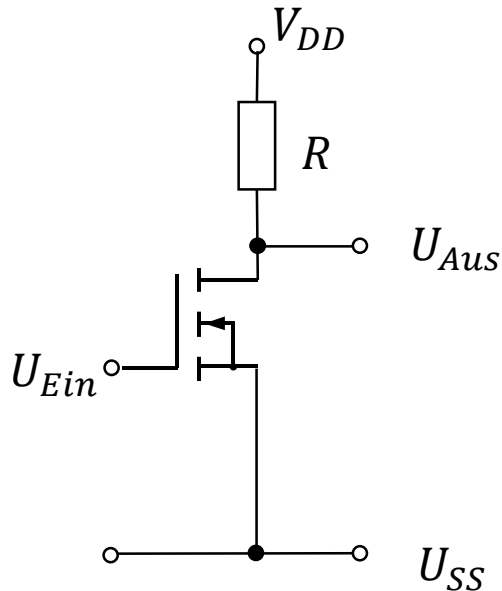
Schalter geschlossen:
Spannungsteiler $U_{Aus} = ?$

NAND und NOR Gatter

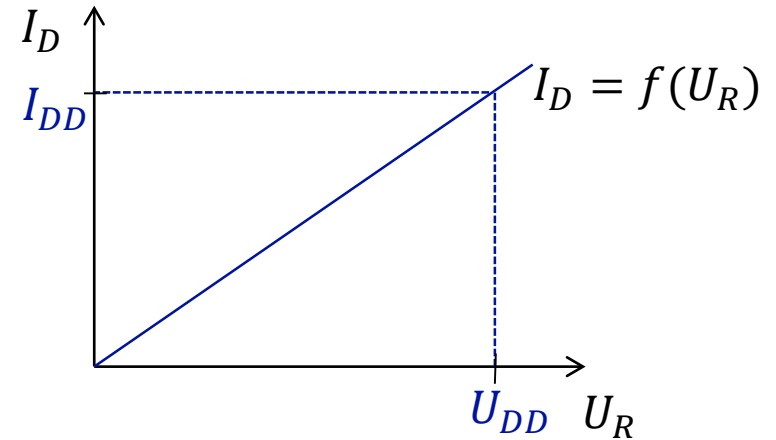
Schaltermodell



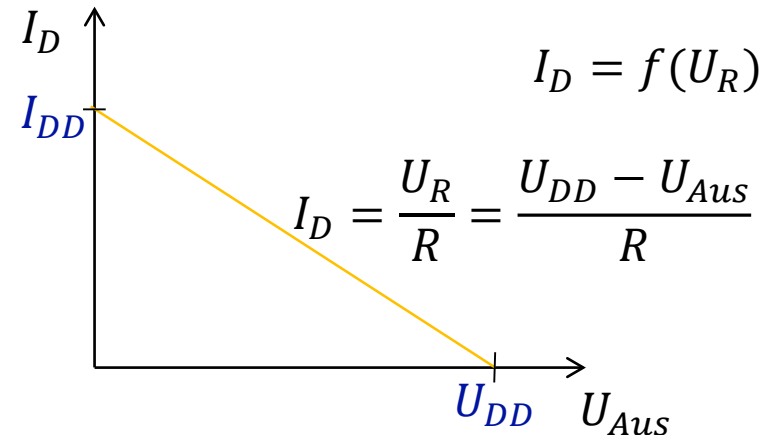
Inverter mit Widerstand



Stromkennlinie des Widerstands

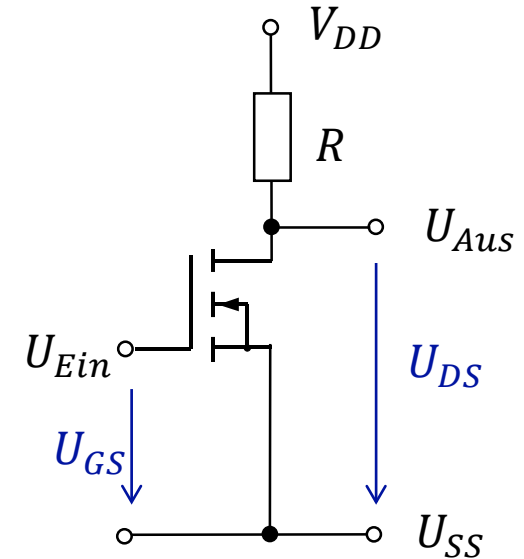
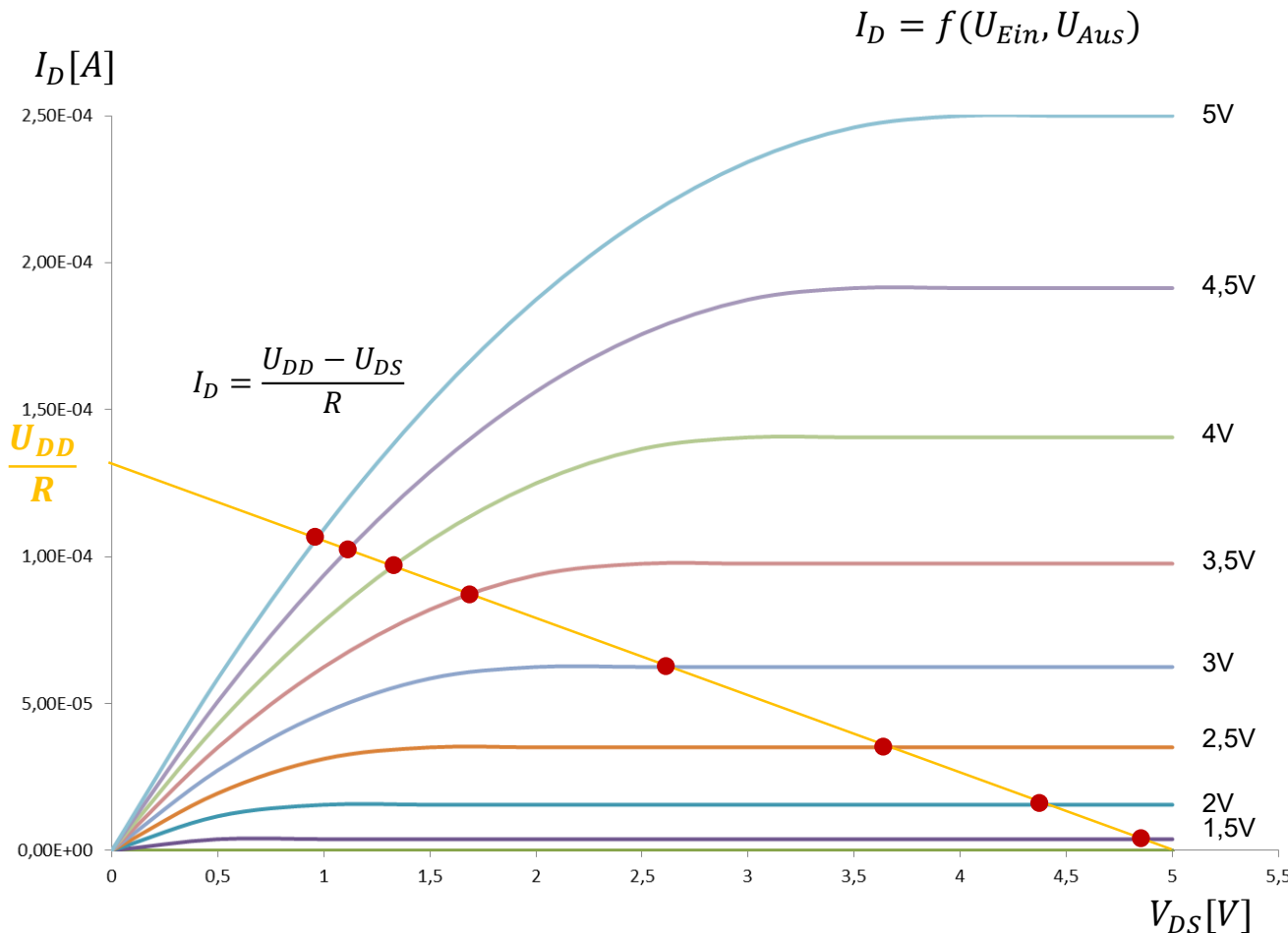


Stromkennlinie des Widerstands

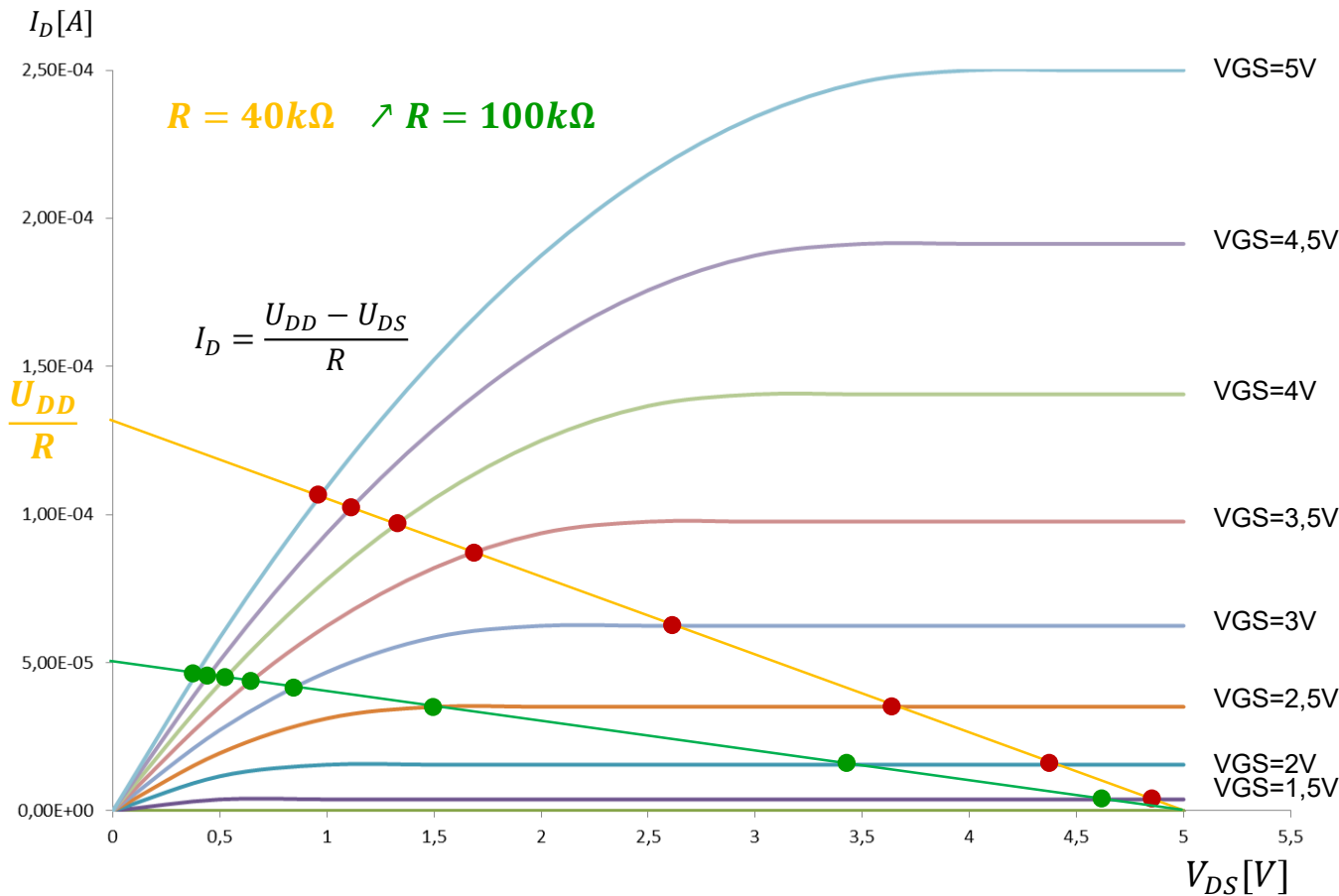
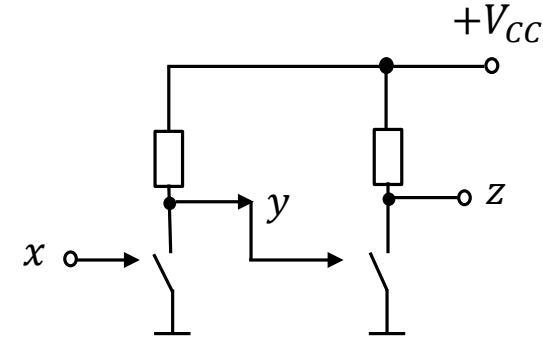
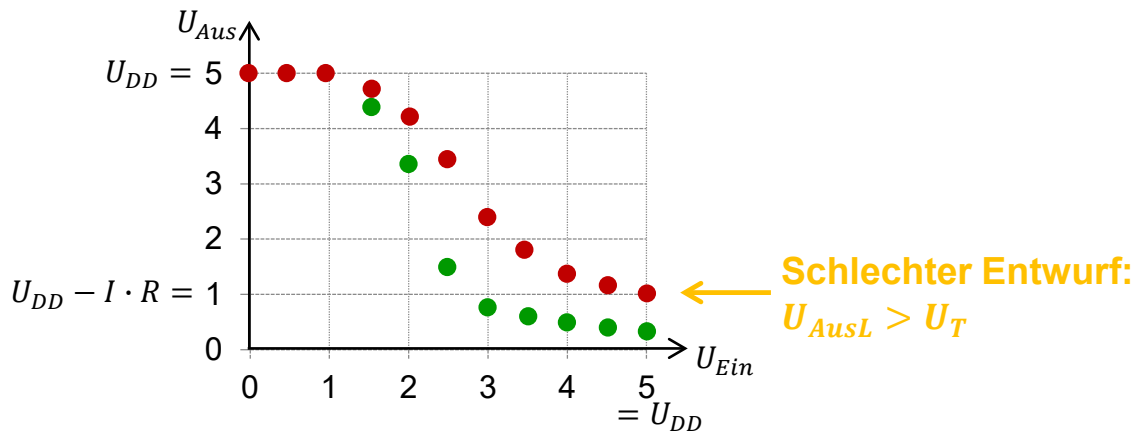


Kennlinienfeld des MOS-Transistor

Ausgangskennlinie des Transistors



Annahme:
 $U_{DD} = 5,0V$
 $U_T = 1,0V$

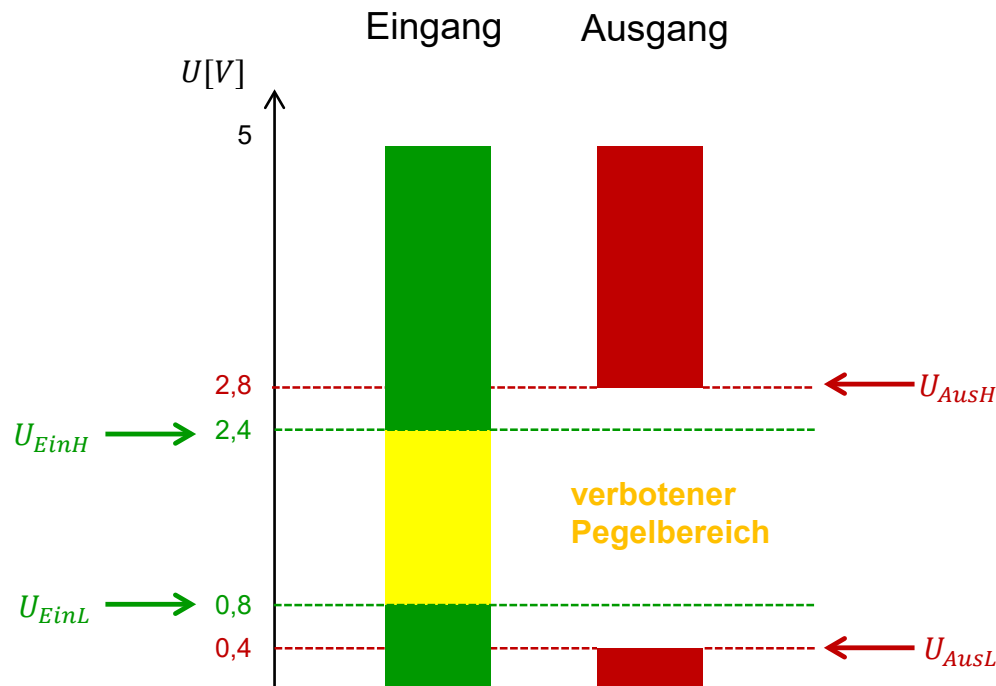
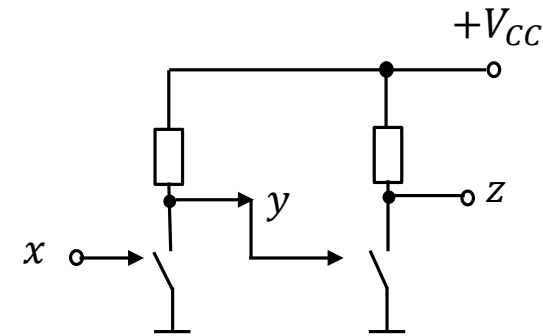


Annahme:
 $U_{DD} = 5,0V$
 $U_T = 1,0V$

TTL-Pegel

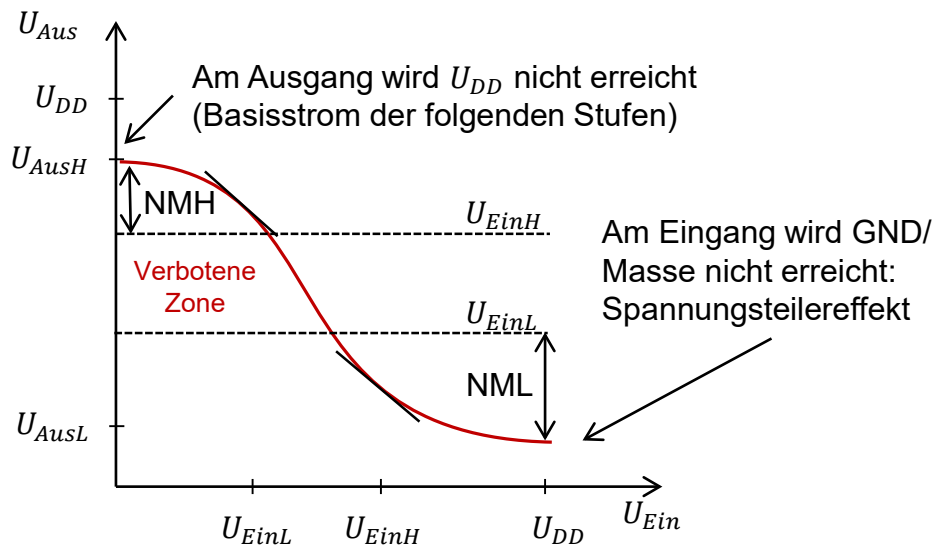
Transistor-Transistor-Logic (TTL)

- Gatteraufbau mit bipolaren Transistoren
- Pegelbereiche:

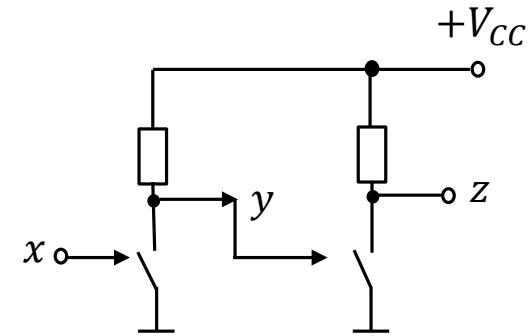


Noise Margin

Störabstand



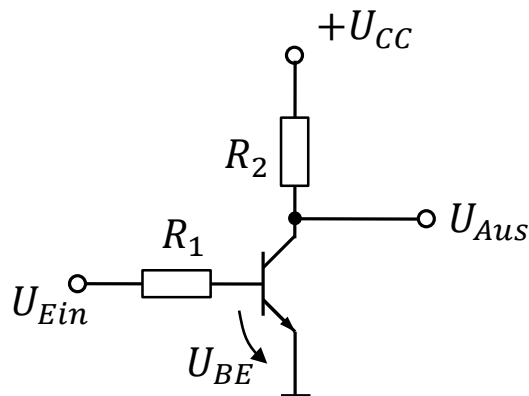
Ein- und Ausgangskennlinie eines Inverters



Der Eingang des einen ist der
Ausgang des anderen Inverters

NML: Noise Margin Low : $U_{EinLow} - U_{AusLow}$

NMH: Noise Margin High : $U_{AusHigh} - U_{EinHigh}$

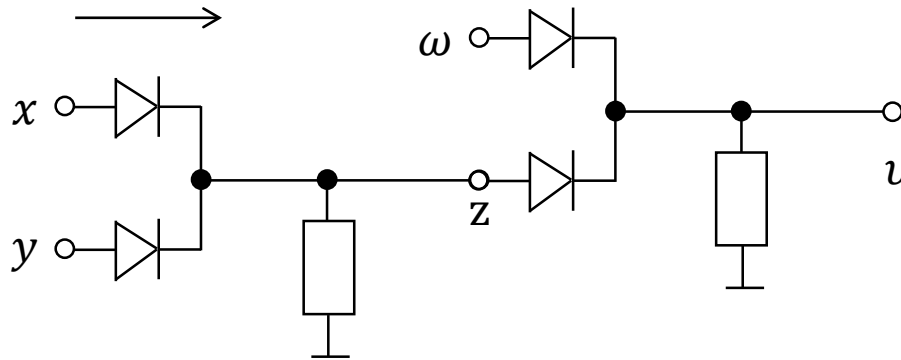


- Digitale Diodenschaltungen
- Digitale Transistorschaltungen
- RTL (Resistor-Transistor-Logic)
- TTL (Transistor-Transistor-Logic)
- ECL (Emitter-Coupled-Logic)

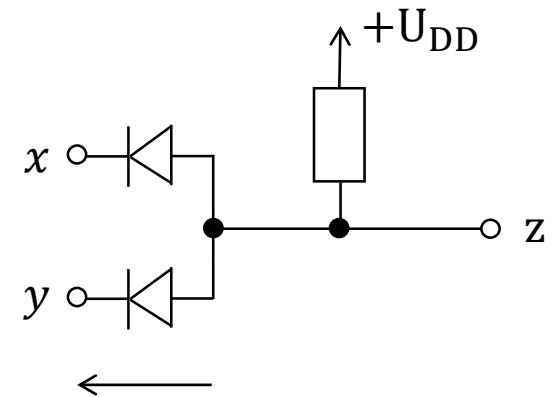
Digitale Diodenschaltungen

Aufbau einfacher Gatter

$$z = x + y$$



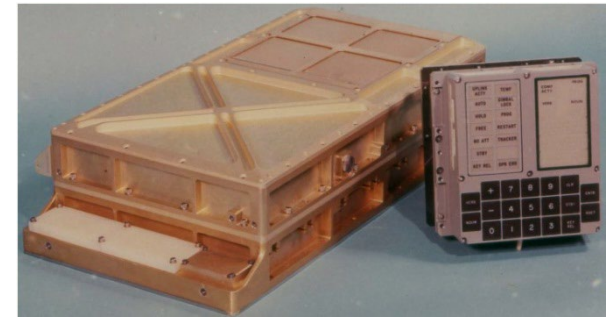
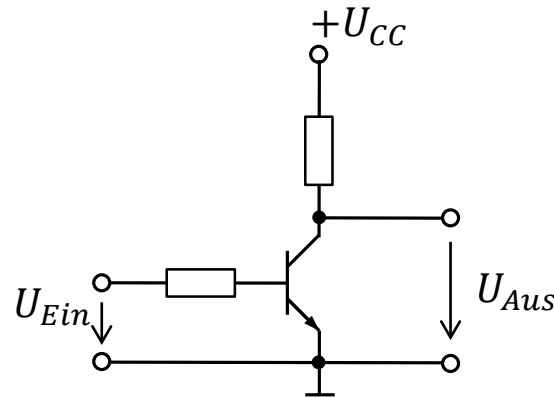
$$z = x \cdot y$$



Lassen sich nicht so gut kaskadieren!

Digitale Transistorschaltungen

Einfacher Inverter



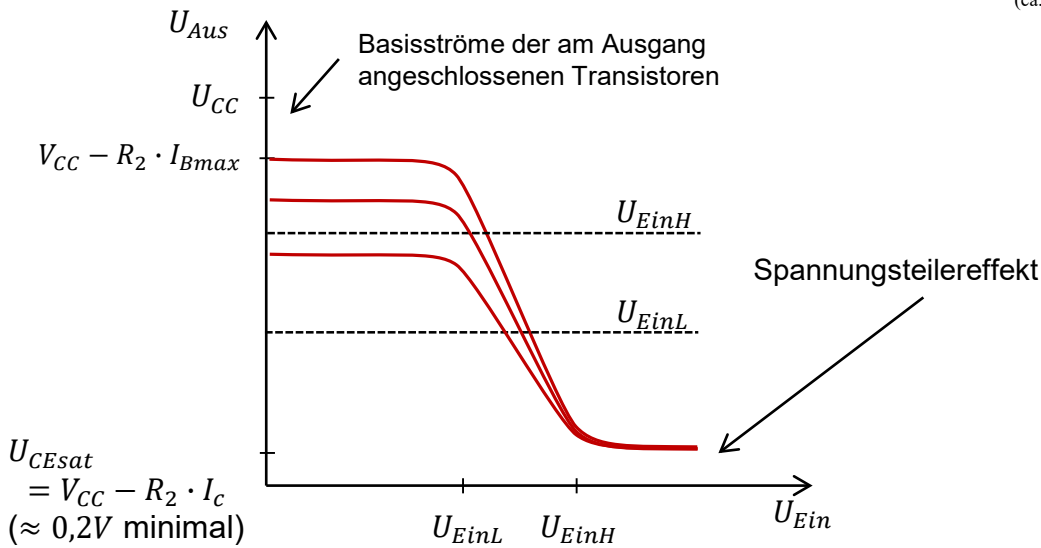
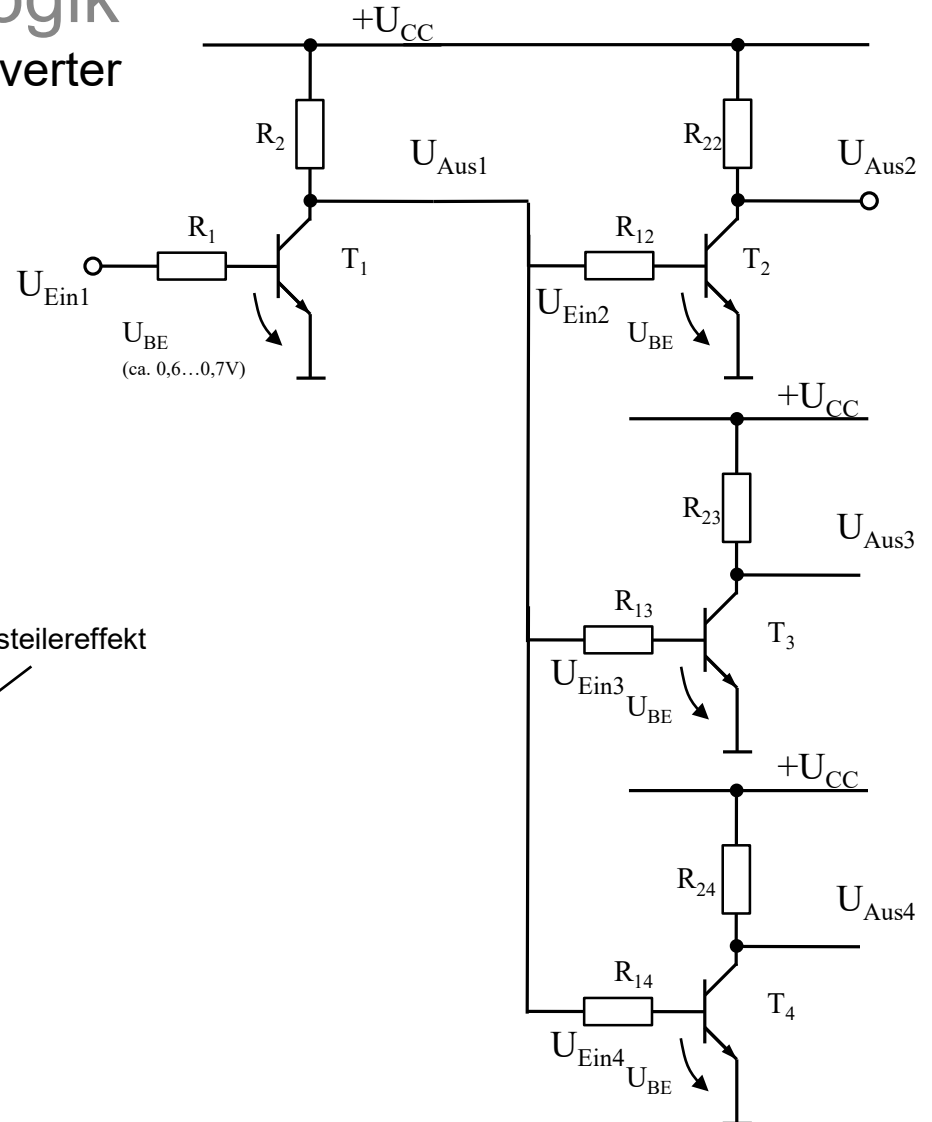
RTL integrated circuits in
Apollo Guidance Computer
and DSKY, 1966

- liegt Masse (0, L) am Eingang an, Transistor sperrt
→ Am Ausgang liegt fast vollständige Versorgungsspannung an (1, H)
- liegt Versorgungsspannung (1, H) am Eingang an, Transistor schaltet durch
→ Am Ausgang liegt nur geringe Spannung an (0, L)

RTL

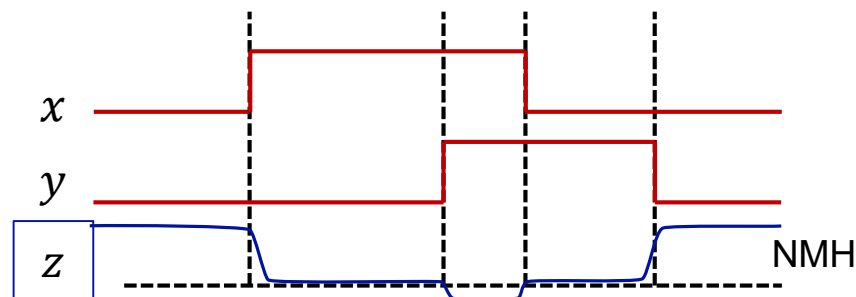
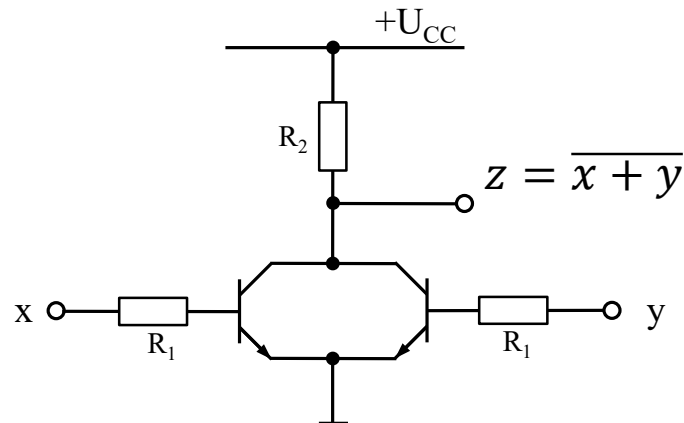
Widerstand-Transistor-Logik

RTL-Inverter



Kennlinie eines belasteten RTL-Inverters

RTL-Gatter



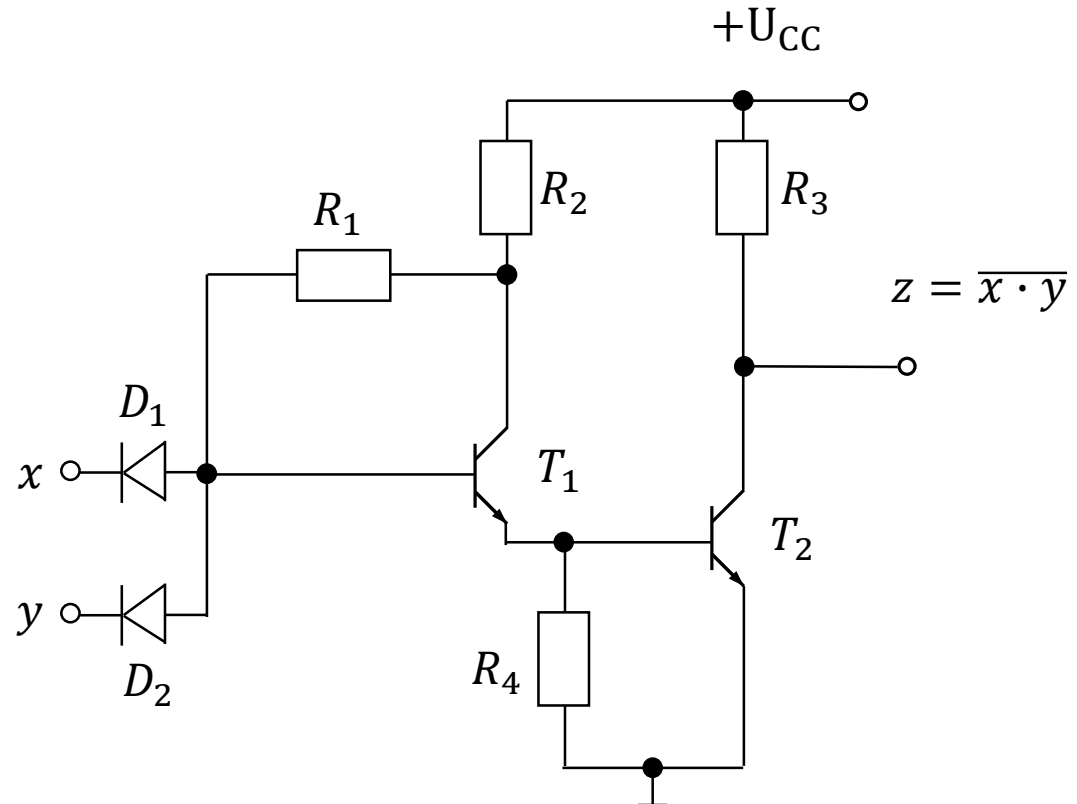
Ausgangspegel des RTL-NOR-Gatters

DTL

Diode-Transistor-Logic

Gatter mit Dioden Eingängen

- einer von x, y auf Masse
 - Transistoren $T_{1,2}$ abgeschaltet
 - z hat hohe Spannung
- beide x & y auf U_{CC}
 - Transistoren $T_{1,2}$ schalten durch
 - z hat nur geringe Spannung

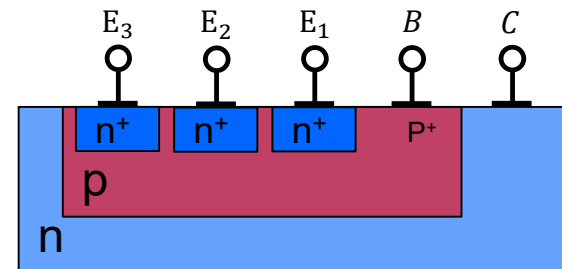
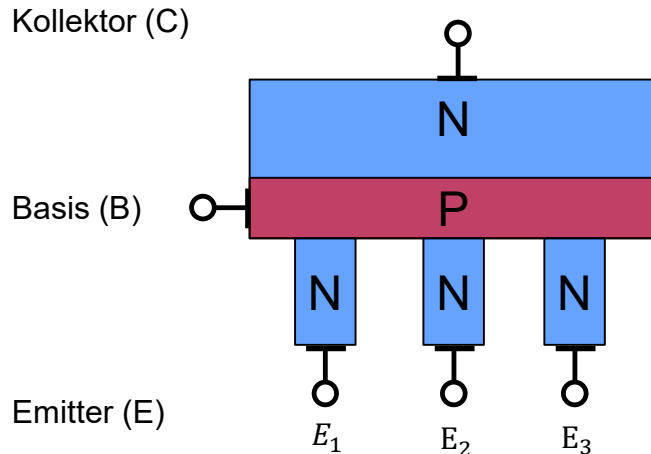
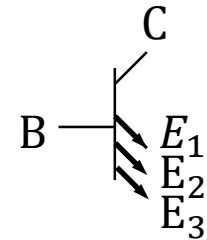


Funktion: DTL-NAND

Multi-Emitter Transistor

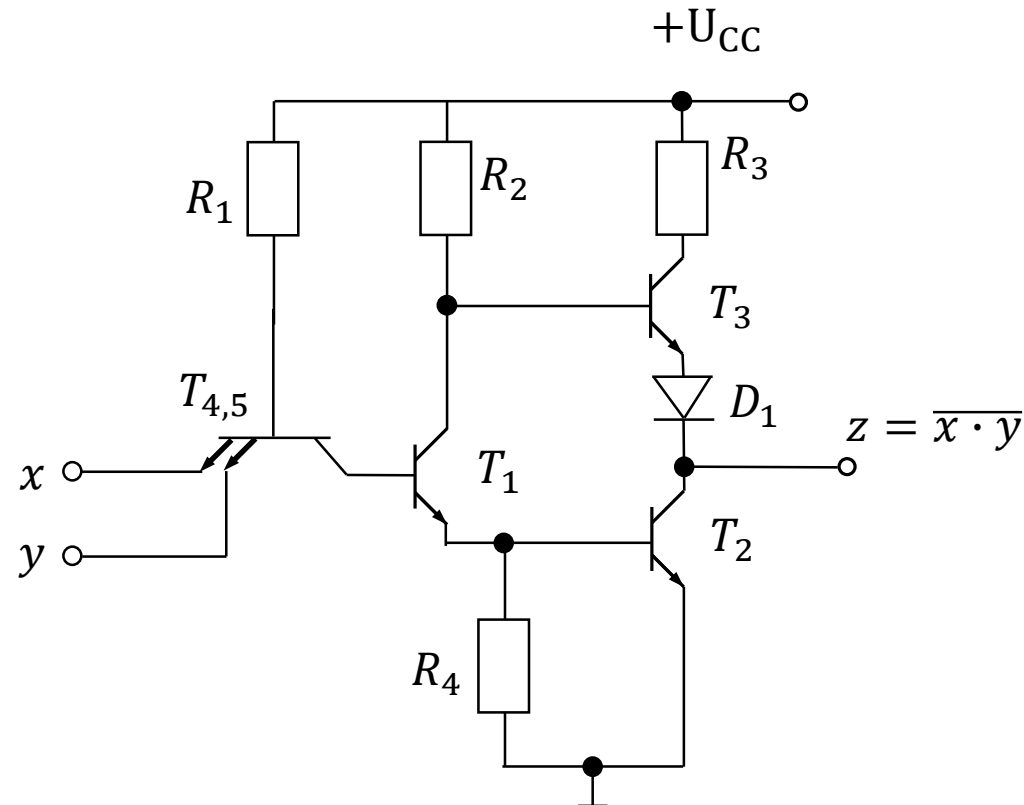
Multi-Emitter Transistoren

- je eine Basis- und Kollektor-Zone
- mehrere Emitterzonen
- Kompakte Implementierung von drei Transistoren mit gemeinsamen Basis- und Kollektoranschlüssen



Gatter mit Multi-Emitter-Transistor

- einer von x, y auf Masse
→ Transistor $T_{4,5}$ schaltet durch
→ Transistoren $T_{1,2}$ abgeschaltet
→ Transistor T_3 schaltet durch
→ z hat hohe Spannung
- beide x & y auf U_{DD}
→ Transistor $T_{4,5}$ abgeschaltet
→ Transistoren $T_{1,2}$ schalten durch
→ Transistor T_3 abgeschaltet
→ z hat nur geringe Spannung
- Totem-Pole-Ausgang

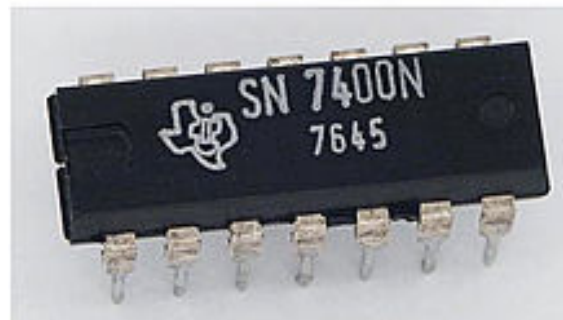
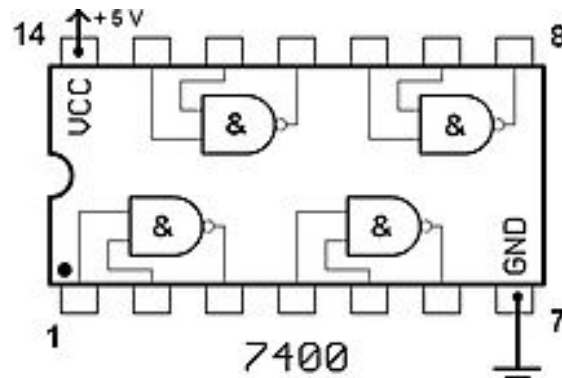


Funktion: TTL-NAND

TTL-Gehäuse

TTL-Schaltkreise

- meist als Dual-in-Line-Gehäuse
- Beispiel Baustein 7400



vier NAND-Gatter mit je zwei Eingängen

TTL-Familien

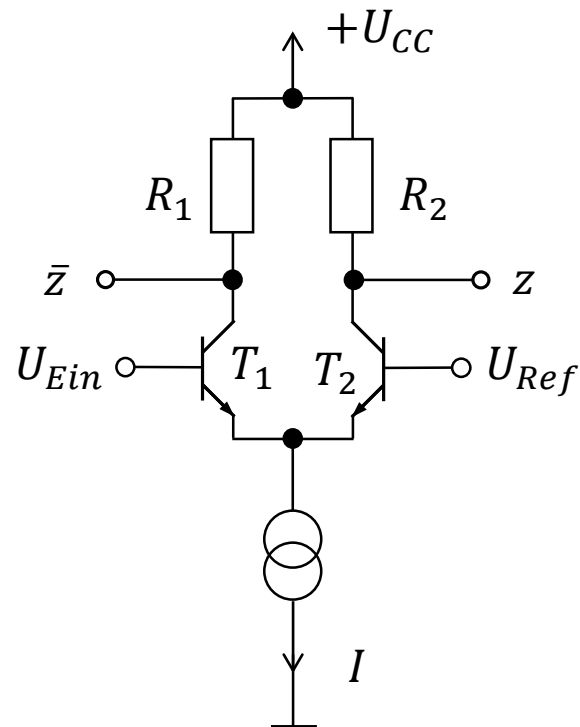
	TTL	LS-TTL	ALS-TTL	F-TTL	AS-TTL
Bezeichnung	74xx	74LSxx	74ALSxx	74Fxx	74ASxx
Spannung	5V				
Leistung pro Gatter	10mW	2mW	1mW	4mW	22mW
Schaltzeit	10ns	9,5ns	4ns	2,5ns	1,7ns
max. Frequenz	40MHz	50MHz	100MHz	125MHz	230MHz

Problem:

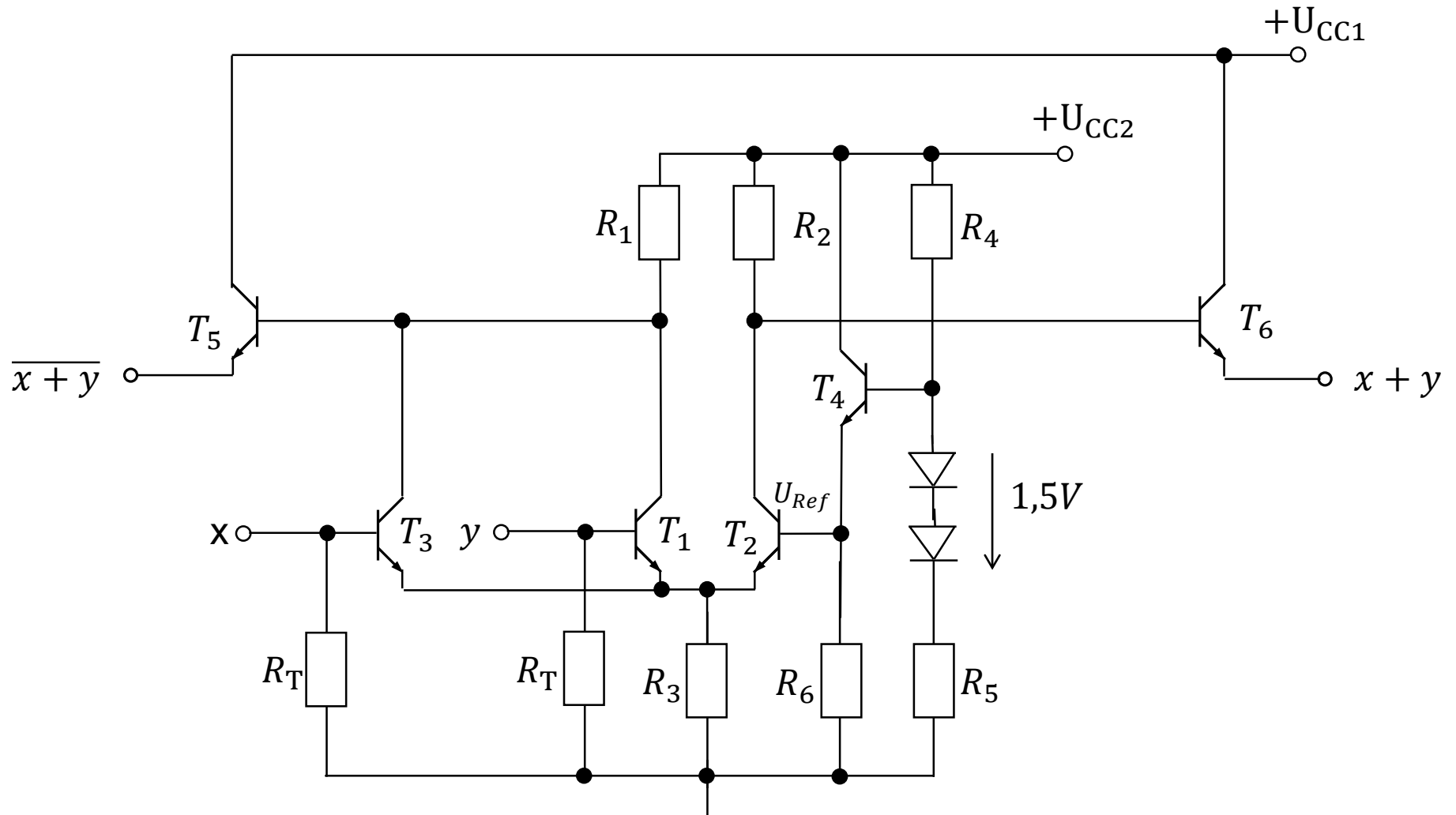
- Erhöhung der Schaltgeschwindigkeit führt zu höherer Leistungsaufnahme
- Spezielle „Low-power“ Transistoren und Schaltungen im Einsatz

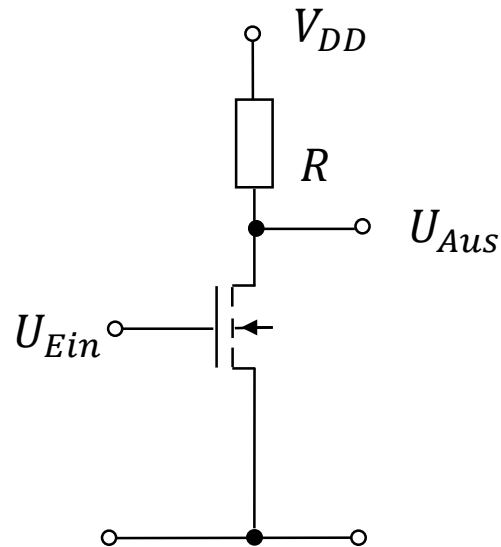
Differenzverstärker

Prinzipschaltbild



ECL NOR / OR



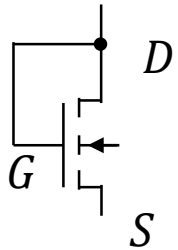


Inverter mit Widerstand

Je nach Lastelement verschiedene Schaltungstechniken

- n-MOS
- n-MOS Depletion
- (p-MOS)
- CMOS

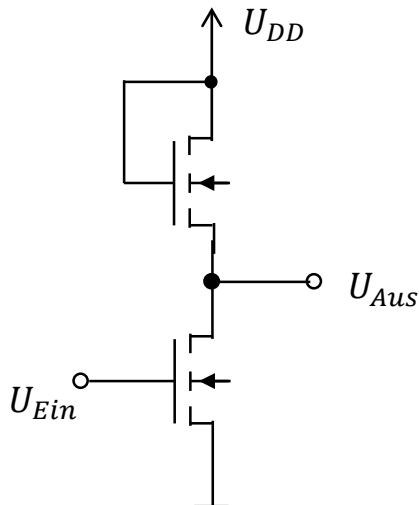
NMOS-Transistor als Last



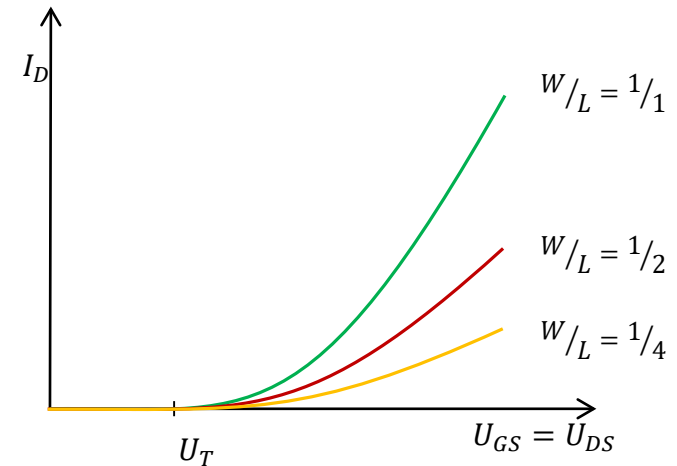
$U_{DS} > U_{GS} - U_T$ Sättigungsgrenze

$U_{GS} = U_{DS} > U_T$

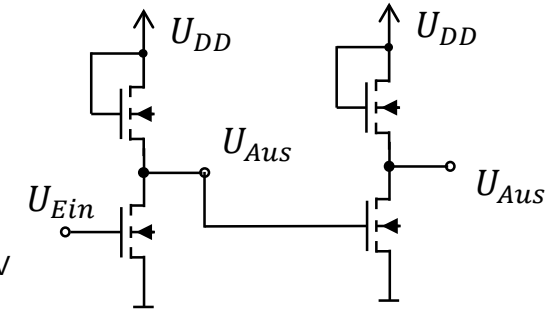
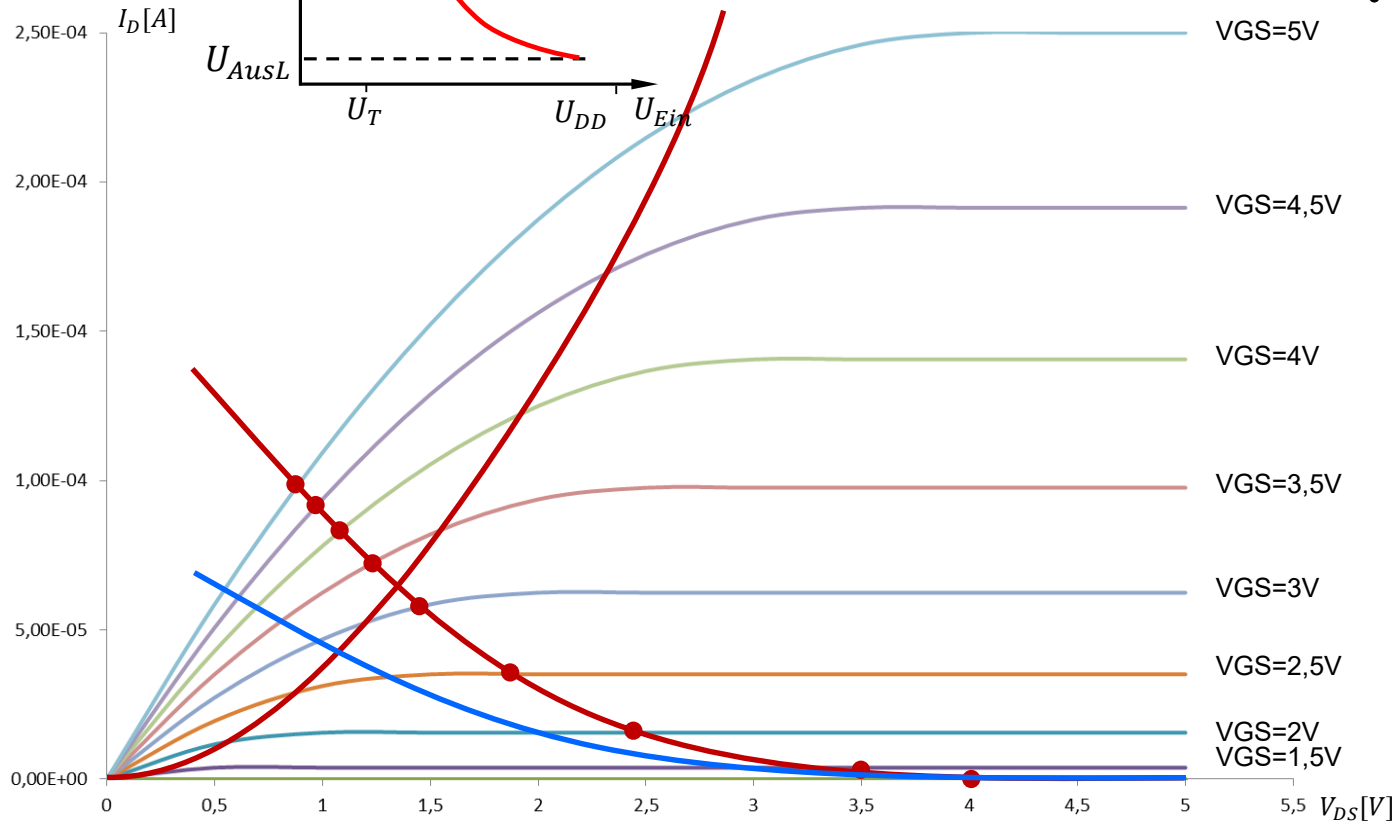
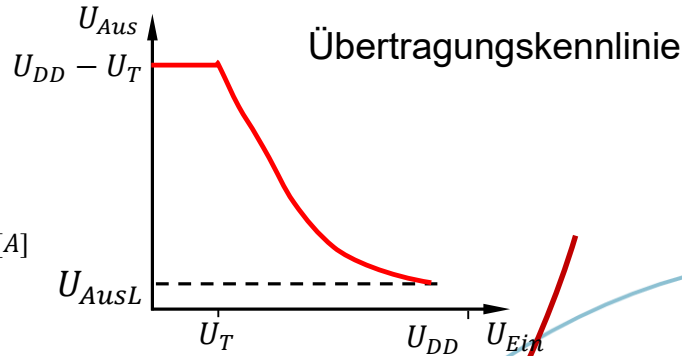
$$I_D = \frac{\beta}{2} (U_{GS} - U_T)^2 = \frac{\beta_0 W}{2 L} (U_{GS} - U_T)^2$$



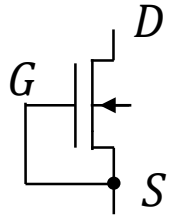
NMOS-Inverter



Übertragungskennlinie des NMOS-Inverters



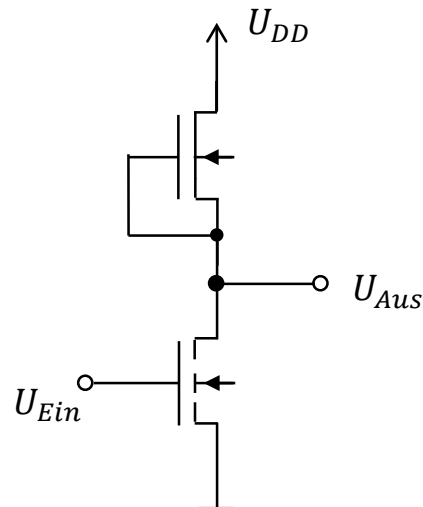
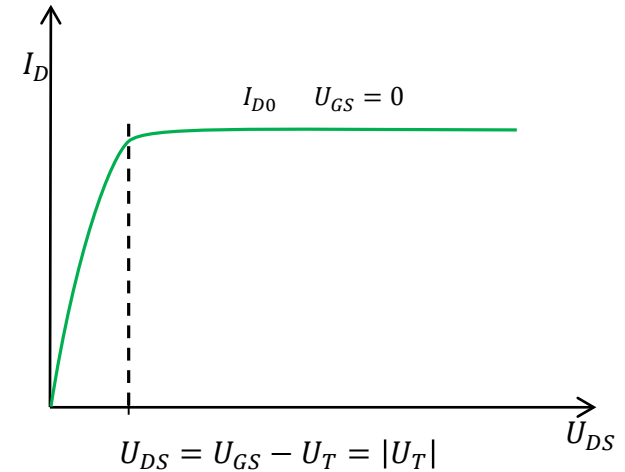
NMOS/ n-Kanal Depletion Last



Depletion $U_T < 0$

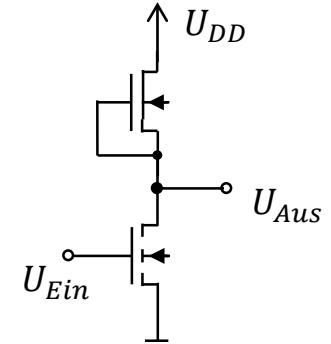
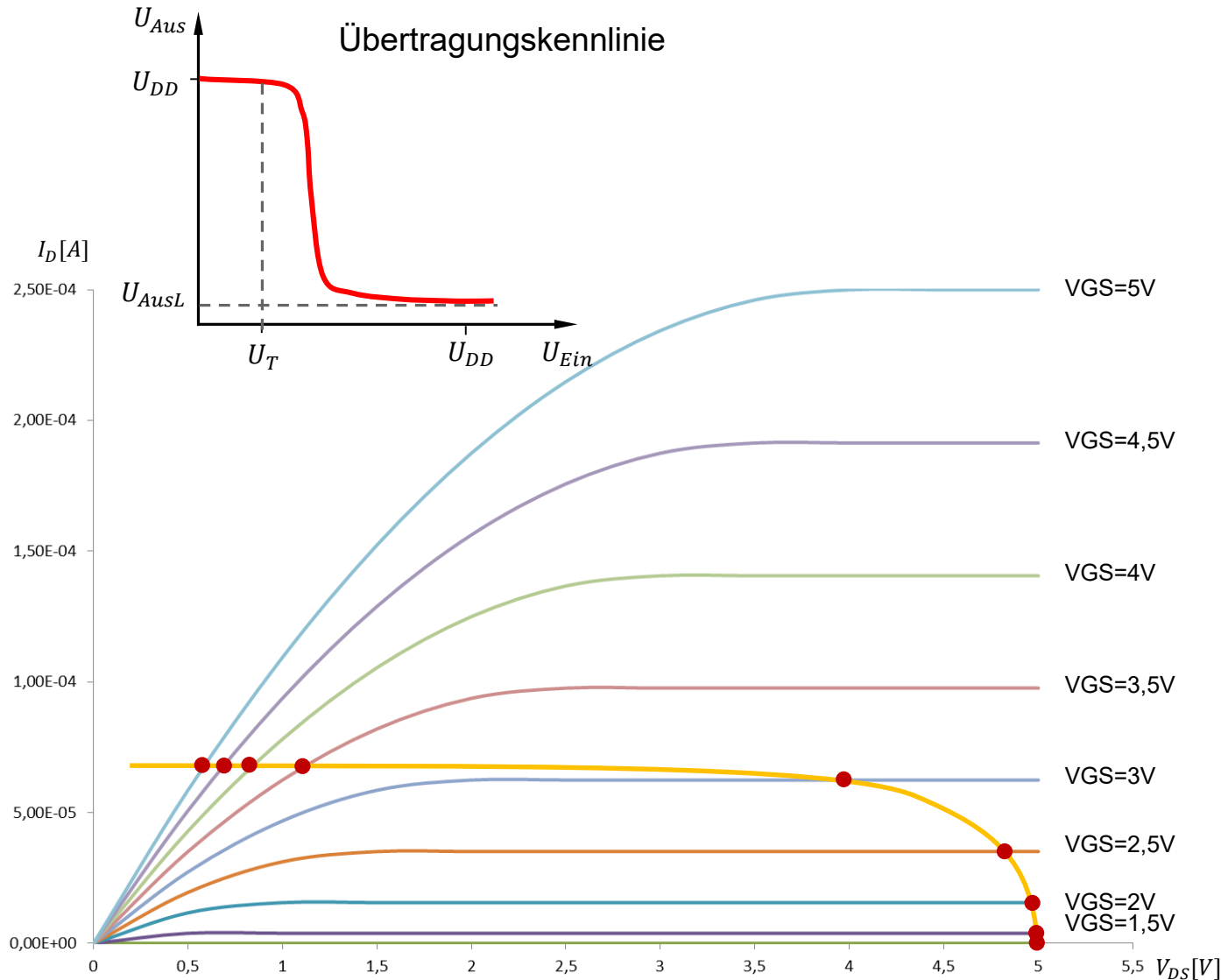
$$I_D = \frac{\beta}{2} (U_{GS} - U_T)^2$$

$$U_{GS} = 0 \Rightarrow I_{D0} = \frac{\beta}{2} (U_T)^2$$

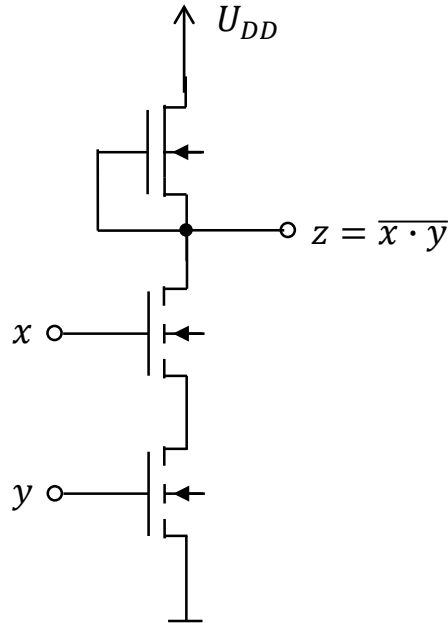


NMOS-n-Kanal Depletion Inverter

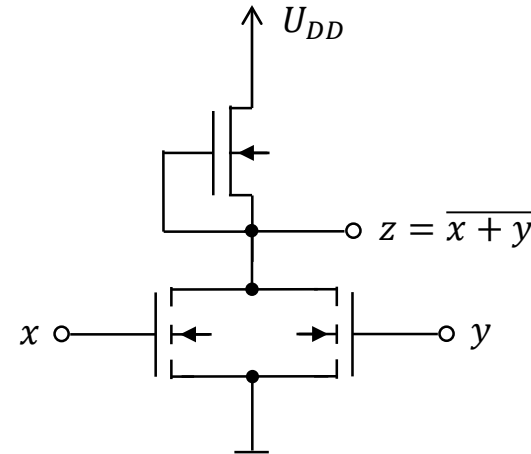
Enhancement/ Depletion Inverter



Realisierung der Gatter



NAND-Gatter

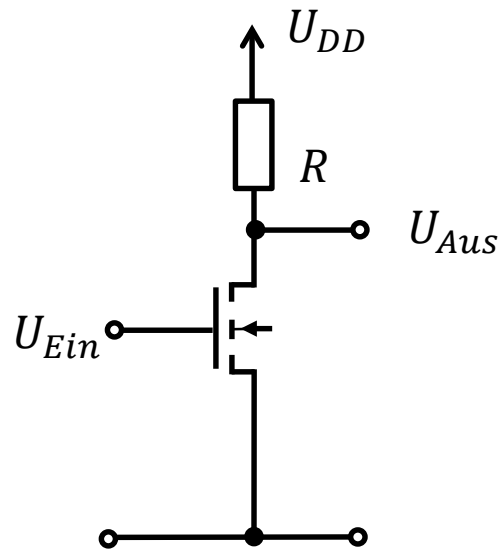


NOR-Gatter

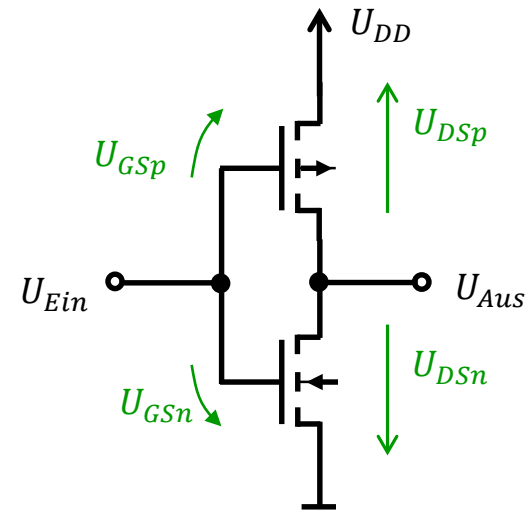
„70er Jahre“: Prozessoren, Speicher in NMOS
Sehr kompakte und einfache Fertigungstechnologie!

Erst 1985 fertigt Intel den 80386 in CMOS. Bis dahin konnten in CMOS die NMOS Schaltzeiten nicht erreicht werden!

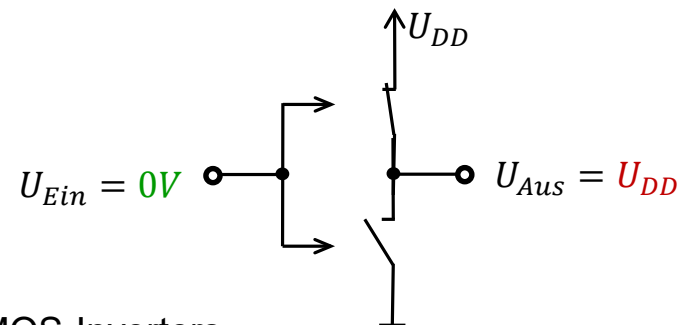
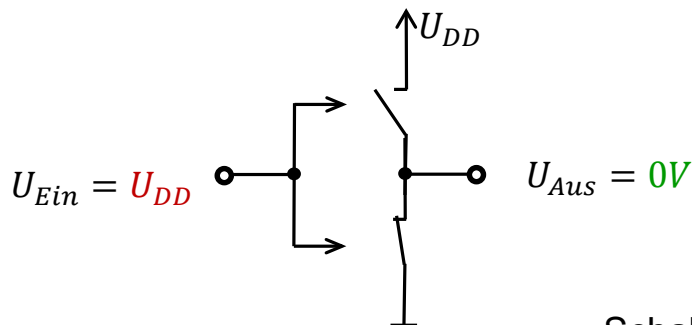
CMOS-Komplementär MOS



NMOS-Inverter: Spannungsteilereffekt
(Stromfluss)

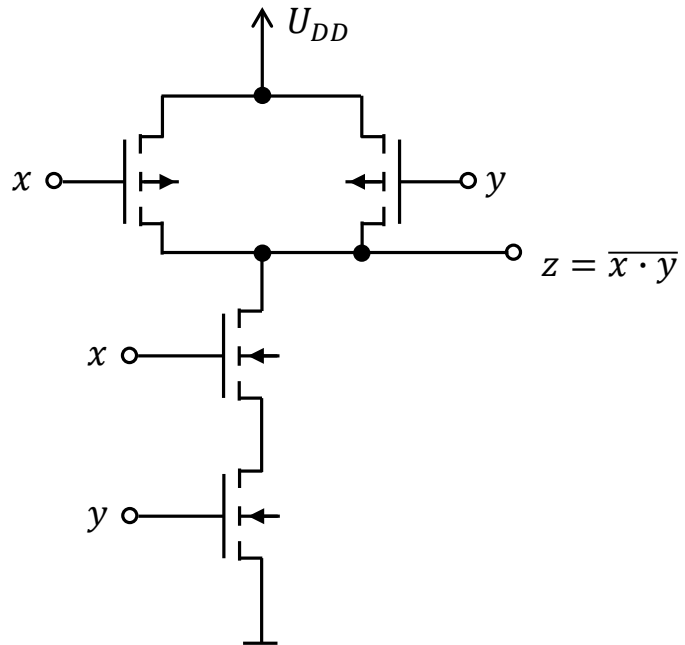


CMOS-Inverter

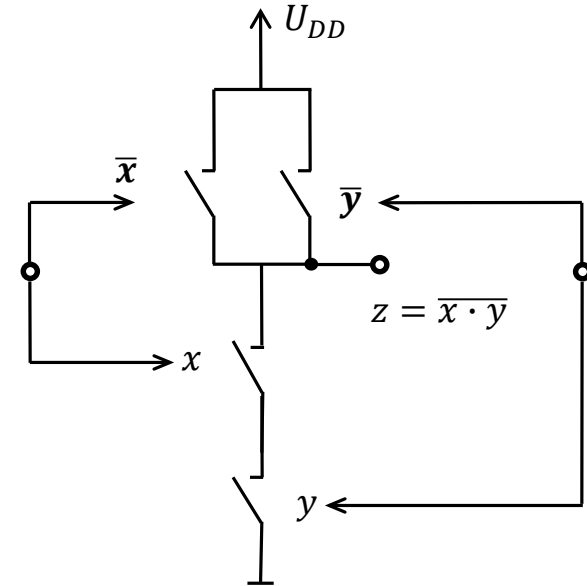


Schaltermodell des CMOS-Inverters
(Wechselschalter)

CMOS-Komplementär MOS



NAND-CMOS



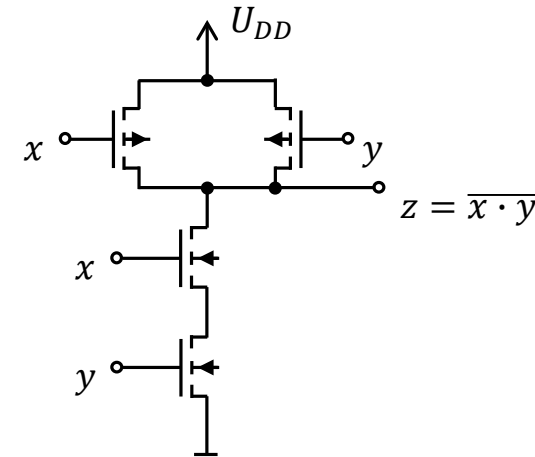
Schaltermodell

x	y	z
0	0	1
0	1	1
1	0	1
1	1	0

In CMOS nur invertierende Gatter möglich

Betrachte vom Ausgang z aus die möglichen Wege zu U_{DD} bzw. GND

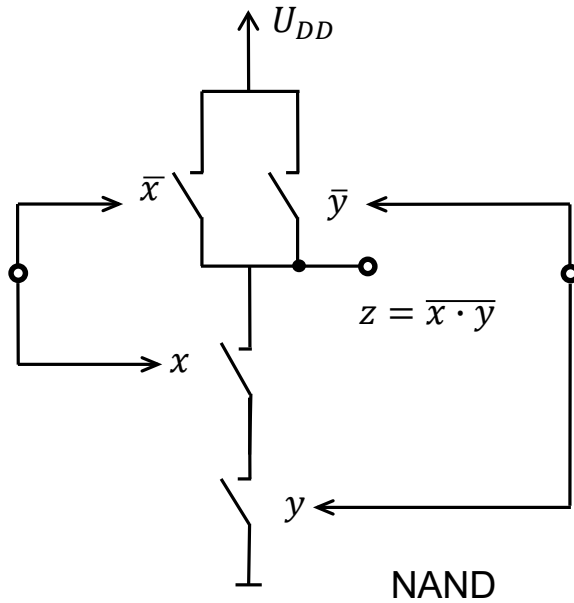
- Einstellen von $z = 1$ nur über p-Teil der Schalter möglich
- Einstellen von $z = 0$ nur über n-Teil der Schaltung möglich



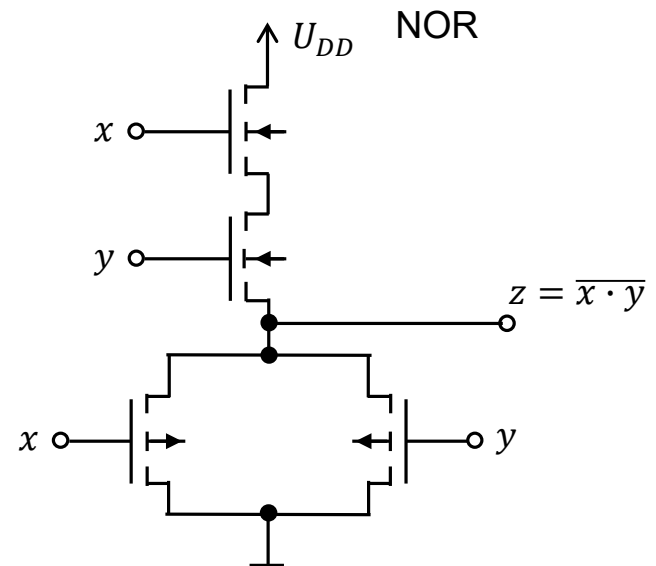
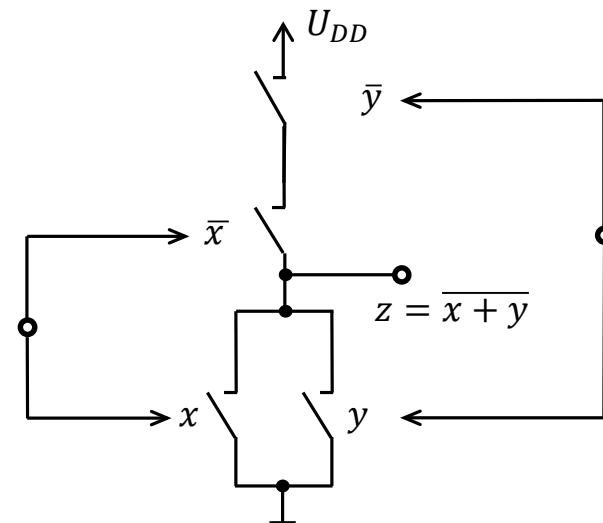
Es sind nur INVERTIERENDE logische Funktionen darstellbar

Ein AND-Gatter z.B. kann in dieser Weise nur durch ein NAND mit nachgeschalteten Inverter realisiert werden – (oder durch ein NOR mit jeweils einem Inverter vor jedem Eingang).

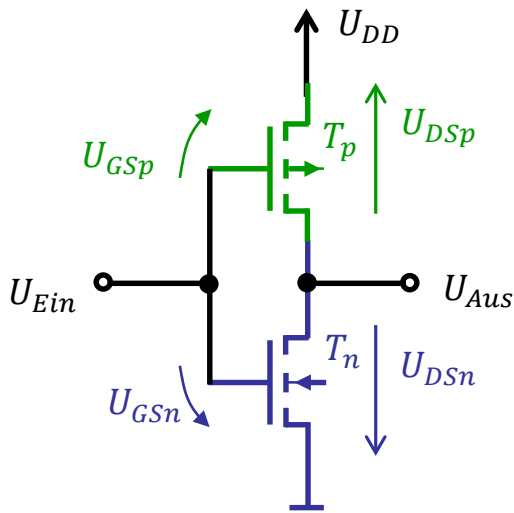
NOR-Gatter



x	y	z
0	0	1
0	1	0
1	0	0
1	1	0



Kennlinie des CMOS-Inverters



CMOS-Inverter

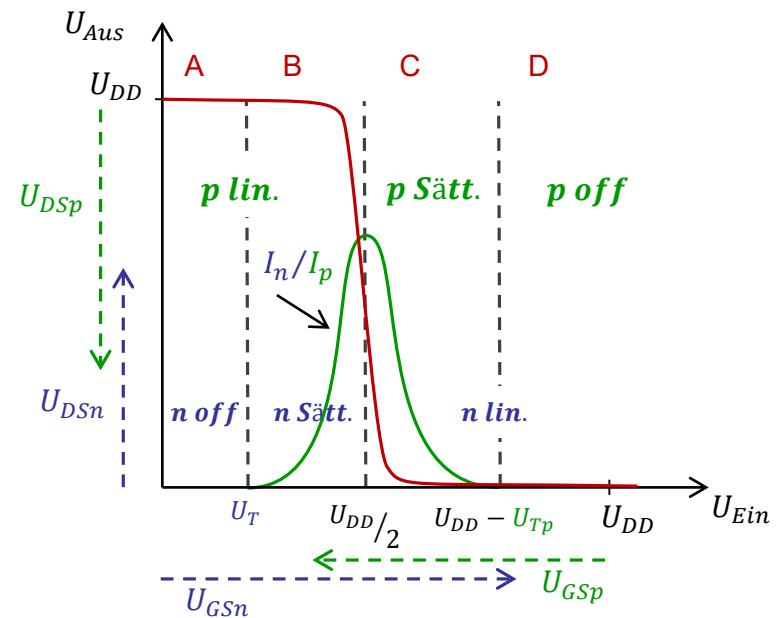
$$U_{GSn} + U_{SGp} = U_{DD}$$

$$U_{DSn} + U_{SDp} = U_{DD}$$

$$U_{GSn} = U_{Ein} \quad U_{SGp} = U_{DD} - U_{Ein}$$

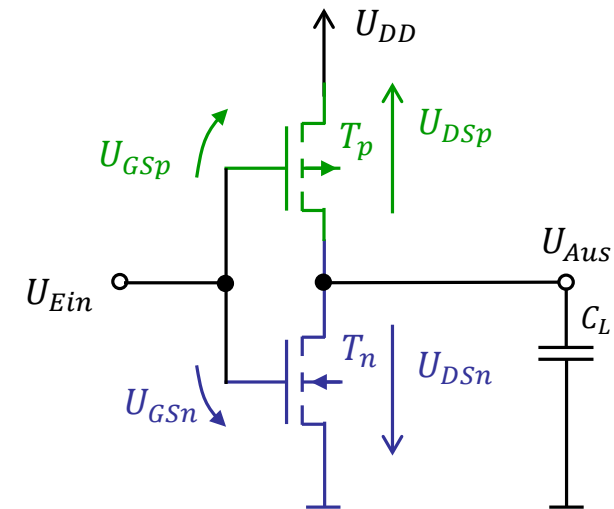
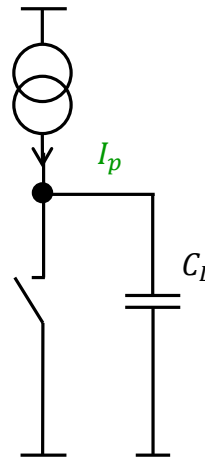
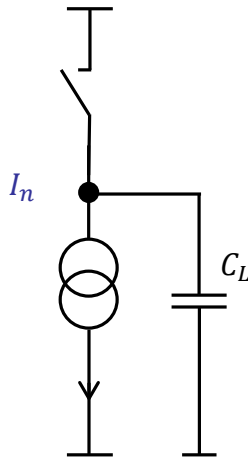
$$U_{DSn} = U_{Aus} \quad U_{SDp} = U_{DD} - U_{Aus}$$

$$I_{Dn} = I_{Dp}$$

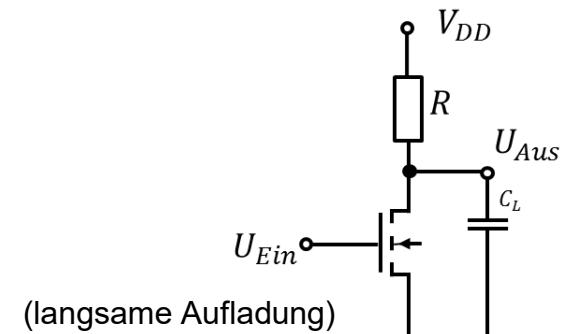
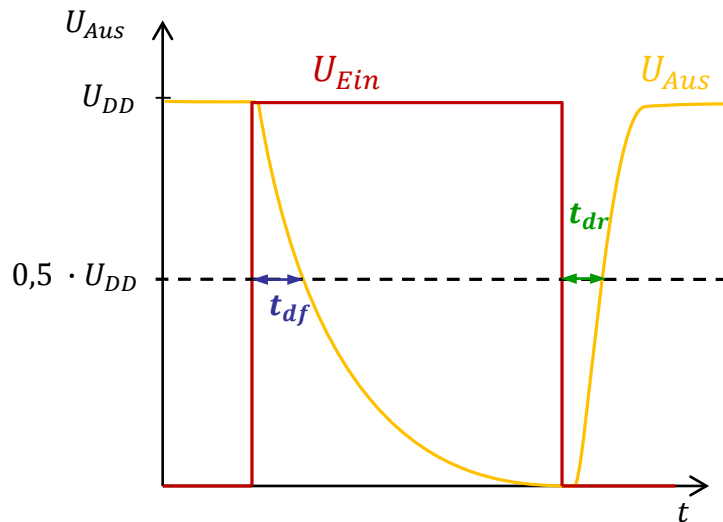


Übertragungskennlinie

Definition der Verzögerungszeiten



Umladen einer Last (Kapazität)
über den Inverter



Fan-Out/ Fan-In

Eine zur Charakterisierung des Gatters sehr wichtige Größe ist seine Treiberfähigkeit, d.h. der max. Ausgangsstrom, der zur Ansteuerung nachgeschalteter Gattereingänge zur Verfügung steht. Maß dafür:

- Fan-Out (Ausgangslastfaktor): Gibt an, mit welcher maximalen Anzahl von Schaltkreiseingängen der gleichen Schaltkreisschaltung, (die alle den Eingangslastfaktor 1 haben), einen Schaltkreisausgang belastet werden darf, wenn der Ausgangspegel innerhalb der festgelegten H- bzw. L-Pegelbereiche bleiben soll.

- In Bipolarfamilien:
$$Fan - Out = \frac{I_{Ausmax}}{I_{Einmax}}$$

I_{Ausmax}
←
max. Ausgangsstrom des steuernden Gatters

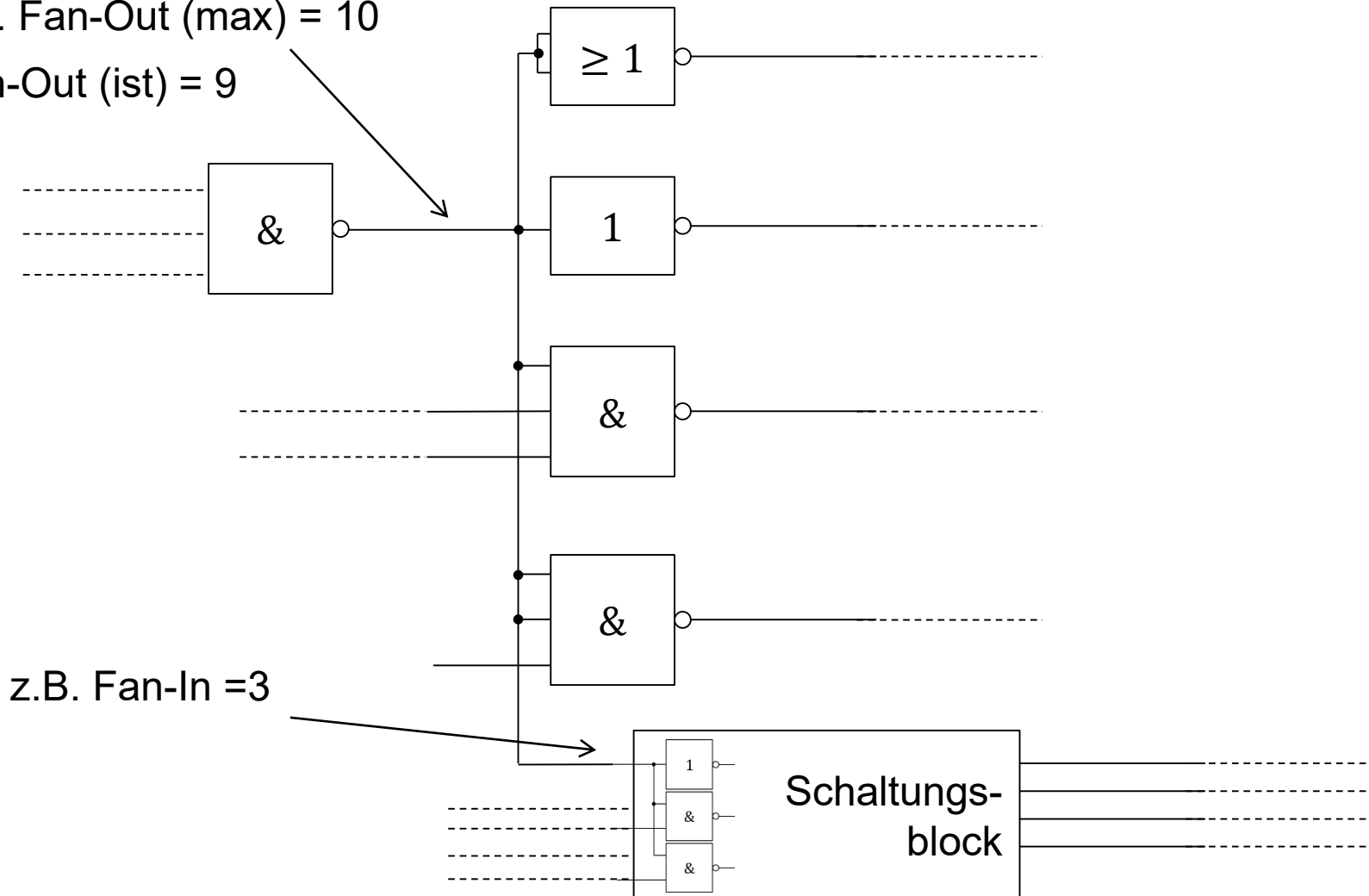
I_{Einmax}
←
max. Eingangsstrom des anzusteuernenden Gatters mit dem Eingangsfaktor 1

- Fan-In (Eingangslastfaktor): Jeder Gattereingang belastet den vorhergehenden Schaltkreisausgang, weil ein bestimmter Strom durch die Eingangsklemme des Gatters fließt. Man definiert als Fan-In 1 diejenigen Belastung, die ein Eingang eines einfachen Grundgatters darstellt.

Lastfaktor

z.B. Fan-Out (max) = 10

Fan-Out (ist) = 9



Typische Daten der wichtigsten Schaltkreisfamilien

Kurzzeichen	Betriebsspannung in V	Leistungsaufnahme je Element in mW	Signallaufzeit in ns	typ. Schaltfrequenz in MHz
TTL	5	10	10	20
H-TTL	5	22	6	30
L-TTL	5	1	33	3
AS-TTL	5	22	1,7	150
LS-TTL	5	2	9,5	40
ALS-TTL	5	1	4	40
ECL	-5, 5	20 bis 60	1	150
I ² L	0 bis 8	1nW bis 0,1mW	10 (veränderbar)	5
CMOS	3 bis 15	0,001 bis 0,02	25 bis 60	10
HCMOS	2 bis 6	< 2MHz 0,001 bis 1 >2MHz 1 bis 10	8 bis 10	60
HCTMOS	5	< 2MHz 0,001 bis 1 > 2MHz 1 bis 10	8 bis 10	60

Spannungspegel, Störabstand

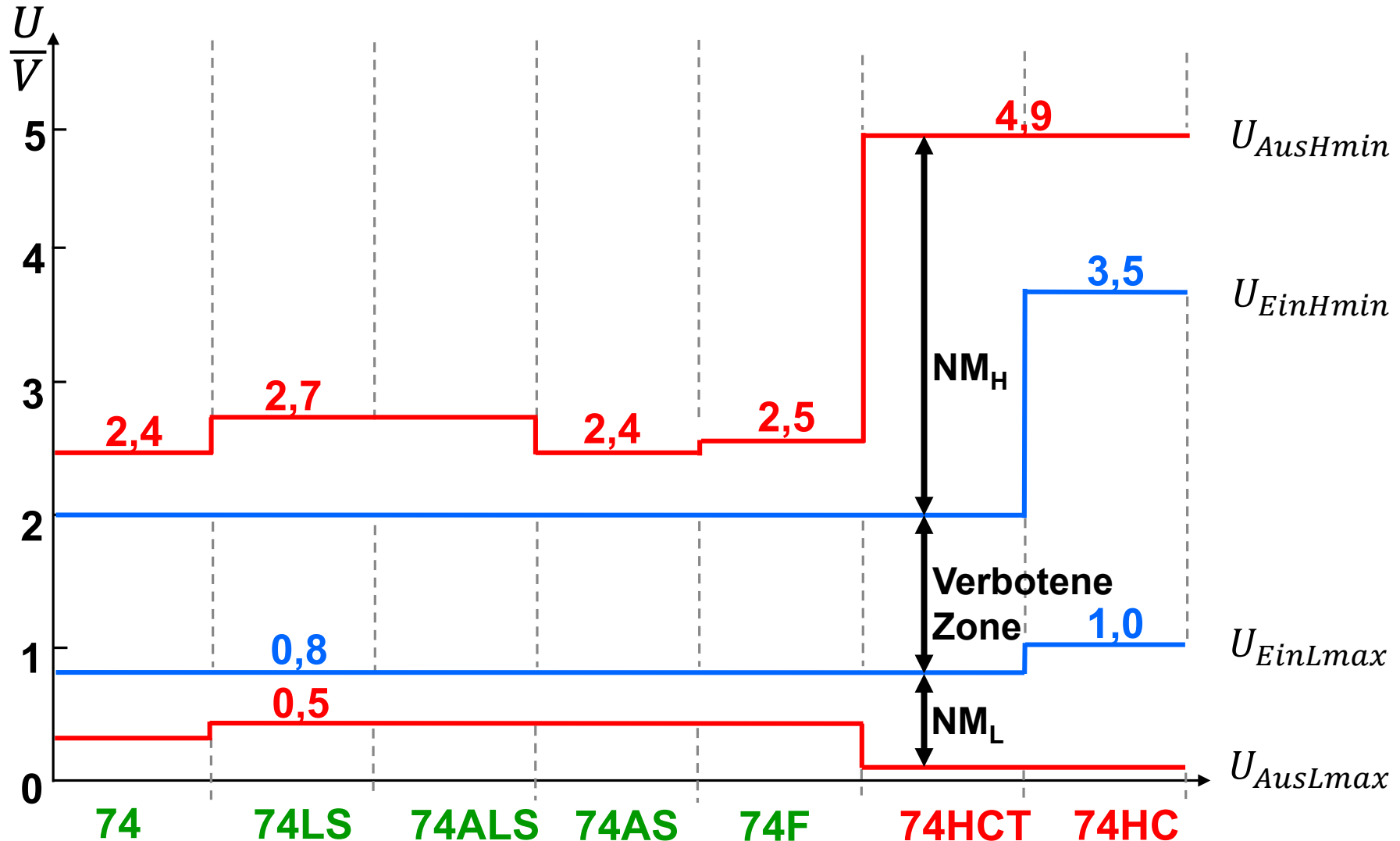
- Für jede digitale Schaltkreisfamilie gibt es genau festgelegte Spannungsbereiche für die binären logischen Pegel Low und High der Ein- und Ausgangsspannungen. Die Spannungsbereiche sind für die Ein- und Ausgangspegel typisch unterschiedlich. Eine besondere Rolle spielt dabei der sog. TTL-Pegel als Standard- bzw. Vergleichsgröße.
- Die Differenz der minimalen H-Pegel und der maximalen L-Pegel von Ein- und Ausgangsspannungen ist ein Maß für den statischen (worst-case) Störabstand (Noise Margin) NM_H bzw. NM_L für Low- bzw. High-Pegel:

$$NM_H = U_{AusHmin} - U_{EinHmin},$$

$$NM_L = U_{EinLmax} - U_{AusLmax}.$$

- Der statische Störabstand gibt die maximale zulässige Spannungsänderung an den Eingängen eines Gatters an, die den Ausgang noch nicht umschaltet.

Logikpegel verschiedener Schaltkreisfamilien



Kombination unterschiedlicher Schaltkreisfamilien

- Bauelemente gleicher Schaltkreisfamilien sind miteinander kombinierbar.
 - Bauelemente aus unterschiedlichen Schaltkreisfamilien sind dann kompatibel, falls:
 - Betriebsspannung
 - Signalpegel
 - (Pinbelegung)
- zueinander passen, z.B. TTL und HCTMOS